

不揮発性CPUを用いた待機電力ゼロの電子 システムの検討

根橋竜介[†] 辻幸秀[†] 崎村昇[†] 渡邊義和^{††} 壬生亮太^{††}
森岡あゆ香[†] 宮村信[†] 中本幸一^{†††} 杉林直彦[†]

我々はCPUの不揮発レジスタに向けた低消費電力手法を提案する。モードビット、CPUの命令、フラグビットを含むこの手法は、不必要な不揮発素子の多重書き込みを避けるために、ソフトウェア上でプログラムでき、使い分けることができる。さらに、この提案した手法が市販されているMSP430のアーキテクチャにシームレスに追加できることを確認するとともに、簡易モデルを利用して、本提案手法によるシステムの電力削減効果を確認した。

Investigation of stand-by power free electric system using non-volatile CPU

Ryusuke Nebashi[†] Yukihide Tsuji[†] Noboru Sakimura[†]
Yoshikazu Watanabe^{††} Ryota Mibu^{††} Ayuka Morioka[†]
Makoto Miyamura[†] Yukikazu Nakamoto^{†††}
and Tadahiko Sugibayashi[†]

We have proposed a method of handling non-volatile registers in a CPU for low power consumption. A mode-selection bit, CPU operations, and flag bits are used by program to avoid unnecessary overwriting the non-volatile registers. The method is seamlessly integrated into the architectures of commercialized MSP430. Reduction of the power consumption in the system was confirmed with our simple model.

1. はじめに

半導体デバイスの集積度が向上するにつれ、トランジスタのリーク電流による電力消費の増大が問題になっている。この問題を解決する一つの手法として、使用されていない回路ブロックへの電源供給を一時的に停止してリーク電流を低減する、パワーゲーティングという手法が開発されている。しかしながら、揮発性の記憶素子を利用している通常の回路ブロックは、電源をオフにするとデータは失われてしまう。そのため、半導体集積回路は、保持しておきたいデータがある場合には、電源供給停止に先立ってデータを退避するか、もしくは、そのデータを保持しているレジスタやメモリへ電力を供給し続ける必要がある。前者の場合、データ転送にエネルギーや時間がかかるという問題がある。後者の場合、電源を供給しているレジスタやメモリからのリーク電流が存在するという問題がある。したがって、パワーゲーティングを効率的に実施でき、リーク電流をより削減できる方法が求められていた。

不揮発性素子は電源をオフにしてもそのデータを保持できるという特性を持つ。特に不揮発性素子として、半導体のチップに混載可能で、かつ、高速な読み出しと書き込みができるMRAM、FeRAM、ReRAMなどはメモリのみならず、ロジックへの適用に対しても有望である。これらの不揮発性素子を半導体集積回路のメモリやレジスタに適用し、メモリとロジックの両方を不揮発化できれば、電源を遮断しても必要なデータを保持できるため、よりパワーゲーティングを効率的に実施でき、リーク電流を削減できると期待される。

しかしながら、不揮発性素子を半導体集積回路のメモリやレジスタに適用し、その電力を低減するには、不揮発性素子への不要な書き込みを回避する書き込み手法を開発する必要があった。そこで、本稿では、この不要な書き込みに起因した電力オーバーヘッドを低減する方法として、ハードウェアとソフトウェアが協調して不揮発性素子を制御する方法を提案する。具体的には、モードビット、不揮発素子制御命令、フラグビットをハードウェア側で用意し、これらをソフトウェア側で利用することで、無駄な不揮発性素子の書き込みを回避する方法である。次に、この提案した手法が市販されているMSP430のアーキテクチャにシームレスに追加できるかを検討する。最後に、簡易モデルを利用して、本提案手法による電力削減効果について検討する。

[†] NEC グリーンイノベーション研究所
Green Innovation Research Laboratories, NEC

^{††} NEC システムプラットフォーム研究所
System Platforms Research Laboratories, NEC

^{†††} 兵庫県立大学大学院 応用物理情報科学研究科
Graduate School of Applied Informatics, University of Hyogo

2. 背景技術

(1) 不揮発性素子

不揮発性素子は、電源をオフにしてもそのデータを保持できるという特性を持つ。ここでは、不揮発性 CPU へ適用可能な不揮発性素子の一つとして、磁気抵抗効果を利用した強磁性トンネル接合素子 (Magnetic Tunnel Junction (MTJ) 素子) を例にとって説明する。図 1 に示すように、MTJ 素子は、磁化方向が変化する強磁性層 (フリー層) と、磁化方向が固定された強磁性層 (固定層) と、フリー層と固定層の間に形成される絶縁層を含む構成を備えている。このような MTJ 素子に、膜面垂直方向に電流を流した際の抵抗値は、フリー層と固定層の磁化の方向によって変化する。フリー層の磁化と固定層の磁化が平行の場合、抵抗値は低く、反平行の場合、抵抗値は高くなる。この性質を利用して、MTJ 素子では、この抵抗値、もしくは、フリー層の磁化の方向に、論理データを対応付ける。例えば、低抵抗状態を論理値 '0'、高抵抗状態を論理値 '1' とする。

MTJ 素子の書き込み方式としては、電流磁界を用いてフリー層の磁化方向を制御する磁場書き込み方式と、スピントルク効果を利用してフリー層の磁化方向を制御するスピントルク書き込み方式が知られている。MTJ 素子は書き換え耐性が高く、書き込み電流は数百 μA 以下、書き込み時間は数 ns の素子が報告されている。[1, 2]

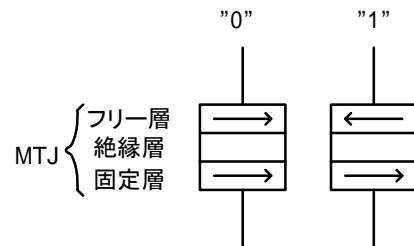


図 1 不揮発性素子の一例：Magnetic Tunnel Junction (MTJ)素子

(2) 不揮発性フリップフロップ (Non-Volatile Flip Flop: NVFF) [3,4,5]

不揮発性 CPU へ適用できる不揮発性フリップフロップについて説明する。図 2 に示すように、不揮発性フリップフロップは揮発性の記憶回路 (CMOS) と不揮発性素子 (NVM) から構成され、4 つのモードを有する。図 2(a)のノーマルモードは、CMOS 部のみで動作し、クロックに同期して、入力データを記憶する。図 2(b)のロードモードでは、NVM に記憶していたデータを CMOS 部に転送する。図 2(c)の書き込みモード 1 では、入力データを CMOS 部に揮発的に記憶するとともに、NVM に不揮発的に

同じ入力データを記憶する。図 2(d)の書き込みモード 2 では、CMOS 部に記憶されていたデータが NVM に転送され、不揮発的に NVM で記憶される。

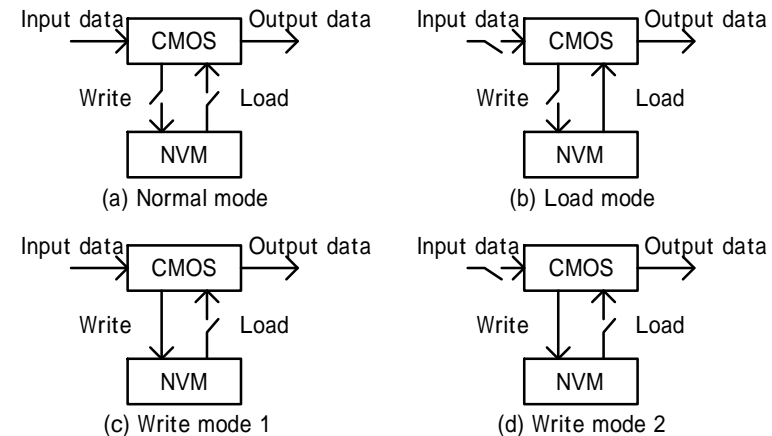


図 2 不揮発性フリップフロップ (NVFF) の概念図

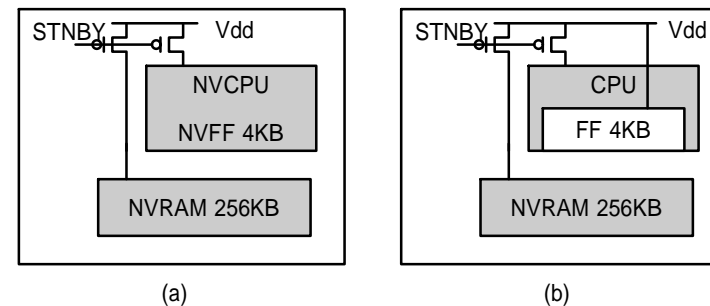


図 3 不揮発システムの全体構成 (a) 本構成 (b)リファレンスの構成

3. 不揮発性 CPU (NVCPU)

不揮発性素子をメモリおよびロジックに適用したシステムを仮定し、ハードウェアとソフトウェアが協調することで、不要な書き込みを避けることができる書き込み方式を提案する。次に、この提案した手法が市販されている MSP430 のアーキテクチャにシームレスに追加できるかを検討する。

(1) 全体構成

図3に全体構成を示す。(a)は本構成であり、電源スイッチ付の不揮発性CPU(NVCPU)と電源スイッチ付の不揮発性RAM(NVRAM)を有する。不揮発性CPUは不揮発性フリップフロップ(NVFF)を4KB含む。一方、図3(b)はリファレンスの構成であり、CPU内で常時電源ONの揮発性のFFを利用している点異なる。STNBY信号がハイレベルになった時、本構成のNVCPUは電源供給が停止されリークがほぼ0になるが、リファレンスのCPU内のFFへは電源供給が維持され、そのFFの部分からリーク電流が流れる。つまり、どちらの構成もスタンバイ時、データを保持できるが、リーク電流の値が異なる。本稿では、本構成とリファレンスの構成を比較しながら議論を進めることで、不揮発CPUの電力削減効果に焦点を当てる。

(2) 書き込み方式

図4に不揮発性素子への各書き込み方式における消費電力のプロファイルを示す。図4(a)はリファレンスとして揮発性FFに常時電源を供給している場合である。本CPUは、アクティブの期間Tactに、周波数factで、サイクル数Ninst回動作する。このときの電力Pはリーク成分Pleak+Pleak_pgに加え、アクティブ成分Pactが加わる。その後、スタンバイ状態になる。これを時間Tpg(s)で周期的に繰り返す。なお、Tact/TpgをDuty Cycleとして定義する。

図4(b)から(d)は、不揮発性素子とパワーゲーティングを適用したCPUの場合である。電源ONとOFFの前後で、各レジスタのデータが同一であるように不揮発性素子への退避(書き込み)を行っている。尚、データのロード動作やパワーゲーティングに起因するオーバーヘッド電力は、書き込みのオーバーヘッド電力より小さいとして、この図では省略した。

図4(b)の書き込み方式1は、レジスタへの書き込みと同時に不揮発性素子へも同じデータを書き込む方式である。Tactの期間に、不揮発性素子への書き込み電力Pwが加わっている。また、パワーゲーティングを適用することにより、スタンバイ期間はPleak_pgにリークが削減されている。書き込み方式1では電源OFF前の多重書き込みにより電力を無駄に消費することが懸念される。

図4(c)の書き込み方式2では、電源OFF前のみ揮発性レジスタに蓄えられたデータを不揮発性素子へ書き込む。ただし、抵抗性不揮発性メモリの場合、全てのデータを同時に書き込むと、書き込み電流は電源が供給できる最大電流量を超えてしまうため、何回かに分割して書き込む必要がある。そのため、不揮発性素子への書き込み遅延時間Twが発生する。書き込み方式2はTactの期間に、同じセルを一度しか書き込まないため、書き込み方式1のようにTactの期間に複数回発生する多重書き込みを回避できる。しかしながら、書き込み方式2において、全ての素子を電源OFFの度に書きこむと、既に不揮発性素子に蓄えられているデータと同じデータを再度上書きするケースも生じる。これは電力の無駄である。

この無駄な電力を排除するために、図4(d)の書き込み方式3はフラグビットを利用している。フラグビットは揮発性の素子と不揮発性の素子が同一のデータの場合は0が、異なる可能性がある場合は1が付与されるようにコントロールする。例えば、1ビットのフラグビットがワード毎に付与される。このフラグビットを利用することで、書き込む必要のない不揮発性素子を見分け、無駄な書き込み電力を削減できると期待される。そのフラグビットが1である割合をaとすると、書き込み遅延は $a \cdot Tw$ に低減できる。

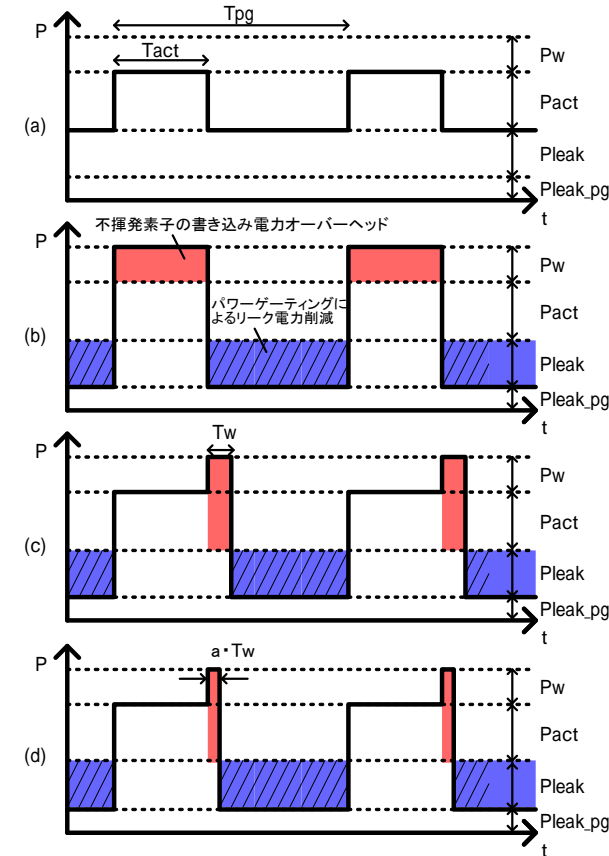


図4 各書き込み方式における消費電力のプロファイル
 (a) 揮発性FFの場合 (b)書き込み方式1 (c) 書き込み方式2 (d) 書き込み方式3

図5は、不揮発性素子とパワーゲーティングを組み合わせさせた場合、揮発性素子を用いるよりも消費エネルギーが小さくなる領域を示している。この図は、書き込み方式1に基づいており、図4のリーク削減(斜線領域)と書き込み電力オーバーヘッド(塗りつぶした領域)とを比較して作成した。不揮発性素子は待機時間が長く、記憶容量が大きいと揮発性素子よりも消費エネルギーが小さくなる。さらに、待機時間が長い領域では、今回のCPUのように記憶容量が小さい領域でも不揮発素子のほうが消費エネルギーを小さくできることがわかる。

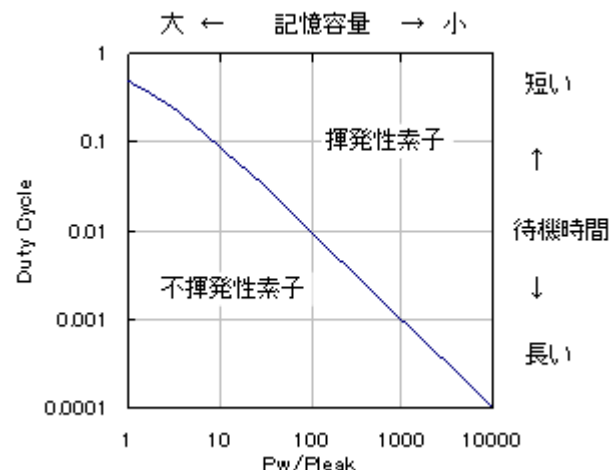


図5 揮発/不揮発素子における消費エネルギーが小さくなるアプリケーション領域

(3) アーキテクチャ

揮発性レジスタを不揮発性レジスタに置き換えたCPUにおいて、3つの書き込み方式が考えられることを前のセクションで紹介した。これら3つの書き込み方式を、完全にハードウェアで完結した形にしてプログラムから扱えないようにするのではなく、プログラムで使い分けができるようにすることが望ましいと考え、これら3つの書き込み方式を既存システムに取り入れることができるかを検討した。検討したシステムは、市販されているMSP430 [6]である。MSP430は27個の命令と7つのアドレッシングモードを備えたRISCアーキテクチャである。不揮発素子への書き込み方式1の機能を本アーキテクチャに組み込むために、ステータスレジスタの空きの9ビット

目に新規に不揮発素子書き込みモードビットMTJWMを割り当てた。本モードビットが1に設定されると、NVFFは図2(c)の書き込みモード1になり、入力データをCMOS部を書くと同時にNVMにも入力データを書き込む。本モードビットが0になると、NVFFは図2(a)のノーマルモードになり、通常のフリップフロップとして機能する。

不揮発素子への書き込み方式2をMSP430のアーキテクチャに組み込むために、新規の命令MTJWを追加した。表1に追加した命令を示す。本命令は、シングルオペランド形式であり、オリジナルのシングルオペランドや、アドレッシングモードの仕様と互換性を保つことができた。この命令により、指定されたアドレスのNVFFは図2(d)の書き込みモード2になり、CMOS部からNVMにデータを転送する。書き込みと同様に、ロード命令MTJLも追加した。この命令により、指定されたアドレスのNVFFは図2(b)のロードモードになり、NVM部からCMOSへデータを転送する。

さらに、低スタンバイリーク、高速復帰の実現にむけて、新規の低消費電力モードを追加した。本低消費電力モードに入ると、レギュレータはONのまま、図3(a)に示した電源スイッチがOFFになる。復帰はポートからのウェイクアップが可能であり、レギュレータはオンなので、高速復帰が期待できる。

尚、不揮発素子への書き込み方式3については現在構想段階であり、回路図やRTLの作成には至っていない。今後、検討を進める予定である。

表1 新規に追加した不揮発性素子制御命令

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Instruction
0	0	0	1	0	0	opcode				As	register				Single operand	
0	0	0	1	0	0	1	1	1	0	As	register				MTJW Write MTJ	
0	0	0	1	0	0	1	1	1	1	As	register				MTJL Load MTJ	

(4) 不揮発フリップフロップ制御回路

書き込み遅延のオーバーヘッドを低減するために、不揮発レジスタ制御回路部品を設計した。図6にその動作波形を示す。図6(a)はNVFFのシンボルである。WB端子がロウレベルの場合、NVFF内のNVMの書き込みが行われる。また、LB端子がロウレベルの場合、NVFF内のNVMのロードが行われる。図6(b)はMTJWMビットが1の場合の動作波形である。MTJWMが1の場合、次の命令フェッチと同時にNVMの書き込み動作が行われる。揮発性FFに比べ、NVMは書き込み時間が長く、数nsかかるため、このようなパイプライン的な動作を採用し、NVMの書き込み遅延のオーバーヘッドを抑えている。一方で、図5(c)はMTJL命令に対する動作波形である。MTJL命令を読み出した次のサイクルでLB端子がロウレベルになり、NVMが記憶していたデータが出力端子Qに出力される。出力データQが利用できるのはMTJL命令の次のサイクルの途中であるため、1サイクル分ストールしている。

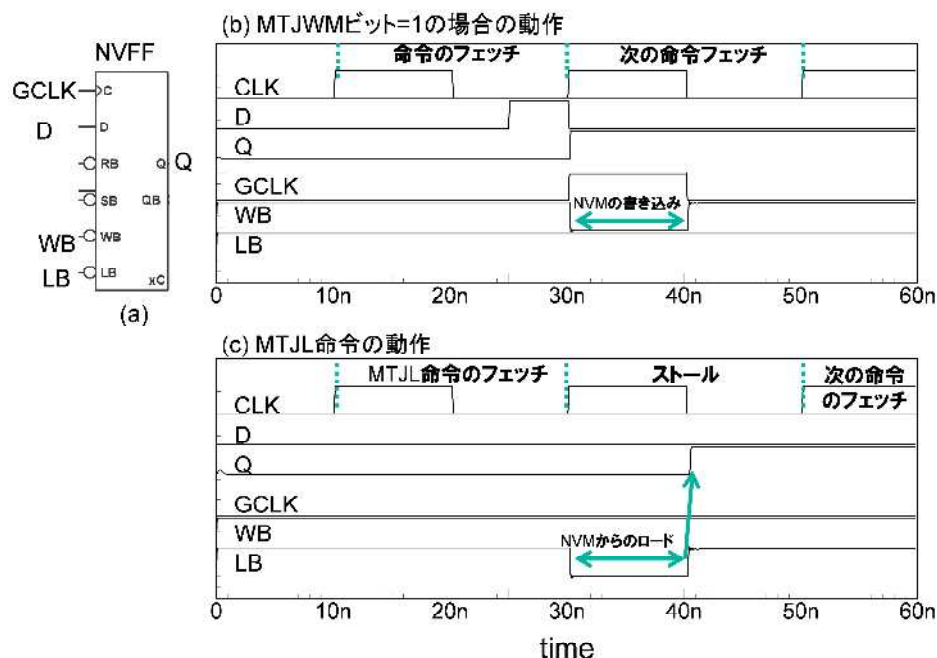


図6 不揮発フリップフロップのSPICEシミュレーションの波形

4. 電力低減効果の見積もり

図3の構成における簡易モデルを作成し、システムの消費エネルギー低減効果について見積もった。MSP430はアドレッシングモードに依存して、1~6サイクル数につき0回または1回書き込みが発生するが、本モデルでは、アクティブの期間 T_{act} または書き込み遅延期間 T_w は、毎サイクル16bitの不揮発素子への書き込みを想定した。一方、電源立ち上げ後のロード期間は、毎サイクル256bitのロードを行うとした。書き込み方式3のフラグビットが1である割合 a はここでは0.1と仮定した。

図7は、パワーゲーティングと不揮発性素子を組み合わせることで消費エネルギーの低減効果の一例である。図7は、アクティブの期間 $T_{act}=1ms$ に、周波数 $f_{act}=25MHz$ で、サイクル数 $N_{inst}=25000$ 回動作することを仮定し、パワーゲーティングの1周期の期間 T_{pg} を振って、消費エネルギーを求めている。縦軸の消費エネルギー

は揮発性FFの場合の消費エネルギーで規格化した。Duty Cycleが減少するほど揮発性FFと比較して消費エネルギーは低減できることがわかる。この例では、Duty Cycle=0.001、つまり、1msの期間、電源ONにし、残りの999msの期間は電源をオフにして休ませるという動作頻度の付近から、揮発性FFと比較して、消費エネルギーが低くなり始める。Duty Cycleが0.0001において、揮発性FFの約50%程度の消費エネルギーに低減できている。また、各書き込み方式は、Duty Cycleが1に近い場合には、差があるが、Duty Cycleが小さくなり、消費エネルギーを十分小さくできるとほぼ同等の値になることがわかる。これは、Duty Cycleが小さくなると、消費エネルギーは主にリーク電流に依存するため、各書き込み方式のオーバーヘッド電力の違いは相対的に小さくなるためだと考えられる。

図8は電源ONからOFFまでの間のサイクル数 N_{inst} を変化させたときの、書き込み方式における消費エネルギーの比較結果である。ここで、Duty Cycleは0.001の場合を示している。まず、どの書き込み方式も、ONからOFFまでの間のサイクル数 N_{inst} が大きくなるほど、消費エネルギーが減少する傾向にあることがわかる。つまり、細切れに電源をON・OFFするよりも、ONからOFFするまでの期間をまとめて長く取ったほうが、パワーゲーティングおよび不揮発素子の書き込みとロードの電力オーバーヘッドが軽減できることがわかる。次に、書き込み方式間の比較を行う。

サイクル数 N_{inst} が2500と小さい場合、方式2の消費エネルギーが大きい。一方、サイクル数 N_{inst} が250000と大きい場合、方式2が方式1に比べ、消費エネルギーを低減できる。これは、パワーゲーティングの期間 T_{pg} の書き込む回数に着目すると説明できる。方式1の書き込み回数はサイクル数 N_{inst} に比例する。したがって、動的エネルギー $P_{act} \cdot T_{act} \cdot N_{inst}$ に対する方式1の書き込みエネルギーの比は一定である。一方で、方式2の書き込み回数は、記憶容量が4KBの場合、2048回 (=4KB/16bit) に固定される。方式2の記憶容量分の書き込みのオーバーヘッドは、いわば固定費のように捉えられる。したがって、動的エネルギー $P_{act} \cdot T_{act}$ に対する方式2の書き込みエネルギーは、 N_{inst} が小さい場合には相対的に大きく、 N_{inst} が大きい場合には相対的に小さい。また、フラグビットが1である割合 a を0.1と仮定した方式3は、どのサイクル数 N_{inst} においても消費エネルギーが最も小さいことがわかる。

アプリケーションによって、サイクル数 N_{inst} は変化すると考えられるので、ハードウェアで不揮発素子の書き込み方式を固定化せず、本提案のように命令、モードビット、または、フラグをハードウェアに用意してソフトウェアで選択できるようにするのが低消費電力化を実現する上で重要だと考えられる。今回の見積もりは、全てのレジスタが同一の特性であるとみなして簡素化して定性的に評価した。しかし、実際のアプリケーションでは、頻繁に書き換えるレジスタファイルや、ほとんど書き換えない周辺レジスタなど、各レジスタに固有のアクセスパターンが存在すると予測される。したがって、設計したモード、命令、フラグを組み合わせることで、それぞ

れのレジスタに適した不揮発素子の書き込み方式を今後検討する必要がある。

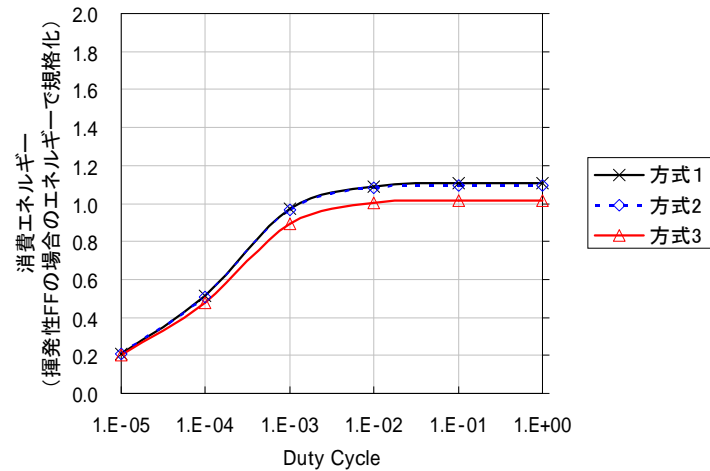


図 7 不揮発性素子とパワーゲーティングによる消費エネルギーの低減効果 (Ninst=25000)

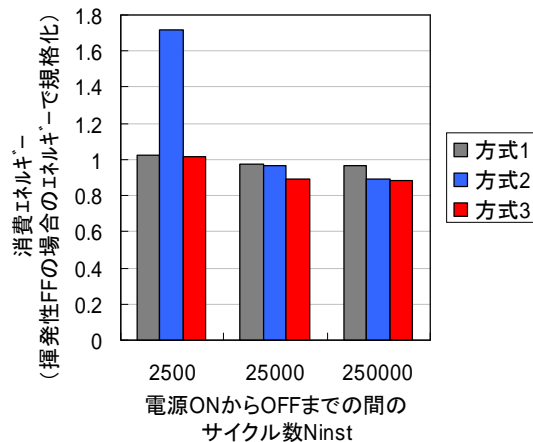


図 8 各書き込み方式における消費エネルギーの比較 (Duty Cycle=0.001)

5. まとめ

我々は CPU の不揮発レジスタに向けた低消費電力手法を提案した。モードビット、CPU の命令、フラグビットを含むこの手法は、不必要な不揮発素子の多重書き込みを避けるために、ソフトウェア上でプログラムでき、使い分けができる。さらに、この提案した手法が市販されている MSP430 のアーキテクチャにシームレスに追加できることを確認した。簡易モデルを利用して、本提案手法がシステムの電力を削減できることを確認した。今後、実際のアプリケーションに対して、本手法がシステムの電力を削減できるかを検討していく必要がある。

謝辞

この成果の一部は、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の共同研究業務の結果得られたものです。

参考文献

- 1) S. Fukami et al., Symp. VLSI Tech, pp.230-231, 2009.
- 2) S. Ikeda et al., Nat. Mat. 9 pp.721-724, 2010
- 3) N. Sakimura et al., IEEE JSSCC, pp.2244-2250, 2009.
- 4) S. Masui, et al., IEEE CICC, pp. 403-406, 2003.
- 5) Pi-Feng Chiu, et al, Symp. VLSI Circuits, pp.229-230, 2010.
- 6) "MSP430x1xx Family User's Guide," Texas Instruments Inc. 2003.