

アーキテクチャレベルシミュレータにおける 消費電力推定の研究

木村 光隆^{†1} 寺内 衛^{†1} 北村 俊明^{†1}

LSI 設計者は設計早期段階から製品の消費電力について検討する必要がある。本研究ではサイクルレベルアーキテクチャシミュレータに組み込むことのできる簡易的な電力モデルの提供を目指す。先行研究では各モジュールの詳細な電力解析を行っておらず、各モジュールが使用されたかどうかという情報だけ扱っていた。そこで、本研究では連想メモリ (CAM) 回路を設計し、回路シミュレータ SPICE を用いて電力測定を行うことで、消費電力量が入出力データ特性によってどのように変化するかを考慮した電力評価関数を決定した。得られた電力評価関数は、CAM 回路の比較判定結果 (ヒット/ミス) に依存するものであるが、これは SPICE 評価と良く整合している。これにより、各モジュールが使用されたかどうかという情報のみをも扱っていた電力モデルよりも精度を高くすることができた。

Predicting the power consumption at Architectural-Level simulator

MITSUTAKA KIMURA,^{†1} MAMORU TERAUCHI^{†1}
and TOSHIKI KITAMURA^{†1}

In order to reduce overall power consumption, architects need to consider power consumption from early stages of design processes. The aim of this study is to provide simple power consumption models that can be incorporated into cycle-level architecture simulators. A former related study did not conduct detailed power analyses on each module, but it treated each module as whether being operated or not. Designing a Content Addressable Memory (CAM) and evaluating power consumption in detail using SPICE, the authors have introduced a power evaluation function that shows how power consumption varies according to the data patterns. It has been confirmed that the proposed power estimation function provide detailed power consumption estimates that depend on compare results (HIT/MISS) of a CAM circuit, and that these estimates are quantitatively consistent with estimates obtained from SPICE simulation. The proposed power estimation function allows us to obtain more precise results

than those based on a former study.

1. はじめに

近年、顧客のニーズの移り変わりから製品開発サイクルが短縮されている。にもかかわらず、製品開発の指標に、性能や価格だけでなく、消費電力が新たに追加されている。このため、LSI 設計者は設計早期段階から製品の消費電力について検討する必要がある。しかし、市販の電力測定ツールを利用するためには、利用者が機能ブロック、データバスや制御信号を必要とするため Register Transfer Level (RTL) まですべての設計を行い、完了しなければならない。この段階までの設計を行うと時間がかかり過ぎてしまうという問題がある。さらに、様々なワークロードを用いて性能評価を行うので、シミュレーション時間の増加は少ないほど望ましい。そこで、本研究では、消費電力を市販の電力測定ツールよりも設計早期段階から検討できるようにするため、サイクルレベルアーキテクチャシミュレータに組み込むことのできる簡易的な電力モデルの提供を目指す。先行研究では、電力評価を行う際にシステム内のブロックが使用されたのかという観点から消費電力を見積もり、評価を行っていた (次章で詳細に説明)。これに対して、我々は制御をビヘイビアとし、データバスをサイクルアーキテクトとした回路において各ブロックに対する入出力データに着目する。これによりダイナミックな電力の見積もりが詳細化される。よって、設計早期段階から消費電力の見積もりを行うことが可能となる。

本研究では消費電力推定の対象を連想メモリ (Content Addressable Memory, 以下 CAM)¹⁾ とする。回路シミュレータ SPICE を用いて消費電力量を測定する。そして、入出力データパターンと消費電力量の関係を解析し、電力評価関数を検討する。

2. 先行研究

先行研究の Wattch²⁾ における電力評価の概念を図 1 に示す。Wattch はマイクロプロセッサの消費電力をアーキテクチャレベルで解析、最適化するためのフレームワークである。Wattch はユーザによって入力されたハードウェア情報から各ブロックに対するアクセ

^{†1} 広島市立大学大学院情報科学研究科
Graduate School of Information Sciences, Hiroshima City University

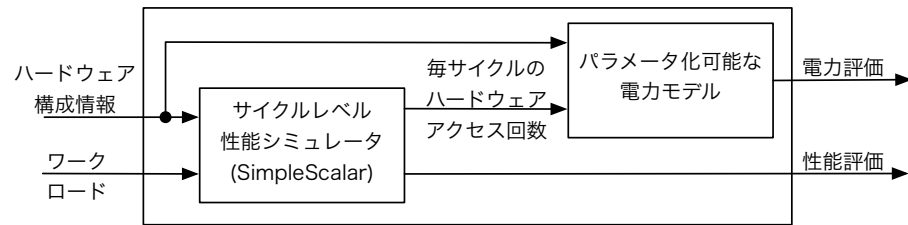


図 1 Wattch 概念図²⁾
Fig. 1 Overall structure of a power simulator.

ス 1 回あたりの消費電力量を事前に計算しておく (図 1 のパラメータ化可能な電力モデル)。そして、ワークロードを実行し終わったサイクルレベル性能シミュレータから各ブロックのアクセス回数を受け取る。これら各ブロックのアクセス 1 回あたりの消費電力量とアクセス回数を積算することでハードウェアの総電力評価を行っている。このため、Wattch の電力モデルではアクセス回数に依存した消費電力量の評価を行えるが、入出力データに依存した消費電力量の評価を行うことはできない。他の先行研究³⁾では電力モデルの決定の際、過去の設計情報を利用することにより精度を高めようとしている。例えば、過去の設計情報を用いることで CMOS のスイッチング動作時の充放電による電力は線形性があるという法則性を導きだし、電力モデルに反映させている。この他にも電力モデルを考えるために分割した各ブロックに対して各法則性を導きだしている。しかし、これらに対する法則のすべてが詳細になっておらず、IBM 社独自のプログラムを実行することで電力モデルに反映される。このため、電力モデルが複雑になり、シミュレーション時間の増加が発生する可能性がある。我々は入出力データに着目することで、シミュレーション時間をあまり増加させることなく、より精度の高い消費電力の見積もりが可能になると考えた。当研究室の児玉等による先行研究⁴⁾では 32bit 加算器に対し、入出力データに依存した消費電力評価が有効なことを確認した。

3. CMOS 回路の消費電力

一般的に CMOS 回路の消費電力は以下の項目によって概算される。

- スwitching動作時の充放電電流による電力
- 貫通電流による電力
- サブスレッショルド電流による電力

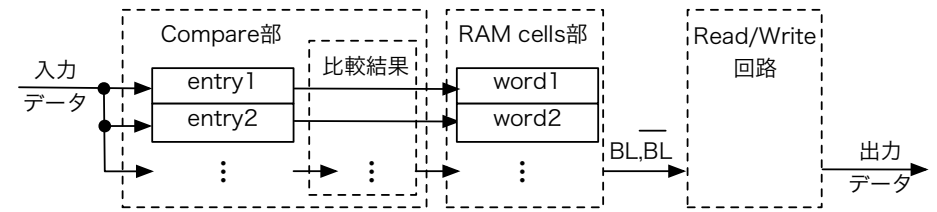


図 2 回路構成
Fig. 2 Structure of CAM.

本研究では CMOS 回路が動作することで発生するスイッチング動作時の充放電電流による電力と貫通電流による電力をダイナミックな電力とする。なお、サブスレッショルド電流による電力は回路上に存在しているトランジスタ数により見積もることができるので対象としない。

4. CAM の設計

本研究で設計を行った CAM 回路の全回路構成を図 2 に示す。本 CAM 回路は 32bit の入力データと保持している 4 つの 32bit データの比較を同時に行う。比較判定結果によって出力データの有無が決定される。出力データがあるときの bit 数は 5bit とした。

本 CAM 回路を Rohm 0.18 μ m のテクノロジーで設計した。電源電圧は 1.8V である。本 CAM 回路を動作させるために必要な制御信号は所定のタイミングで入力している。全回路に関してケイデンス社製の Virtuoso を利用してレイアウトを行い、シノプシス社製の Star-RCXT を利用して寄生容量や寄生抵抗を抽出した。設計の結果クリティカルパスの遅延は 1.90ns、動作周波数は 526MHz となった。本 CAM 回路の SRAM セルを SRAM セル専用のデザインルールではなく、論理回路用のデザインルールを使用したことを考慮すると、同等なテクノロジーを用いて設計された商用の回路に匹敵する動作周波数である。よって、電力測定を行う回路として妥当な回路構成であると判断した。

本 CAM 回路の機能ブロック Compare 部、RAM cells 部、Read/Write 回路について説明する。

4.1 Compare 部

入力された 32bit データと Compare 部で保持している 32bit データ 4entry 分との比較を同時に行う。図 3 に 32bit 1entry 分の回路構成を示す。inputData1 は入力データ 1bit で

あり、 $\overline{inputData1}$ は $inputData1$ を論理反転したデータである。Compare 部の $nextWL$ は RAM cells 部の WL に接続されている。動作周波数の観点からダイナミック回路として設計した。図 3 中において上側の太線をマッシュライン（以下 ML）、下側の太線をクローズライン（以下 CL）と呼ぶ。

それぞれの制御信号について説明する。 $MLprecharge$ 信号は ML や CL をチャージする際に入力される。このとき、 $Closed$ 信号が入力される nMOS はオフ状態にしておかなければならない。図 3 中では $MLprecharge$ 信号を入力される pMOS は 1 つしか示されていないが、電源からの物理的な距離が伸びてしまうと電圧降下やチャージにかかる時間も増加してしまうので、回路を作成するときには 4bit 毎にチャージ用の pMOS を接続している。 $Closed$ 信号は比較判定を行う際に入力される。入力データ 1bit と対応つけられた保持データ 1bit が一致していない場合、チャージによって蓄えられた電荷が V_{ss} 方向へ流れていき、ML の電圧が V_{ss} まで下がる。このように、ML の電圧が比較判定によって V_{ss} まで下がった状態を Compare 部の比較判定結果が不一致したとする。また、すべての入力データが保持データと一致した場合、ML の電圧は V_{dd} を維持しており、Compare 部の比較判定結果が一致したとする。Compare 部の比較判定結果が一致した ML を HITline、不一致した ML を MISSline と呼ぶ。すべての entry において MISSline のみ存在する場合、 $MISS$ と呼ぶ。また、すべての entry において 1 つだけ HITline が存在する場合、 HIT と呼ぶ。 $ADOPT$ 信号は Compare 部の比較判定結果を RAM cells 部に伝達する際に入力される。この信号により、Compare 部と RAM cells 部を並列に動作させることが可能である。 $DOWN$ 信号は HIT し、RAM cell 部からデータを出力した後に WL のアクティブ状態を非アクティブ状態にする際に入力される。

4.2 RAM cells 部

Compare 部で比較判定を行い、HITline と対応した WL が接続された SRAM セルから 5bit データを出力する。図 4 に回路構成を示す。Row 方向が 5bit、Column 方向が 4word で設計した。制御信号をそのまま所定のタイミングで入力し、前述の動作周波数で正常に動作させるためには Row 方向を 8bit 以下にしなければならない。

4.3 Read/Write 回路

Read/Write 回路は読み出しや書き込みの際に利用される回路である。図 5 にそれぞれの回路構成を示す (i) (ii) (iii) (iv) において端子名が同じものはそれぞれに接続されている。すべての回路は Column 方向の BL 毎に接続されている (i) はプリチャージ回路であり、ビットライン（以下 BL ）をチャージする (ii) はセンスアンプ回路であり、SRAM セ

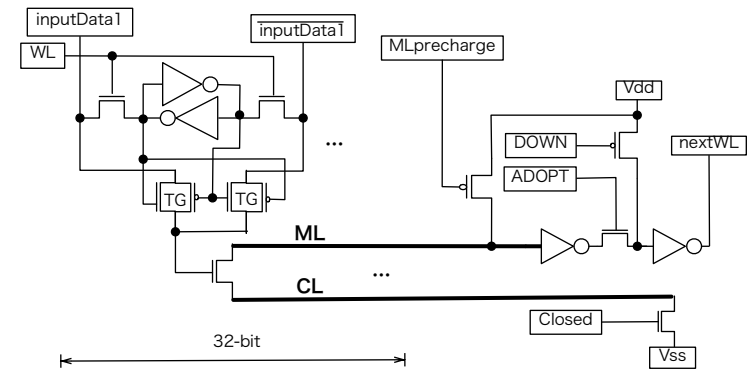


図 3 Compare 部
Fig. 3 Schematic diagram of the Compare block of CAM.

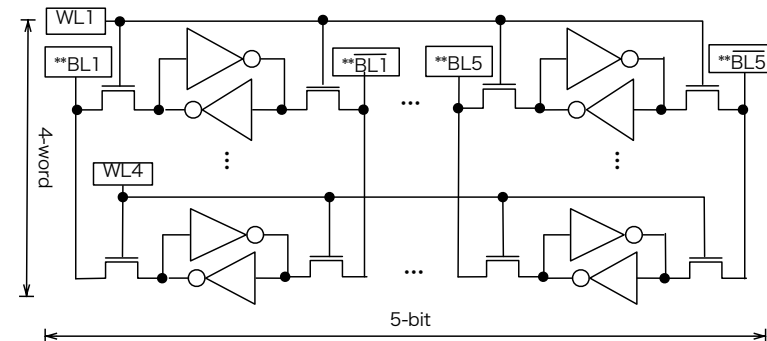


図 4 RAM cells 部
Fig. 4 Schematic diagram of the RAM cells block of CAM.

ルのデータ読み出しを可能としたり、読み出し動作を高速化する。本研究で設計した CAM 回路におけるセンスアンプ回路では最大 32word までデータの読み出しが可能である (iii) はアウトプットドライバ回路であり、読み出されたデータが読み出し動作によるデータであることを保証する。データが読み出されていないとき、常に論理値 0 を出力する (iv) は書き込み回路であり、SRAM セルにデータを書き込む際に使用される。

それぞれの制御信号について説明する。 $precharge$ 信号は BL と \overline{BL} をプリチャージする

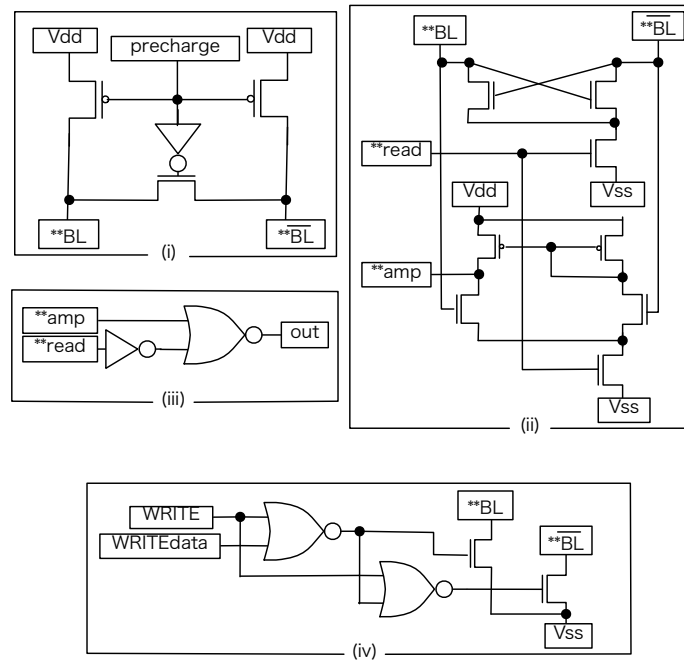


図 5 Read/Write 回路

Fig.5 Schematic diagram of the Read/Write block of CAM.

際に入力される。read 信号は SRAM セルからデータを読み出す際に入力される。WRITE 信号は SRAM セルにデータを書き込む際に入力される。このとき、WRITEdata は確定していなければならない。

5. 電力評価関数

本研究では、シミュレーション時間をあまり増加させることなく、電力見積もりの精度を高めることが重要だと考えている。このため、例えばトランジスタレベルのネットリストを用いるような SPICE は高精度だがシミュレーション時間を増加させるので電力評価手法として適切でないと考えている。そこで、サイクルレベルで簡易的な電力モデルを検討す

表 1 電力評価関数で使用する項名と負荷容量の要因箇所

Table 1 The term used in power evaluation function and load capacitance.

電力評価関数で使用する項名	負荷容量の箇所
MLi	Compare 部の ML に接続される nMOS によるもの
MLc	Compare 部の CL に接続される nMOS によるもの
MLp	Compare 部の ML を充電するための pMOS によるもの
WLn	図 4 の WL に接続される nMOS によるもの
BLn	Memory 部の BL と \overline{BL} に接続される nMOS によるもの
BLp	Memory 部の BL と \overline{BL} に接続される pMOS によるもの
CMp	図 5 の (ii) のカレントミラー回路を構成している pMOS によるもの
OPD	図 5 の (iii) のアウトプットドライバを構成している MOSFET によるもの

る。本研究では制御信号や入出力データ信号が充放電する負荷容量は電力モデルが対象とする回路における負荷容量ではなく、接続されている前段の回路における負荷容量とみなし、対象とする回路の電力モデルに組み込まないこととした。本 CAM 回路を Compare 部と Memory 部 (RAM cells 部と Read/Write 回路で構成される) の 2 つに分割し、負荷容量 (MOSFET のゲート、ソース、ドレイン容量と配線容量) に蓄えられる電荷量を基に考察を行う。本 CAM 回路における主な負荷容量を表 1 に示す。表 1 の負荷容量を SPICE を用いて測定し、電荷量に変換することで電力評価関数の基本とした。Compare 部の entry 数や bit 数、または RAM cells 部の word 数や bit 数を変化させたと仮定すると、その他の回路部の負荷容量は全体の負荷容量に比べて小さいので無視した。

5.1 Compare 部

Compare 部の構成を 1entry を C_i bit とし C_e entry とする。Compare 部の初期状態は CAM 回路として HIT 後で HITline が存在する状態と MISS 後ですべての entry が MISSline の状態の 2 通りある。また、実行中の比較判定は HIT と MISS の 2 通りある。Compare 部において発生する回路動作は初期状態と実行中の比較判定を組み合わせた 4 通りである。それぞれの組み合わせは (初期状態, 実行中の比較判定) = (MISS, MISS), (MISS, HIT), (HIT, MISS), (HIT, HIT) である。まず (MISS, MISS) の場合、 C_e entry すべての ML と CL を充電する。次に (MISS, HIT) の場合、 (C_e-1) entry の ML と CL を充電し、HITline の存在する entry は ML を充電する。また (HIT, MISS) の場合 (MISS, HIT) と同様に (C_e-1) entry の ML と CL を充電し、HITline の存在する entry は ML を充電する。最後に (HIT, HIT) の場合、 (C_e-2) entry の ML と CL を充電し、HITline の存在する entry は ML を充電し、残りの 1entry は CL を充電する。よっ

て、Compare 部における電力評価関数は以下となる：

$$P_{Compare} = C_e(MLi \times C_i + MLc + (C_i/4)MLp) \quad (1)$$

$$P_{Compare} = C_e(MLi \times C_i + MLc + (C_i/4)MLp) - MLc \quad (2)$$

$$P_{Compare} = C_e(MLi \times C_i + MLc + (C_i/4)MLp) - MLc - MLi \quad (3)$$

式(1)は (MISS, MISS)、式(2)は (MISS, HIT) または (MISS, HIT)、式(3)は (HIT, HIT) のときに利用する。このように Compare 部において実行中の比較判定結果だけではなく、直前に実行されたときの情報も利用することで精度を高くすることができる。

5.2 Memory 部

Memory 部の構成は 1word を M_o bit とし M_w word とする。Memory 部の初期状態は CAM 回路として HIT 後で BL と \overline{BL} がどちらか一方が充電されており、 BL もしくは \overline{BL} の充電の必要がある状態と、MISS 後で BL と \overline{BL} が共に充電されており、充電の必要がない状態の 2 通りある。また、実行中の Memory 部は HIT でデータの読み出しを行うか、MISS でデータの読み出しを行わないの 2 通りある。Memory 部において発生する回路動作は充電が必要か否かとデータの読み出しの有無を組み合わせた 4 通りである。それぞれの組み合わせは (充電が必要か否か、データの読み出しの有無) = (MISS, MISS)、(MISS, HIT)、(HIT, MISS)、(HIT, HIT) である。まず (MISS, MISS) の場合、チャージの必要はなく、データの読み出しも行わない。次に (MISS, HIT) の場合、チャージの必要はなく、データの読み出しは行う。また (HIT, MISS) の場合、チャージの必要があり、データの読み出しは行わない。最後に (HIT, HIT) の場合、チャージの必要があり、データの読み出しも行う。データの読み出しが発生した時のセンスアンプ回路では read 信号が入力されている間、ずっと短絡した状態が発生する可能性があるため、電流が V_{ss} 方向へ流れ続ける。本 CAM 回路のセンスアンプ回路では出力データに「0」の bit が存在するとこのような状態になる。読み出しの際に流れる電荷量を「1」の bit と「0」の bit で比較し、「0」の bit の方が M_{inc} C 多いとし、出力データに含まれる「0」の bit 数を M_{zero} bits とすると、Memory 部における電力評価関数は以下となる：

$$P_{Memory} = 0 \quad (4)$$

$$P_{Memory} = M_o \times OPD + M_{zero} \times M_{inc} \quad (5)$$

$$P_{Memory} = M_o(BLn \times M_w + BLp + CMp + OPD) \quad (6)$$

$$P_{Memory} = M_o(BLn \times M_w + BLp + CMp + OPD) + M_{zero} \times M_{inc} \quad (7)$$

式(4)は (MISS, MISS)、式(5)は (MISS, HIT)、式(6)は (MISS, HIT)、

式(7)は (HIT, HIT) のときに利用する。このように Memory 部において実行中の比較判定結果だけではなく、直前に実行されたときの情報も利用することで精度を高くすることができる。

6. 評価

第 5 節で考察を行った Compare 部と Memory 部に分割し、作成した電力評価関数が入出力データに対して有効かどうか検証するために、回路シミュレータ SPICE を用いて検証回路の電力測定を行った。回路シミュレータ SPICE はシノプシス社製の HSPICE を利用した。本研究では、電力評価関数を負荷容量に蓄えられる電荷量を基にして考察しているため、検証回路の動作時に流れた電流を時間で積分することで電荷量に変換し、検証する。

6.1 検証環境

CAM 回路を用いて設計されている可能性の高い回路として、動的アドレス変換機構、リザベーションステーションやスイッチングハブ内の回路等が考えられる。本研究ではリザベーションステーションにおいて使用されると考えられる CAM 回路のサイズを選択した。検証回路として Compare 部の 1entry を 6bit とし 4entry で構成され、RAM cells 部の 1word を 32bit とし 4word で構成した CAM 回路を用いた。RAM cells 部の出力データを 32bit にしたため、電力評価関数を考察する際に利用した CAM 回路そのままでは正常に動作させることができない。そのため、以下の変更を行った。Compare 部の 1entry を 32bit から 6bit に変更したので Compare 部の比較判定が早く完了する。そこで、ADOPT 信号の入力タイミングを早めた。元の CAM 回路が動作周波数 526MHz で正常動作する RAM cells 部の 1word を 8bit より多い 32bit にしたので、 $nextWL$ と WL の間に駆動力を向上させるためのバッファを挿入した。8bit から 32bit に変更したので、バッファは $nextWL$ とつながっているインバータの駆動力を 4 倍にするサイズとした。Compare 部に保持しているデータと SRAM cells 部の SRAM セルに保持しているデータは予め保存し、実行中に書き換えは発生しないこととした。また、電力測定のために SPICE で実行する際、各端子の電圧等初期状態を同じにするために HIT させた後、電力測定を行った。電力測定を行った条件を表 2, 3 に示す。表 2, 3 の組み合わせにより、合計 20 通りの測定を行った。入力データは表 3 の比較判定結果順序となるように所定のタイミングで変更した。

6.2 検証結果

このときの測定結果による電荷量と電力評価関数から見積もった電荷量の関係を図 6 に

表 2 出力データ

Table 2 Executed output data.

出力データ
0x00000000
0xFFFFF000
0x00000FFF
0xFFFFFFFF

表 3 比較判定結果順序

Table 3 Order of Compare results

比較判定結果順序				
HIT	HIT	HIT	HIT	HIT
MISS	MISS	MISS	MISS	MISS
HIT	MISS	HIT	MISS	MISS
MISS	HIT	MISS	HIT	HIT
HIT	HIT	HIT	MISS	HIT

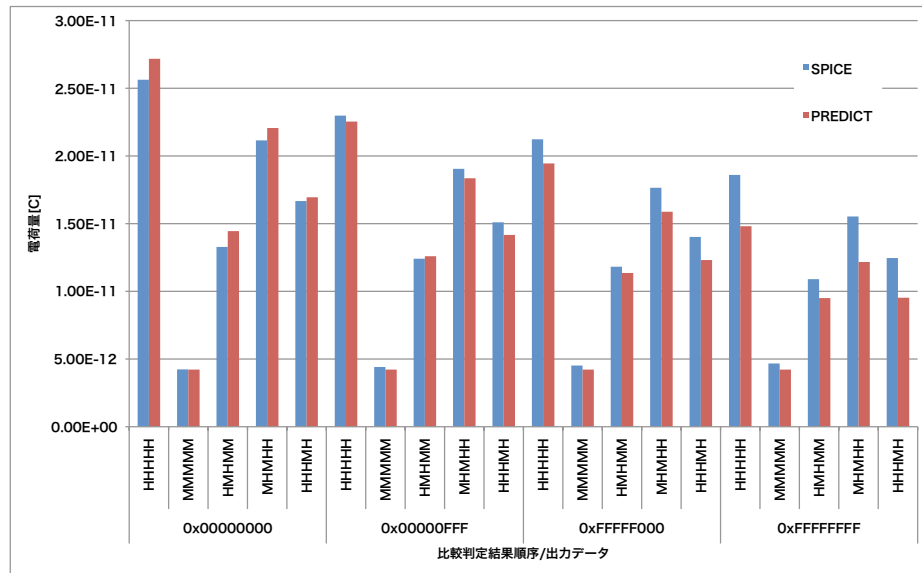


図 6 表 2, 3 の実行結果
 Fig. 6 The results of Table 2, 3.

示す．まず，比較判定結果順序（入力データ特性）について考察を行う．図 6 の出力データ=0x00000000 のとき，比較判定結果順序に対応して異なった電荷量が測定された．このとき，本研究で提案する電力評価関数から見積もった電荷量を比較判定結果順序に対応させて見積もった．同様に，出力データ=0xFFFFF000, 0x00000FFF, 0xFFFFFFFF のときにも，SPICE の測定結果による電荷量と電力評価関数から見積もった電荷量は比較判定結果順序に対応して異なった電荷量を示した．つまり，SPICE の測定結果による電荷量と電力評

価関数から見積もった電荷量は共に CAM 回路の比較判定結果順序（入力データ特性）に影響を受けた電荷量である．その上，SPICE の測定結果による電荷量と電力評価関数から見積もった電荷量の比較判定結果順序による変化傾向はほぼ同じ傾向である．よって，本研究で作成した電力評価関数は比較判定結果順序において妥当である．

次に，出力データ特性について考察を行う．図 6 の比較判定結果順序=HHHHH のとき，出力データに対応して SPICE の測定では異なった電荷量が測定された．このとき，本研究で提案する電力評価関数からも出力データに対応して異なった電荷量が見積もられた．同様に，比較判定結果順序=MMMMM, HMHMM, MHMHH, HHHMH のときにも，SPICE の測定結果と本電力評価関数から見積もった電荷量は出力データに対応して異なった値を示した．つまり，SPICE の測定結果による電荷量と本電力評価関数から見積もった電荷量は共に CAM 回路の出力データの依存性を反映している．その上，SPICE の測定結果による電荷量と本電力評価関数から見積もった電荷量の出力データによる変化傾向はほぼ同じ傾向である．よって，本研究で作成した電力評価関数は出力データ依存性に関しても妥当である．

もし先行研究²⁾ のようなアクセス 1 回あたりの消費電力量とアクセスされた回数を掛け合わせる方法を用いたならば，図 6 のような比較判定結果順序や出力データによって電荷量が変化するグラフにはならず，常に一定の電荷量を見積もるはずである．これと比較すると，本研究で作成した電力評価関数は CAM 回路の比較判定結果（入力データ）や出力データに影響を受けた電荷量を見積もることができる．したがって，入出力データを利用し，消費電力量を詳細に見積もることを可能とした．

7. まとめと今後の課題

本研究は設計早期段階から電力見積もりをできるようにすることと入出力データに着目することで見積もりの精度を高くすることを目的にしている．設計早期段階から電力見積もりをできるようにすることに関しては，CAM 回路の入力データ幅と比較するデータ数と出力データ幅を入力することでサイクルレベルアーキテクチャシミュレータに組み込むことのできる電力評価関数が作成され，電力見積もりが行えようになった．入出力データに着目することで見積もりの精度を高くすることに関しては，CAM 回路の入出力データによって起こりえる回路中の動作を想定し，電力評価関数を作成した．その結果，先行研究よりも見積もり精度を高くすることができた．しかし，精度を高めるために先行研究よりも詳細な情報を利用しているため，シミュレーション時間の増加が考えられる．精度向上によるシミュレーション時間への影響を考察することが今後の課題である．その他にも，CAM 回路

の entry 数や bit 数や word 数が非常に多くなったときに回路上の MOSFET のサイジングや回路修正方法も今後の課題である。

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、シルバコ・ジャパン株式会社の協力で行われたものである。

参 考 文 献

- 1) K. Pagiamtzis, A. Sheikholeslami.: Content-Addressable Memory (CAM) Circuits and Architectures: A Tutorial and Survey, *IEEE Journal of Solid-State Circuits*, Vol.41, Issue 3, pp.712-727 (2006)
- 2) David Brooks, Vivek Tiwari, and Margaret Martonosi.: Wattch: a framework for architectural-level power analysis and optimizations, *Proc. the 27th annual international symposium on Computer architecture (ISCA '00)*, ACM, pp.83-94 (2000).
- 3) D. Brooks, *et al.*: New methodology for early-stage, microarchitecture-level power-performance analysis of microprocessors, *IBM Journal of Research and Development*, Vol.47, Issue 5-6, pp.653-670 (2003).
- 4) 児玉純一, 北村俊明: 消費電力も予測する論理レベルシミュレータの検討, RENTAI2010, pp.260-261 (2010).