

解説

FACOM 230-75 システムにおけるメイン・メモリの構成*

三輪 修**

1. まえがき

FACOM 230-75 システムは、FACOM 230-60 システムの上位機種として、昭和 48 年春完成した超大型汎用電子計算機システムである。

大型、超大型システムにおいては、メイン・メモリの構成や制御方式がシステムの性能に大きな影響を及ぼす。このため多重バンク構成、アドレスのインタリーブ、バッファメモリ方式など、実効的なアクセスタイムの短縮を図る各種の方式が開発され実用化されてきた。また記憶容量増大に伴い、信頼性に対する配慮が重要な課題となり、誤りの自動訂正、メモリアクセスの再試行、メモリ装置の切離し、組入れなど、いわゆる RAS 機能向上のための多くの考慮が必要となる。

FACOM 230-75 の開発に当たっては、これら高速化、高信頼化のための配慮が各所に払われたが、さらに FACOM 230-60 と完全に上向きに互換性を保ちつつ大幅な機能拡張を行うという別の考慮が必要であった。以下に FACOM 230-75 におけるメイン・メモリの構成、バッファメモリ制御方式、信頼性に対する配慮などについて概要を述べる¹⁾。

2. メイン・メモリの構成

大型機におけるメイン・メモリとしては、(イ)高速メモリと中・低速大容量メモリを併用する方法、(ロ)メイン・メモリは中・高速大容量メモリで統一し、中央処理装置に超高速バッファメモリを内蔵する方法が代表的である。FACOM 230-60 では(イ)の方法を採用したが、バッファメモリ方式を導入した 75 では(ロ)の方法を採用し、1台 256k 語の高速大容量メモリを最大 4 台まで接続できるようにした。

2.1 メイン・メモリの結合方式

設計時に考慮すべき重要な要素の一つに、メイン・

メモリ (MEM) とそのアクセス源との結合方式がある。アクセス源として最大 2 台の中央処理装置 (CPU)、最大 3 台のチャンネル制御装置 (CHC) をもつ FACOM 230-75 では、性能、経済性および信頼性の観点から、図-1 に示すように MEM との結合制御を集中管理する記憶制御装置 (MCU) を導入してこれに対処した。

MCU は CPU や CHC と MEM との間の情報転送を高速度で時分割制御するものであり、1 システムに 1 台あればよい。図-1 のように 2 台の CPU をもつマルチシステムでは、MCU を 2 台設けシステムの

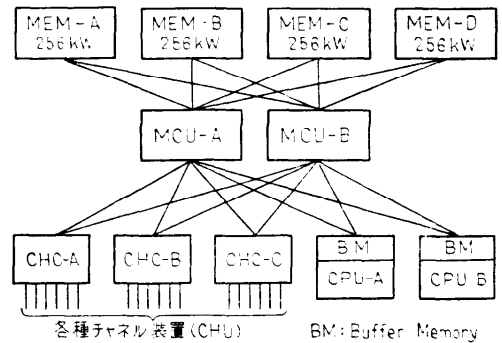


図-1 メイン・メモリの結合

表-1 メイン・メモリの概要

語 構 成	2 語 88 ビット (8 誤り自動訂正コードビットを含む)
記 憶 素 子	17 ミル磁心
サイクルタイム	0.99 μs/2 語
記 憶 容 量	64 k 語~1024 k 語
増 設 単 位	64 k 語
構 成	1 または 2 モジュール/台 4 バンク/モジュール 16 または 32 k 語/バンク
インタリーブ	4, 8, 16, 32 ウェイ (2 語単位)
ブロック転送	8 語/0.99 μs
記憶保護機能	命令読出, データ読出, データ書込

(注) k=1,024

* Main Memory Construction of FACOM 230-75 System by Osamu MIWA(Computer Engineering Div., FUJITSU LTD.)

** 富士通 (株) 電算機技術部

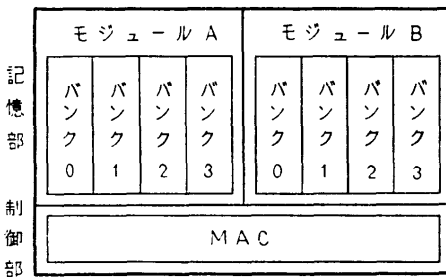


図-2 メイン・メモリの構成

分割やフェイルソフトな構成を可能としている。

2.2 メモリの構成

FACOM 230-75 のメイン・メモリの概要を表-1(前頁参照)にまとめた。MEM 1台は最大 256 k 語の容量をもち、図-2 に示すように二つの記憶部(モジュールA, B)とアクセス制御部(MAC)で構成される。1モジュールには 64 k 語または 128 k 語実装できる。

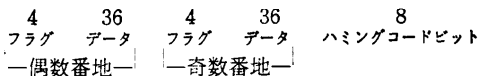
(1) モジュールとバンク

MEM 内の二つのモジュールは、それぞれ4個のバンクで構成される。バンクとは情報の書込み、読出しが互いに独立にできる最小単位であり、16k 語または 32k 語の容量をもち、1モジュールは同一容量のバンク4個で構成される。

モジュール内の各バンクは、MAC からの信号に従って、指定されたアドレスに対し書込みまたは読出し動作を 11τ ($1\tau=90\text{ ns}$)で行う。この場合各バンクは、互いに 1τ 以上の間隔をおいて同時動作が可能である。

(2) 語 構 成

FACOM 230-75 は 1語 36 ビットの語計算機であるが、各語に 4 ビットのフラグをもっているので1語は 40 ビットとなる。一方 MEM へのアクセスは偶数番地に始まる2語を単位として行われ、この2語 80 ビットに対して8ビットの誤り自動訂正コードビット(ハミングコードビット)をもっている。従って MEM 内のデータ形式はつぎのようになる。



このように各バンク 16/32 k 語の回路は、8/16 k—88 ビット語構成となるが、実際のコアマトリクスは 8k—22 ビット語できていて、これを4枚または8枚実装することになる。このコアマトリクスは、図-3 に示すようにサブユニット化され、2層大型プリント板に実装されている。また周辺回路はコアマトリクスの裏面に実装され、従来の2倍以上の高密度実

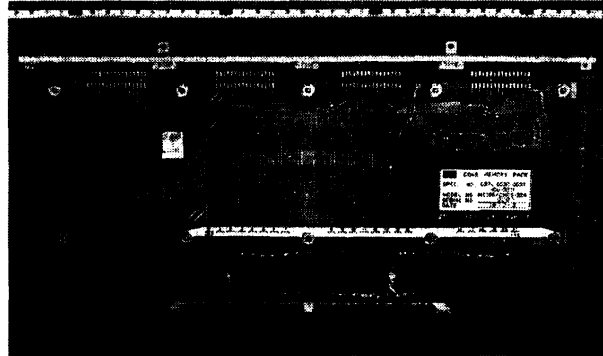


図-3 コアメモリプリント板

装を実現した。

(3) MAC

メモリアクセスを制御する MAC は、MCU を経由して送られてくる CPU や CHC からのアドレス情報をデコードし、所望のバンクを選択し起動する。またハミングコードの生成や誤りの検出、自動訂正もこの MAC で行っている。

2.3 アドレスのインタリーブ

多重バンク構成の MEM を効果的に利用できるような大幅なアドレスインタリーブを可能とした。まず各モジュールでは必ずバンク間でインタリーブしており、4ウェイインタリーブ(8語)が基本となる。つぎに1MEM 内の二つのモジュール間、さらには MEM 装置間にわたってのインタリーブを指定できるので、8、16、32 ウェイのインタリーブが可能である。

2.4 アドレス方式

FACOM 230-60 との互換性のため、アドレス方式に二つのモードを設けた。CP (Carry Propagate) モードでは、メイン・メモリのアドレス空間は連続した 1,024k 語として構成され、CNP(Carry Non-Propagate) モードでは、FACOM 230-60 同様 256 k 語単位の4つの空間に分割され、その間の連続性はない。

CNP モードでは 20 ビットのインデックスレジスタの上位2ビットは0とみなされ、命令ステップカウンタの更新、有効アドレス計算などすべてのアドレスデータに関する演算は上位2ビットと下位 18 ビットが全く別個に演算され、18 ビットを境界とする carry あるいは borrow は無視される。一方 CP モードでは上記 20 ビットのアドレスデータは一律に演算され、連続した 1,024 k 語の空間として扱われる。

2.5 記憶領域保護機能

記憶保護は CPU ごとに独立に行われる。各 CPU

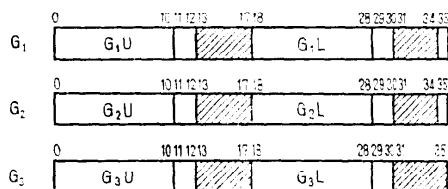


図-4 記憶保護レジスタ

には3個の記憶保護レジスタ G_1, G_2, G_3 があり、これで保護すべき領域の境界が指定される。この境界は図-4 に示す G_i レジスタ ($i=1, 2, 3$) の G_iU および G_iL で与えられ、この間の領域 (128 語単位となる) に対するアクセスが許容される。

命令の読出しは G_3 で指定される領域からのみ可能であるが、データの読出しは G_1, G_2, G_3 で指定されるどの領域からも可能である。一方データの書込みは、 $(G_1)_{35}=1$ のとき G_1 で指定される領域に、また $(G_2)_{35}=1$ のとき G_2 で指定される領域に対して許容される。

なお FACOM 230-60 との互換性を保つため 60 の LCM (大容量コアメモリ) 領域 (262,144 番地~1,048,575 番地) のアクセス可能範囲を指定する 36 ビットのレジスタ G_4 および G_5 がある。 G_4, G_5 合計 72 ビットは、命令の読出し、データの読出しおよびデータの書込みの可否を示す 3 ビットの組 24 個で構成されており、32,768 語単位の 24 ブロックに分割された LCM に対し、ブロックごとの保護を可能としている。

3. バッファメモリ制御方式

CPU にバッファメモリとして超高速メモリを設ける方法は、大型機におけるコストパフォーマンス向上のための有力な手段となっている。このバッファメモリ制御方式には種々の方法があるが²⁾、FACOM 230-75 では従来多くみられた Sector Buffer 方式にくらべ効率がよいと考えられる Set Associative Buffer 方式を採用した^{3,4)}。

またバッファメモリの素子としてはアクセスタイム 45 ns のバイポーラ IC メモリを採用し、CPU ごとに 2k 語または 4k 語を内蔵させた。なおメモリに対するチャネル装置のアクセスは、メイン・メモリのみを対象としバッファメモリは関与しない。

3.1 マッピング方式

メイン・メモリ (MEM) からバッファメモリ (BM)

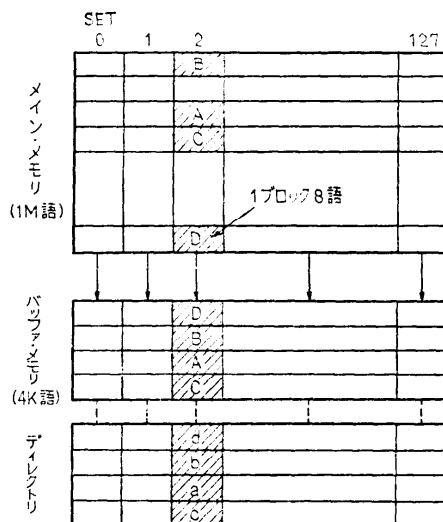


図-5 バッファメモリのマッピング方式

へのマッピング方法として、図-5 に示すようなブロックサイズ 8 語、セット数 128 (2k 語 BM の場合 64) の Set Associative 方式を採用した。この方式はマッピングの単位であるブロックが 8 語と小さいため、同一セット内でのマッピングという拘束条件があっても使用効率が良い。

図-5 でディレクトリは、BM の各ブロックが MEM の同一セット内のどのブロックを写しているかの対応表であり、同じ IC メモリで構成されている。

3.2 リプレースメント

MEM のあるブロックを BM 上に転送する場合、対応するセットの 4 ブロックのうち最も過去にアクセスされたブロックをリプレースして新しいブロックをロードする。このため各セットごとに 4 個のブロックの 4! 通りの順位状態を 5 ビット ($4! < 2^5$) の情報で表わし、アクセスのある度にこれを更新している。

3.3 ストアアクセスの処理

ストアアクセスに関しては、該当アドレスが BM 上であれば BM と MEM の両者にストアし、なければ MEM のみにストアする store through 方式をとっている。ストアアクセスは必ず MEM にアクセスすることになるので、CPU 内で最大 3 個までのストアアクセスをバッファリングできるようにしてスピードの低下を防いでいる。

また他の CPU やチャネル装置からの MEM へのストアにより BM と MEM の不一致が生じる問題については、MCU からそのアドレスをもらい、それが

BMにあれば該当ブロックの有効性ビットをオフにすることで解消している。

3.4 バッファメモリのアクセス方法

Set Associative方式はSector方式にくらべディレクトリの索引に時間がかかる。そこでFACOM 230-75では、主記憶アドレスからセット番号、ブロック内アドレスが直ちにわかるので、そのセットの4ブロックの対応するそれぞれ2語、計8語をBMに存在するか否かにかかわらずディレクトリの索引と同時に読み出し、そのあと索引結果によってBMに存在すれば対応する2語を選択する並列読み出し方法をとった。

この方法はアドレス対応表の索引結果によってバッファアドレスを生成し読み出し一般の方法にくらべ、大幅にアクセス時間を短縮できる。ちなみにCPUの基本マシンサイクル、BMのサイクルタイムはいずれも90nsであり、2マシンサイクル180nsの間にアドレス修飾などのアドレス計算、アドレスの転送、BMの読み出し、読み出したデータの演算回路や命令レジスタへの転送などが実行できる。

3.5 NFP

バッファメモリ方式では、BMの使用効率あるいはCPUのメモリアクセスのうちBMに存在しない確率NFP(Not Found Probability)が性能に大きな影響を及ぼす。

NFPはプログラムの性質によって決まるものであり、FACOM 230-75の場合、各種シミュレーションによりバッチプログラムで2~5%、オンラインプログラムで約10%のNFPを得ている⁴⁾。

4. 信頼性に対する配慮

特に大型システムでは、システムとしての信頼性に対する十分な配慮が必要である。FACOM 230-75では自動再構成機能によるフェイルソフトシステムの構成、検査機能の充実、誤り発生時の再試行と訂正、障害情報のログアウトなどハードウェアの諸機能と、これを有機的に結合した障害管理プログラムの開発により、高信頼性システムの実現を図っている³⁾⁵⁾。以下にメイン・メモリを中心とした信頼性向上のための諸機能を簡単にまとめておく。

i) 誤りの自動訂正：メイン・メモリの各語は誤り自動訂正コードで構成されているので、1ビットの誤りは自動的に訂正される。

ii) 障害の検出：上記コードにより2ビットの誤りは完全に検出される。このほか各種制御信号、アドレ

ス、データなどの伝送系やアドレスデコーダなど論理回路の誤り、コアメモリ駆動電流の異常、電源装置の異常などが検出される。

iii) 障害の記録：メモリで障害が検出されると、MAC内のエラーレジスタにその原因、アドレスおよび誤りの訂正を行なったかどうかの情報が記録される。エラーレジスタの内容はCPUの命令で読みとれるので、障害の解析、予防保守などに効果的である。

iv) 再試行：CPUやチャネル装置からのメモリアクセスで障害が検出されると、アクセスした装置に障害情報が報告される。この情報により再試行可能であれば、一定回数だけメモリアクセスの再試行を行なうので、間欠障害の多くが自動的に修復されアベイラビリティが向上する。

v) プログラムによる管理：上記各機能はハードウェア自身の機能であるが、さらにOSには障害管理プログラムが用意されている。たとえば処理プログラム域でのメモリ障害が検出されると、当該ジョブをアボートし、以後このメモリ域を後続ジョブに割付けない。このメモリ割付禁止は1k語を単位として行なわれ、さらにモジュール、メモリ装置の切り離しへ拡張される。切り離されたモジュールまたは装置はオフライン診断が可能であり、これは修理完了後、動作中のシステムへ組入れることができる。

5. むすび

以上FACOM 230-75システムにおけるメイン・メモリについて概要を述べた。フィールドにおけるこれまでの実績によれば、性能、機能あるいは信頼性の面で所期の目標を十分満足するものとなっているが、今後予想される一層の高速化、大容量化に対処すべく、アーキテクチャ、テクノロジー両面での努力を続けたいと考えている。

参考文献

- 1) FACOM 230-75 解説 富士通
- 2) C. J. Conti: Concepts for Buffer Storage, Computer Group News, pp. 9~13 (March, 1969)
- 3) 三輪他: FACOM 230-75 の方式, FUJITSU Vol. 25, No. 7 (1974)
- 4) 三輪他: FACOM 230-75 のバッファメモリ方式, 情報処理学会第15回大会講演論文集, 1974
- 5) 国沢他: FACOM 230-75 MONITOR VII の制御プログラム, FUJITSU Vol. 25, No. 7 (1974)

(昭和49年12月17日受付)