

**解説**

**DIPS-1 におけるメイン・メモリの構成\***

酒井 保良\*\*

**1. ま え が き**

DIPS-1 (Dendenkosha Information Processing System-1) は、昭和 43 年秋に方式検討を開始し、電電公社電気通信研究所を中心として、日本電気(株)、(株)日立製作所、富士通(株)の共同研究のもとで実用化したシステムである<sup>1)~4)</sup>。

試作 1 号機は、昭和 46 年 6 月に完成し、商用システムは、DEMOS-E\*\*\* (東京 昭和 48 年 12 月) を皮切りに DEMOS-E (大阪、福岡)、DRESS\*\*\*\*、バンキングシステムなどが実施または予定されている。

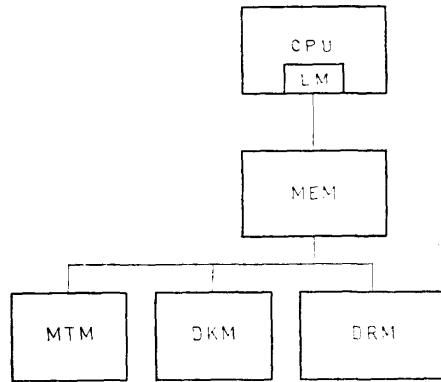
本稿では、DIPS-1 メイン・メモリの構成の概要を述べる。

**2. メモリ階層構成**

多数の利用者に能率よくサービスするには、主記憶装置の容量が大きくなければならない。一方、高速の論理装置に、その能力を発揮させるためには、高速の主記憶装置が必要となる。

これらを技術的、経済的に解決するため、DIPS-1 では、比較的小容量の高速記憶装置と大容量の中速記憶装置とを用いて、階層構成をとる方式を採用している。

すなわち、論理装置 (CPU) 内に、サイクルタイム 100 ns 程度の高速ローカルメモリ (LM: Local Memory, Buffer Memory) を設け、論理装置外に設けたサイクルタイム 2  $\mu$ s 程度の比較的低速の主記憶装置 (MEM) と組み合わせている。図-1 に DIPS-1 のメモリ階層構成の概要を示す。LM, MEM の主要諸元は、表-1 のとおりである。



CPU: 論理装置  
 LM: ローカルメモリ(高速バッファ記憶)  
 MEM: 主記憶装置  
 DRM: 磁気ドラム記憶装置  
 DKM: 磁気ディスク記憶装置  
 MTM: 磁気テープ記憶装置

図-1 DIPS-1 のメモリ階層構成

表-1 ローカルメモリ、主記憶装置の主要諸元<sup>5), 6)</sup>

メモリ種別	項目	機能・性能*
ローカルメモリ (LM)	記憶容量	8 又は 16 kB
	セクタ容量	512 B
	ブロック長	64 B
	サイクルタイム	80~100 ns
	メモリ素子	半導体 IC
主記憶装置 (MEM)	記憶容量	1 MB
	独立動作単位(バンク)	0.5 MB
	読書幅	32 B/バンク
	インタリーブ数	2
	部分書き込み	可 (1 B 単位)
	誤り訂正機能	有 (ハミングチェック)
	サイクルタイム	2 $\mu$ s
	アクセスタイム	1.8 $\mu$ s (ケーブル長 30 m)
	分割転送	4 分割転送 (8 B 単位)
	転送繰返し	100~200 ns
	メモリ素子	磁心
接続可能 CPU, CHC 数	1~8 (スター接続)	
システム当り容量	1~16 MB	
増設単位	1 MB	

\* B: バイト, kB: 2<sup>10</sup> バイト, MB: 2<sup>20</sup> バイト

\* The Configuration of Mein Memory for DIPS-1 by Yasuyoshi SAKAI (N. T. T. Yokosuka Electrical Cominication Laboratories)  
 \*\* 日本電信電話公社 横須賀電気通信研究所  
 \*\*\* DEMOS-E: 科学技術計算サービス (Dendenkosha Multi-Access Online System-Extended)  
 \*\*\*\* DRESS: 汎用事務計算サービス (Dendenkosha Real Time Sales Management System)

### 3. ローカルメモリ (LM: Local Memory)<sup>5)</sup>

ローカルメモリは、CPU で実行中のプログラムの部分を格納するためのバッファとして使用される。プログラムの実行は原則としてローカルメモリ上で行ない、必要な部分がローカルメモリ上にない場合には、その部分を含むプログラムの区画をローカルメモリ上の unnecessary 部分を消去したあとにロードする。

CPU からのアクセス要求の大部分はローカルメモリ上で処理されるので、平均的に高速のアクセスタイムが得られる。

以上のようなローカルメモリの制御はハードウェアにより行なうので、プログラムでは通常関与しない。

ローカルメモリの大きさは、8 kB (キロバイト=2<sup>10</sup> バイト) と 16 kB のものがある。

ローカルメモリと主記憶装置は 512 B (バイト) 境界で始まる 512 B の連続したセクタと呼ばれる領域に分割されており、セクタ単位に必要な情報がローカルメモリにあるかどうか管理される。しかし主記憶装置からローカルメモリへ実際の情報の転送は、セクタを 64 B で等分したブロックを単位として行なうため、セクターがローカルメモリ上に存在しても、その中に実際に必要な情報があるとは限らない。このような場合に、CPU は、そのブロックをローカルメモリにロードする必要がある。

なお、主記憶装置に情報を格納する際は、直接主記憶装置に格納し、その情報を含むブロックがすでにローカルメモリ上にもあれば、ローカルメモリにも格納する。

### 4. 主記憶装置 (MEM: Main Memory)<sup>6)</sup>

主記憶装置の主要諸元は、表-1のとおりである。

主記憶装置 (MEM) は、システムプログラム、利用者プログラムおよびデータを収容し、各プログラムの作業域を割り当てられる。また、ファイル記憶装置の間、あるいは通信制御装置とファイル記憶装置の間の転送情報のバッファ記憶としても用いられる。

本装置は、1台で 1 MB (=2<sup>20</sup> バイト) の容量を備え、システム当り最大 16 台 (16 MB) まで設けることができる。

1台の MEM は、2台の MEM-M から成る。MEM-M は、記憶容量 512 kB (=2<sup>19</sup> バイト)、読み書き幅 32 B の磁心記憶であり、2台の MEM-M は、それぞれ独立に動作し、装置内 2重インタリーブ方式

を採用している。

以下に、MEM の基本動作の概要を述べる。

#### 4.1 受付処理

MEM は、最大合計 8 台までの CPU、CHC (転送制御装置: Channel Control Unit) に接続される。各 CPU、CHC からのアクセス要求は、2 系統の MEM-M で独立に受付処理を行なう。

#### 4.2 書込動作

CPU、CHC から 8 B 単位で 4 分割転送されてきた 32 B の書込情報を受信し、8 B の書込情報に対して 8 ビットのハミングビットを付加し、合計 288 ビットが所定の番地に書込まれる。また、書込動作には部分書込みの機能があり、1 B を単位として磁心スタックの内容を書改めることができる。この場合、書込情報は、8 B の 1 回転送しかなされず、その内の指定されたバイト情報の書換えが行なわれる。

#### 4.3 読取動作

磁心スタックの指定番地から 32 B の情報を読取り、ハミングチェックを行ない、1 ビット誤りを検出した場合は不良ビットを修正した後、1 B に対して 1 ビットのパリティビットを付加して、CPU、CHC へ 8 B を単位として 4 分割転送する。

読取動作にも 1 回転送モードがあり、その場合、指定された 8 B のみ CPU、CHC へ転送される。

#### 4.4 正常性チェック

ハミングチェックの結果、1 ビットの誤りを検出して修正した場合および 2 ビット以上の誤りを検出して修正不能の場合、それぞれの結果を CPU、CHC へ報告する。

### 5. アドレッシング<sup>5)</sup>

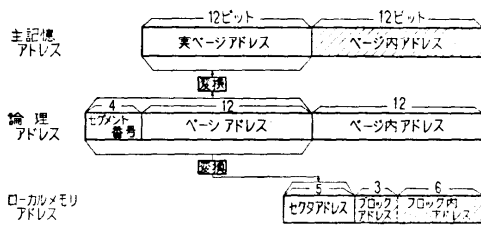
#### (1) 論理アドレス方式

DIPS-1 では、論理アドレス方式を採用し、プログラムアドレスと主記憶の実アドレスを分離し、セグメント方式およびページ方式を実現している。

セグメント方式の採用により、論理アドレスは、セグメント番号およびセグメント内アドレスの 2 段階構成をとっている。

DIPS-1 における各種アドレスの関係を、図-2(次頁参照)に示す。

論理アドレスは 28 ビットで、256 MB のアドレス空間を構成している。これは、16 個のセグメントに分割され、アドレス空間は、16 MB×16 の構成となる。使用者ごとに全アドレス空間が使用可能で、アド



(注) □ 論理アドレスとそのまま使用する部分

図-2 各種アドレスの関係

レス空間の切替えはセグメント表の切替えにより行なう。

ページ方式では、プログラムおよび主記憶をページ単位で機械的に分割するが、ページの大きさは、4 kB である。

### (2) 主記憶アドレッシング

論理アドレスから主記憶実アドレスへのアドレス変換は、相互の対応を規定する変換表を用いて行なう。変換表は、あらかじめプログラムにより作成する。この対応表は、2段階で構成し、それぞれ、セグメント表およびページ表と呼ぶ。セグメント表は、セグメントごとに論理アドレス空間と実アドレス空間との対応をページ表を経由して記述しており、具体的にはそのセグメントのページ表の実アドレスを指定する。

ページ表は、ページ単位に論理(ページ)アドレスと、実(ページ)アドレスの対応を記述しており、具体的には、そのページの始点実アドレスを指定する。セグメント表の始点(実アドレス)は、CPU内のセグメントベースレジスタ(SBR)で指定し、論理アドレス空間の切替えは、このSBRの内容を所望のセグメント表を指定するよう変更することにより実行する。

以上のアドレス変換は、ハードウェアで命令実行に伴い自動的に実行するが、これを高速化するために連想記憶を用いた専用のハードウェア(マッピングハードウェア)をCPU内に設けている。

### (3) ローカルメモリアドレッシング

ローカルメモリアドレッシングは、CPU内に設け

られた高速連想メモリ(マッピングハードウェア)による。

DIPS-1では、主記憶実アドレス、ローカルメモリアドレスへの変換用マッピングハードウェアを共用する構成をとっている。

### (4) メモリ保護

CPUのプログラムエラーやハードウェアエラー等から、主記憶装置上の情報を保護するために、リング保護とアクセス制限によるメモリ保護を行なう。

リング保護は、セグメント単位で行なわれ、アクセス制限は、ページ単位で行なわれる。これらの保護は、CPUが論理アドレスを実アドレスに変換するアドレス変換の過程で行なわれる。

## 6. むすび

以上、DIPS-1のメモリ階層構成ならびにそのアドレッシング方法について概説した。

DIPS-1の主記憶装置(MEM)は、小形(2.5 m<sup>3</sup>/メガバイト)、軽量(1トン/メガバイト)、低電力(7 kVA/メガバイト)などの特徴を持つ磁心記憶装置であり、MTBF約2,000時間(0.05 フィット/ビット)の高信頼度で稼動している。

## 参考文献

- 1) 関口良雅: 大型電子計算機 DIPS について, 情報処理 Vol. 13, No. 3, pp. 136~144 (1972. 3).
- 2) K. Takashima, et al.: A Large-Scale Data Processing System DIPS-1, Proc. 1972 U. J. C. C., pp. 193~202.
- 3) 高島堅助ほか: DIPS-1 ハードウェアシステムの概要 通研実報 Vol. 21, No. 10, (1972. 10) pp. 1797~1816.
- 4) 浅原元次郎ほか: DIPS-1 システムの運用経過 ibid. pp. 1823~1835
- 5) 山田正計ほか: DIPS-1 論理装置 ibid. pp. 1837~1877.
- 6) 別所照彦ほか: DIPS-1 大容量記憶装置 ibid. pp. 1893~1903
- 7) 別所照彦ほか: DIPS-1 改良形主記憶装置 通研実報 Vol. 23, No. 12, (1974. 12).

(昭和50年2月6日受付)