

IP コアの多重接続許容下において 通信仕様を満たす通信機構合成手法

久保田 洋進^{†1} 杉原 真^{†2}

本研究では IP コアが 2 つ以上のバスと接続することを許容した条件下で、求められる通信仕様を満たすバス・アーキテクチャ合成手法を提案する。確率に基づく通信を定義し、バス混雑状況における通信レイテンシを定式化する。定式化したレイテンシモデルに基づいて、通信仕様を満たすアーキテクチャを合成する。計算機実験を行った結果、合成したアーキテクチャ全てにおいて仕様を満たしていることを確認した。2 ポート接続可能な IP コア数を増加させることで多少の面積コスト増加と引き換えに実行サイクル数が減少していることを確認した。

A Bus Architecture Synthesis Method Satisfying Communication Specifications under Allowance of Multiple Connections of IP Cores

HIROYUKI KUBOTA^{†1} and MAKOTO SUGIHARA^{†2}

In this paper, we propose a bus architecture synthesis method that satisfies communication specifications such as latency of each communication under constraint of multiple connections of IP cores. First, we define communication based on probability as a Communication-Task-Graph(CTG). Next, we formulate a communication latency changed by a bus condition. Based on the latency model, we synthesize bus architecture that satisfied given communication specifications. As a result of experiment, we confirmed that the given specifications were satisfied in all architectures applied a proposal technique. Moreover, we confirmed that the number of execution cycles was reduced in exchange for the some increase of the architecture area.

^{†1} 豊橋技術科学大学大学院 工学研究科 情報工学専攻

Department of Information and Computer Sciences, Toyohashi University of Technology

^{†2} 豊橋技術科学大学大学院 工学研究科 情報・知能工学系

1. はじめに

近年、携帯電話やデジタル家電など組み込みシステムに対する、多機能化といった性能要求は増加の一途をたどっている。これに対応するため、1 チップ上に複数の CPU を搭載し、処理を分散させたり並行処理させることで性能の向上を図る Multi-Processor-System-on-a-Chip (MPSoC) の開発が行われている。MPSoC 上ではコア数の増加に伴い IP コア (Intellectual Property Core) 間の通信トラフィックが増加するため、バス競合に起因する通信遅延が問題となってくる。IP コアが接続され、その間でデータを伝送するバス・アーキテクチャは通信時間に多大な影響を与える。実装面積を抑え、かつ求められる通信仕様を満たしたバス・アーキテクチャを構成するための最適化は重要な設計工程となる。

バス・アーキテクチャの最適化に関する研究は数多く行われている。バスマトリクス、クロスバと呼ばれるアーキテクチャを対象とし、アーキテクチャ面積最小化を目的とした最適化手法¹⁾²⁾ や、ブリッジ型を対象とした最適化手法³⁾⁴⁾⁵⁾、その他マルチレイヤ型を対象とした最適化手法⁶⁾ に関する研究などが報告されている。

上記のようにバス・アーキテクチャの最適化研究は数多く行われているが、その全てにおいて IP コアは任意かつ唯一のバスへ接続されるものと仮定されている。ここで複数の IP コアとの通信を行うコアが存在する場合、1 つのバスではなく 2 つ以上のバスと接続し経路を選択的にすることで通信経路の短縮が可能となり、結果として通信時間の削減が行えると考えられる。但し、接続数を増加させることは実装する際の面積コスト増加に繋がるため、設計目的に応じた数とする必要がある。

本研究では、任意の IP コアが 2 つ以上のバスと接続すること (以下、多重接続 / N ポート接続と呼称) を許容した上で通信仕様を満たし、面積を抑えたバス・アーキテクチャ合成手法を提案する。本研究において通信は送信元 IP コア、送信先 IP コア、および単位サイクル当たりのデータ送出率の組で表される。まず確率に基づく通信を定義し、バス混雑状況に対するレイテンシの定式化を行う。定式化したレイテンシと仮定したバス面積に基づいて通信仕様を満たすバス・アーキテクチャ合成手法を提案する。計算機実験では定式化したレイテンシの妥当性検証を行い、その後シミュレーションによって多重接続可能な IP コア数の増加が通信サイクル数の減少に繋がることを確認する。

Department of Computer Science and Engineering, Toyohashi University of Technology

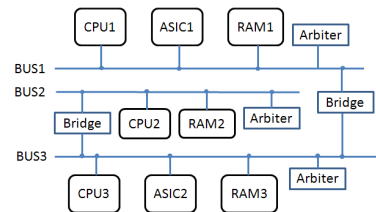


図 1 ブリッジ型の構造例
Fig. 1 Example of bridge architecture

2. ブリッジ型バス・アーキテクチャ

本節では、ブリッジ型バス・アーキテクチャの概要について述べる。バスとはシステムを構成する CPU などの機能ブロック (IP コア) 群が接続され、互いにデータを伝送するために用いられる通信路である。

本研究ではブリッジ型バス・アーキテクチャを合成の対象としている。ブリッジ型は図 1 に示すように任意の異なるバスをブリッジと呼ばれる中継機器を用いて相互接続した構造をとる。特徴としてブリッジによって各々のバスが分断されているため、各々のバスは独立に通信することができ、通信の並行性が向上することが挙げられる。また各々のバスは独立であることから、互いに異なる周波数やバンド幅で構成することも可能である。しかし異なるバスに接続された IP コア間の通信には必ずブリッジを介する必要がある為、追加レイテンシが発生し、通信に必要なサイクル数が増加する。実行サイクルの観点から見ると通信の並行性による利得を得られるが、ブリッジを介した通信においては追加レイテンシによるペナルティが発生するため、IP コアとバス、及びバス同士の接続関係を考慮した構造をとる必要がある。

ブリッジ型の他にも様々なアーキテクチャがある。共有バス型は面積こそ最小となるが、1つのバスに全ての IP コアが接続されるため発生する通信の競合数が最も多い。メッシュ型は競合こそ発生しないが、任意の IP 間に直接バスを用意するため面積コストが大きくなる。これに対してブリッジ型は先にも述べたように多少の面積コスト増と競合の発生を許容する。面積コストの増加を許容して複数のバスを用意することで通信の並行性を向上させつつ競合の発生数を抑える、いわば双方の中間的な構造と言える。

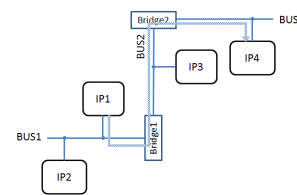


図 2 各 IP コアが 1 つのバスと接続する従来の構造
Fig. 2 Conventional architecture
that each IP core connect to an only bus

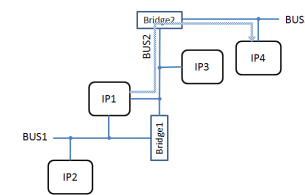


図 3 IP コア 1 が 2 ポート接続した時の構造
Fig. 3 Architecture
that IP core 1 connects to two buses

3. 提案するバス・アーキテクチャ合成手法

本節ではまず提案構造である IP コアの多重接続を実施するメリット/デメリットに関して述べる。続いてバスの通信モデルおよび通信タスクグラフについて示し、定義した通信モデルに基づくバス・アーキテクチャ合成手法について述べる。

3.1 IP コアの多重接続

従来の合成手法^{1)~6)}において IP コアとバス間の接続ポート数は 1 つであり、その IP コアに係る全ての通信は同一のバスを出発/終着点としている。ここで多数の通信を行う IP コアが存在する場合を考える。この時 2 つ以上のバスと接続する IP コアを許容した構造は通信毎に経路が最短距離となるよう出発/終着するバスを選択でき、通信時間に利点が生じる。図 2, 3 に IP コア 1 と IP コア 4 が通信を行う場面を考えた際の 2 ポート接続による通信経路の短縮例を示す。図 2 と比較し、図 3 では IP コア 1 とバス 2 を接続するリンクを追加することで経由するバスを 1 つ削減でき、経路短縮を可能としている。

上記を踏まえると IP コアに 2 ポート接続を許容した場合のメリット/デメリットは以下が挙げられる。メリットとしては、図 3 に示したように通信の出入口 (ポート) を複数持つため、複数の IP コアと通信を行う場合により近いポートを使用することで経路を短縮できることである。同時に経路として使用しなくなったバスにおいては通信の競合数が減り、他の通信のレイテンシ削減にも繋がる。デメリットとしては実装する際の面積コストの増加が挙げられる。これには接続ポート数が増えることによるバスとのリンク、並びに 2 ポート接続された IP コアが通信を行う際にどちらのポートを利用するのかを選択する機能追加に起因するものである。

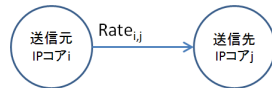


図 4 単一の通信 $com(i, j)$ を表す通信タスクグラフ

Fig. 4 Communication-Task-Graph(CTG) of single communication

3.2 バスの通信モデル

本稿において、通信とは任意の IP コア間における固定長データのやりとりを指し、送信元 IP コア i と送信先 IP コア j 、及び送信割合 $Rate_{i,j}$ から構成される $com(i, j)$ として式 (1) のように表される。ここで i, j は IP コアの識別子であり正の整数を、 $Rate_{i,j}$ は単位サイクルあたりに送出するデータ数を表し正の実数をとる。この通信はノードで IP コアを、エッジで通信を行う IP コアの組み合わせを、エッジ重みで送信割合を表現する重みつき有向グラフを通信タスクグラフ (CTG) として定義し、図 4 のように表す。

$$com(i, j) = (i, j, Rate_{i,j}) \quad (1)$$

$$i, j \in \mathbf{N}, \quad Rate_{i,j} \in \mathbf{R}$$

送信元 IP コア i と送信先 IP コア j が通信を行うとき、その間にはバスを介した通信経路が存在しなければならない。これは送信元 IP コア i 及び送信先 IP コア j がそれぞれ任意のバスに接続されたとき、その間に最短距離となる経路が一意に定まることを示す。送信元 IP コア i 及び送信先 IP コア j における通信経路 $route(i, j)$ は、 $b_{1,i,j}$ から $b_{N_{i,j}}$ まで $N_{i,j}$ 個のバスを経由する順序関係のある集合として、式 (2) で表される。ここで $b_{k,i,j}$ は、 $com(i, j)$ において k 番目に経由するバスのインデックスを示す。

$$route(i, j) = b_{1,i,j} | b_{2,i,j} | \dots | b_{(N-1),i,j} | b_{N,i,j} \quad (2)$$

3.3 通信レイテンシの定量的分析

通信仕様を満たす構造を得るために、各通信のレイテンシを設計段階で正確に見積もる必要がある。本節ではバスの混雑状況に応じて変化する通信レイテンシについて定量的分析を行う。

通信レイテンシは競合する可能性のある通信数とその頻度によって変化する。本稿における通信は 3.2 節で述べたように確率に基づいて行われる。これより競合する通信数はそのバスを利用する通信を行う IP コア数であり、競合の発生頻度はそのバスを利用する通信の送信割合総和であると考えることが出来る。次の 2 種類のアーキテクチャを対象に発生させる通信数とその送信割合を変化させてレイテンシの観測実験を行う。

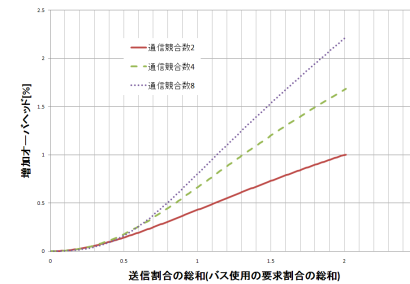


図 5 バスの要求割合と通信オーバーヘッドの関係 (通信競合数:2,4 および 8)
Fig. 5 Relation between requested rate and the overhead on a bus
(the number of communication collisions : 2, 4 and 8)

(1) フルメッシュ型

通信を行う任意の IP コア間に専用の通信路を用意する構造である。競合の発生しない理想的なアーキテクチャとして設定する。

(2) 共有バス型

全ての IP コアが同一のバスに接続され、故に全ての通信が同じバスを利用する構造である。競合が発生する場合のレイテンシを見積もるために設定する。

フルメッシュ型と比較した共有バス型の実行サイクル数の増加率を図 5 に示す。縦軸はフルメッシュ型に対して共有バス型で増加したサイクル数の割合を、横軸はバスを経由する通信の送信割合総和を示す。実験はバスを使用する IP コア数を 2, 4, 8 と変化させて行った。

図 5 から全ての通信競合数に対して送信割合総和が 0.7 近辺までは非線形増加の傾向、その後は線形増加している傾向が見られる。送信割合総和が 0.7 未満である時は 1 つ 1 つの通信割合が平均して低いため通信の発生タイミングの重なり、即ち競合の発生数が少ないために非線形増加をしていると考えられる。そして 0.7 を超えると各通信の送信割合が高くなり 1 つ 1 つの通信において互いに競合する可能性が大きくなると共に、送信頻度も高くなることから競合する通信数も多くなり通信オーバーヘッドが線形増加していると考えられる。

次に図 5 に示される各系列を数式で表すことを考える。近似手法として最小二乗法を使用し、送信割合が 0.0 から 0.7 の間は 3 次多項式近似を、0.7 以降は 1 次多項式近似とし、各々の近似係数を導出する。バス k を通信の経路として利用する IP コア数を ip_k 、バス k を通信の経路として使用する通信の送信割合総和を p_k とすると、バス k における通信オーバーヘッド $OH(ip_k, p_k)$ は式 (3) で表される。

表 1 通信オーバーヘッド近似式 (3) の係数
Table 1 Approximation coefficient of the expression (3)

送信割合総和	係数	$ip_k = 2$	$2 < ip_k$
$p_k < 0.7$	A	-0.2939	0.1575
	B	0.7067	0.1536
	C	0.005856	-0.007848
$0.7 \leq p_k$	D	0.5839	0.4687
	E	0.0764	0.3369
	F	-0.07640	0.3853

$$OH(ip_k, p_k) = \begin{cases} 0, & ip_k \leq 1 \\ \log_2(ip_k) \times (A \times p_k^3 + B \times p_k^2 + C \times p_k), & p_k < 0.7 \\ \log_2(ip_k) \times (D \times p_k + E) + F, & 0.7 \leq p_k \end{cases} \quad (3)$$

ここで A から F は定数であり、その値を表 1 に示す。式 (3) に示したように $p_k = 0.7$ を境に適用式を切り替える。しかし急な切り替えによる影響を抑えるために、0.7 の前後 0.1 の範囲においては双方の式を適用しその平均をとることとする。

3.4 通信レイテンシの定式化

バス・アーキテクチャを合成する際、満たすべき通信仕様としてレイテンシ制約がある。そこで本節では各通信が送信元から送信先へ到達するまでに必要とするレイテンシについて定式化を行う。

まず、通信経路となる各バスでどの程度オーバーヘッドが生じるのかについて定式化を行う。3.3 節で、任意のバス k の通信オーバーヘッドを概算するためには、バス k を通信の経路として利用する IP コア数とバス k を通信経路として利用する通信割合総和が既知であればよいことを示した。バス k を通信経路として利用する通信を行う IP コアの集合を $\mathbf{bus_ip}_k$ 、バス k を通信経路として利用する通信割合総和を bus_rate_k とするとそれぞれ式 (4), (5) として表される。ここで \mathbf{BUS} は合成されたアーキテクチャで使用されるバスのインデックス集合を、 \mathbf{IP} はチップに搭載され本研究において配置を考える IP コアの集合を表す。

$$\mathbf{bus_ip}_k = \{IP_i \mid IP_i \text{ はバス } k \text{ を通信経路として利用する通信を行う}, IP_i \in \mathbf{IP}\}, \quad \forall k \in \mathbf{BUS} \quad (4)$$

$$bus_rate_k = \sum_{k \in route(i,j)} Rate_{i,j}, \quad \forall k \in \mathbf{BUS} \quad (5)$$

各通信のレイテンシは通信経路上の各バスを経由する際に要したサイクル数の総和で与

えられる。よって競合が発生しない場合、1 つのバス通信に要するサイクル数を N_{NC} とした時、通信 $com(i, j)$ のレイテンシ $Latency_{i,j}$ は式 (6) で表される。

$$Latency_{i,j} = \sum_{k \in route(i,j)} (1 + OH(|\mathbf{bus_ip}_k|, bus_rate_k)) \times N_{NC}, \quad \forall com(i, j) \quad (6)$$

3.5 通信仕様を満たすバス・アーキテクチャ合成手法

本節では通信仕様を満たすバス・アーキテクチャの合成手法について述べる。本稿で対象としている組込みシステムでは実装面積はより小さいことが望まれる。従って、本研究における目的関数は面積コストの最小化とする。バス i の面積を Bus_Area_i 、ブリッジ j の面積を $Bridge_Area_j$ とすると、アーキテクチャ面積は 2 値変数 x_i および y_j を用いて式 (7) で表される。ここで N_{BUS}, N_{BRIDGE} はそれぞれバスとブリッジの最大数を表す。

$$ARCH_AREA = \sum_{i=1}^{N_{BUS}} (x_i \times Bus_Area_i) + \sum_{j=1}^{N_{BRIDGE}} (y_j \times Bridge_Area_j) \quad (7)$$

$$\text{Minimize } ARCH_AREA \quad (8)$$

ここでアーキテクチャにバス i が組み込まれる条件は、IP コアが 1 つ以上接続されることである。これより 2 値変数 x_i はバス i に 1 つでも IP コアが接続されている場合に 1 となる。同様にブリッジ j が組み込まれる条件は、アーキテクチャに組み込まれているバスが 2 つ以上接続されることである。これより 2 値変数 y_j はブリッジ j に 2 つ以上のバス (但し $x_i = 1$) が接続されている場合に 1 となる。

設定した制約条件は以下のとおりである。アーキテクチャに搭載される IP コアはいずれかのバスに必ず接続され、その数は設計時に与える接続ポート数 N_{PORT} 以下でなければならない。これは IP_i がバス j と接続している場合に 1 となる 2 値変数 $IP_connect_{i,j}$ を用いて式 (9) として表される。

$$1 \leq \sum_{j=1}^{N_{BUS}} IP_connect_{i,j} \leq N_{PORT}, \quad 1 \leq \forall i \leq N_{IP} \quad (9)$$

多重接続可能な IP コア数は設計時に与えられる数 N_{MULTI} 以下である必要がある。これは IP_i が 2 つ以上のバスと接続している場合に 1 となる 2 値変数 z_i を用いて式 (10) で表される。

$$\sum_{i=1}^{N_{IP}} z_i \leq N_{MULTI} \quad (10)$$

表 2 通信タスクグラフの生成条件
Table 2 Generation condition of CTGs

IP コア数	16
通信の組み合わせ数	30
送信割合	$0.01 \leq Rate_{i,j} \leq 0.1$ (0.001 刻みの 90 パターンの内, ランダムに決定)
通信タスクグラフ数	50[個]

合成されるアーキテクチャは 2 つ以上に分断されることなく全体として 1 つである必要がある。これは任意の IP コアを 2 つ選択した時のルーティング制約として式 (11) で表される。

$$route(i, j) \neq \Phi, \forall(i, j), i \neq j \quad (11)$$

仕様として与えられる通信仕様は満たされる必要がある。3.4 節で定式化した各通信のレイテンシ $Latency_{i,j}$ と仕様として与えられるレイテンシ $Spec-Latency_{i,j}$ を用いて式 (12) で表される。

$$Latency_{i,j} \leq Spec-Latency_{i,j}, \forall com(i, j) \quad (12)$$

4. 計算機実験

本節では 3 節にて定式化したレイテンシの妥当性検証を行い、計算モデルにおけるレイテンシと、シミュレーション環境におけるレイテンシはほぼ同じ値であり、互いに相関があることを確認する。その後、提案手法を適用することで得たアーキテクチャに対してシミュレーションを行い、多重接続可能な IP コア数増加に伴って実行サイクル数が削減されていることを確認する。

4.1 レイテンシの妥当性検証

3.2 に従う通信タスクグラフを複数生成し、その各々について構成を求め、レイテンシの妥当性検証を行った。入力として与える通信タスクグラフの生成条件を表 2 に示す。

計算モデルにおけるレイテンシ $Latency_{i,j}$ とシミュレーションにより得た平均レイテンシ $Sim-Latency_{i,j}$ の相関関係を図 6 に、差の分布を図 7 を示す。

図 6 より、計算モデルによる予測値とシミュレーションによる実測値との間には正の相関がある事が推察でき、その相関係数は 0.950 であった。図 7 より、予測値と実測値の間にはどの程度の差があるのかを読み取ることができ、差が 0.1 未満に全体の 22%、0.2 未満に 49%、0.3 未満に 65%、0.4 未満に 80%、0.5 未満に 90%の分布の分布があることが分かつ

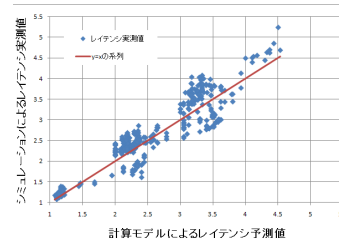


図 6 計算モデルとシミュレーションによるレイテンシの関係図
Fig. 6 Correlation of latency in model and simulation

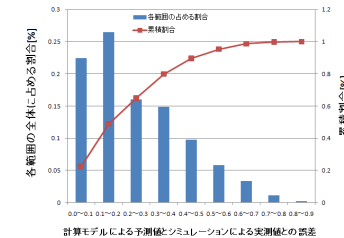


図 7 計算モデルによるレイテンシとシミュレーションによるレイテンシの差
Fig. 7 Difference of the latency in model and simulation

表 3 シミュレータの仕様
Table 3 Specifications of simulator

入力	通信タスクグラフ 各通信のルーティング情報 アーキテクチャ (IP-バス, バス-ブリッジの接続関係)
出力	実行サイクル 各通信のレイテンシ アーキテクチャ全体のスループット
通信の発生条件 バス調停方式	通信タスクグラフ記載の送信割合に従う ラウンドロビン

た。この誤差は計算モデルにおける近似式 (3) や調停によるものと考えられる。予測値と実測値の差が小さく、かつ強い正の相関があることからモデルは妥当であると判断できる。

4.2 実験準備

本稿では 1 つの IP コアがバスと接続可能な最大数を 2 として実験を行う。実験は多重接続可能な IP 数を 0 から 4 へ変化させて行う。与えられた通信タスクグラフに従って IP コア間で通信を行うシミュレータを 7) で提示されたシミュレーションモデルを参考に C 言語にて実装した。このシミュレータの仕様を表 3 に示す。

3.5 節で述べた面積コストに関して実験上の仮定として次のように設定する。バス面積は使用される場合、基本値を 1.0 とし、IP コアが 1 つ接続されるごとに 0.1 を加算するものとする。ブリッジ面積は同様に基本値を 1.0 とし、バスが 1 つ接続されるごとに 0.2 を加算するものとする。

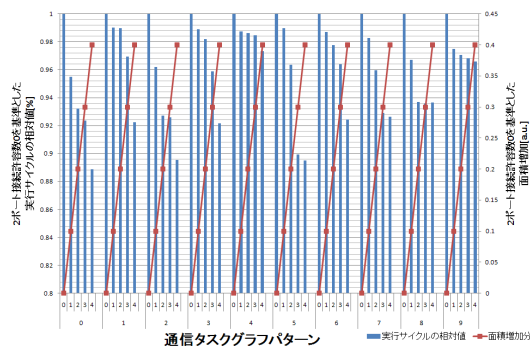


図8 各通信タスクグラフについて2ポート接続許容数を変化させた際の実行サイクルと面積コストの関係
Fig.8 Relation between execution cycle and area cost changed by the number of multiple connection of IP core about each CTG

4.3 シミュレーション実験

作成した通信タスクグラフを用いて提案手法を適用し、導かれた構造に対してシミュレーション実験を行った。その結果、生成された通信タスクグラフ全てにおいて要求される通信仕様が満たされていることを確認した。各通信タスクグラフに対して2ポート接続許容数を0から4へ変化させた際のアーキテクチャ面積と実行サイクル数をグラフ化したものを図8に示す。

実験結果から2ポート接続許容数を増加させると削減率に差はあるが、共通して実行サイクル数が減少する結果になった。面積コストの増加傾向をみてみると、合成された全アーキテクチャにおいてバスやブリッジの数はそのままに、IPコアとバス間のリンクのみ増加していることが分かる。多重接続可能なIPコア数の増加に伴う面積コスト増加と引き換えに実行サイクル削減が得られていることから、実行サイクル数と面積コストの間にはトレードオフの関係があることが分かる。従ってレイテンシ制約を満たす構造の中で、適切な点を見極める必要があると考えられる。

5. おわりに

本稿では、IPコアが複数のバスと接続することを許容した条件下で与えられる通信仕様を満たすバス・アーキテクチャの合成手法を提案した。本研究において通信は確率に基づい

て発生するものとして定義し、バスの混雑状況による通信レイテンシの定量的分析、モデル化および定式化を行った。

計算モデルによるレイテンシ定式化の妥当性検証を行い、計算モデルによる予測値とシミュレーションによる実測値はほぼ同じであり、互いに相関があることを確認した。合成した構造は要求される通信仕様を満たし、かつ多重接続可能なIPコア数の増加に伴う面積コスト増加と引き換えに実行サイクル数が削減されていることを確認した。

今後の課題としては、本稿では全ての通信で優先度は等しいものとしてモデル化を行ったが、優先度付きの通信やバースト転送を扱う計算モデルの開発が挙げられる。

謝辞 本研究の一部は、科学技術振興機構（JST）の戦略的創造研究推進事業（CREST）の研究領域「ディペンダブルVLSIシステムの基盤技術」、及び科学研究費補助金（課題番号：22700051）の支援によるものである。

参考文献

- 1) Jun, M., Yoo, S. and Chung, E.-Y.: Mixed integer linear programming-based optimal topology synthesis of cascaded crossbar switches, *Proceedings of the 2008 Asia and South Pacific Design Automation Conference*, Los Alamitos, CA, USA, IEEE Computer Society Press, pp.583-588 (2008).
- 2) Pasricha, S., Dutt, N. and Ben-romdhane, M.: Constraint-Driven Bus Matrix Synthesis for MPSoC, *Proc. ASPDAC*, pp.30-35 (2006).
- 3) Drinic, M., Kirovski, D., Meguerdichian, S. and Potkonjak, M.: Latency-guided on-chip bus network design, *Proceedings of the 2000 IEEE/ACM international conference on Computer-aided design*, Piscataway, NJ, USA, IEEE Press, pp.420-423 (2000).
- 4) Lahiri, K., Raghunathan, A. and Dey, S.: Efficient Exploration of the SoC Communication Architecture Design Space, *In Proc. Intl. Conf. on Computer-Aided Design*, pp.424-430 (2000).
- 5) Pasricha, S., Dutt, N., Bozorgzadeh, E. and Ben-romdhane, M.: Floorplan-aware automated synthesis of bus-based communication architectures, *In Proc. of DAC 2005*, pp.565-570 (2005).
- 6) 吉田陽信, 戸川望, 柳澤政生, 大附辰夫, 橘昌良: 組み込みシステム向けMPSoCのためのマルチレイヤ構造をとるバスアーキテクチャ最適化手法, 電子情報通信学会技術研究報告, Vol.108, No.413, pp.141-146 (2009年1月).
- 7) 高橋美和夏, 宮嶋浩志, 福井正博: 大規模SoCバス・アーキテクチャ性能評価手法, 情報処理学会論文誌, Vol.44, No.5, pp.1225-1231 (2003-05-15).