

## FPGAによる省電力計算機の開発評価環境の試作

高橋 昭宏<sup>†1</sup> 小林 弘明<sup>†1</sup> 坂本 龍一<sup>†1</sup>  
 並木 美太郎<sup>†1</sup> 佐藤 未来子<sup>†1</sup> 中村 宏<sup>†2</sup>  
 天野 英晴<sup>†3</sup> 宇佐美 公良<sup>†4</sup>  
 近藤 正章<sup>†5</sup> 佐々木 広<sup>†2</sup>

### 1. はじめに

プロセッサも同時に並行して研究開発している様なシステムソフトウェアの研究において、信頼性の高い実機検証の環境を短期間で構築することは難しい。実際にはシミュレーションを用いてプロセッサとシステムソフトウェアを検証する機会が多く、簡易的なOSあるいはOSを搭載せずにベンチマークプログラムを実行して評価するに留まっていることが多い。しかし、実環境に近いLinux等の規模の大きな汎用OSを用いた評価などは、割り込み処理や入出力装置の実装、シミュレーション時間などが問題となり難しい。

本研究では、システムソフトウェアの方式評価環境として、FPGAを備える評価ボード上に細粒度パワーゲーティング機能(以下PG)を備えたプロセッサコアを含む計算機環境を実現し、プロセッサとOSとが連携する省電力向けシステムソフトウェアの評価を行っている。本稿では、FPGA評価ボード上に構築した省電力計算機環境の仕様と実現方法を示し、その計算機環境上で構築したシステムソフトウェアを紹介する。

### 2. システム構成とFPGA開発環境

#### 2.1 システム概要

図1に、本研究で試作したシステム構成を示す。省電力プロセッサとして、MIPS R3000の演算ユニットに細粒度PG機構を有するGeyslerアーキテクチャ<sup>1)</sup>をFPGAで実現している。Geyslerコアには、TLB、キャッシュメモリ、MMU、3章に示す省電力機構を実装している。その他、表1に示す主記憶、SRAM、Flash Memoryなどのメモリ資源、タイマ、UART、Compact Flash (CF)などを備えている。また、PGによる電力削減効果を推算するためのスリープ頻度の計測用カウンタ、キャッシュミス計測のためのカ

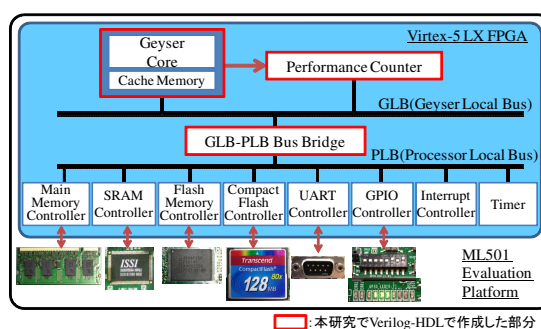


図1 FPGA開発環境のシステム構成

表1 Geysler on FPGA仕様

FPGA ボード	Xilinx ML501 (VIRTEX5)
Geysler コア周波数	40MHz
キャッシュメモリ	命令 8KB, データ 8KB
主記憶	DDR 256MB
SRAM	1MB
FlashROM	32MB

ウンタなどを実装している。

#### 2.2 FPGA開発環境とプログラム開発

Geysler コアとパフォーマンスカウンタをVerilog-HDLを用いて記述している。なお、主記憶、I/O等の実装にはXilinx社製のEmbedded Development Kit(EDK)<sup>2)</sup>のIPコアを用いている。既存のIPコアを用いることで、ハードウェアの開発効率を向上できる。さらには、OSのデバイスドライバも流用できる利点がある。筆者らの設計したGLB(Geysler Local Bus)とXilinx社の開発環境が用意しているPLB(Processor Local Bus)とを作成したバスブリッジを介して接続した。以上のモジュールをXilinx社のIntegrated Software Environment(ISE)を用いて論理合成し、Xilinxの評価ボードML501<sup>3)</sup>上に実装した。

本FPGAの開発環境で実行するシステムソフトウェアおよびプログラムは、ホスト計算機でMIPS用GCCクロスコンパイラでコンパイルし、バイナリをコンソールから本評価ボードへ転送して実行する。また、本評価ボード用のCFドライバを作成して開発効率を向上

<sup>†1</sup> 東京農工大学

<sup>†2</sup> 東京大学

<sup>†3</sup> 慶應義塾大学

<sup>†4</sup> 芝浦工業大学

<sup>†5</sup> 電気通信大学

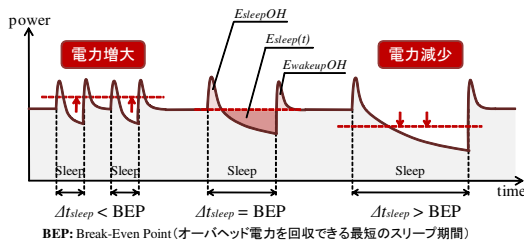


図 2 パワーゲーティングを行ったときの電力推移

させると共に OS のブートロードを可能とした。

### 3. Geysler の省電力機構

本環境の Geysler プロセッサは本来は実チップにより実現される。FPGA での実装では、PG による電源遮断は実際に行わないが、PG 機構は実装しており、テストと評価に利用できる。

図 2 に細粒度 PG を行ったときの電力推移を示す。図 2 左部のように、短期間で演算ユニットのオン・オフが繰り返された場合は、オーバーヘッド電力 ( $E_{sleepOH} + E_{wakeupOH}$ ) が、削減したリーク電力 ( $E_{sleep}(t)$ ) より大きくなってしまふ。そのような場合は、PG を適用せずにオーバーヘッド電力の発生を抑制する工夫が有効となる。Geysler では、(1) コアが使用しない演算ユニットへの電力供給を自律的に遮断する PG モード、(2) キャッシュミス時にのみ演算ユニットへの電力供給を遮断する PG モード、(3) PG を行わないモード、のいずれかをソフトウェアから設定可能である。また、命令のオペコードにも PG 制御情報を付加して上記モードを制御する機能も備えている。

### 4. OS による省電力制御方式の評価環境

本研究では 3 章の省電力機構を用いて、システムソフトウェアにおけるプログラムの静的解析・動的解析により PG を制御する各種方式を提案している<sup>4)~6)</sup>。本章では、Linux および組込み向け GeyslerOS における制御方式を紹介する。

#### (1) Linux における PG 制御方式<sup>6)</sup>

本開発評価環境では、I/O や割り込み機構を実現することで Linux カーネルにおける評価環境を実現した。Linux での省電力制御では、Linux プロセススケジューラにおいて、電力的に不利になる PG がどの程度あるかをプロセス切替え時に動的に算出し、最適な省電力モードをプロセスごとに設定している。本開発評価環境において、PG を制御しない場合に比べてスリープ時平均リーク電力およびエネルギー遅延積の削減効果を確認した。

#### (2) GeyslerOS における温度情報の適用制御方式<sup>5)</sup>

コア温度により BEP 値が変わることを考慮し、電力オーバーヘッドを減少させるようスリープ時間粒度に

応じた閾値温度を設定し、これを基に OS が省電力モードを設定する方式である。本開発評価環境上にコア温度エミュレーションをソフトウェアで実装し、閾値温度を決める二つの手法を OS へ実装して平均リーク電力の削減効果を示した。

#### (3) コンパイラと OS との協調制御方式<sup>4)</sup>

Geysler 向けコンパイラ<sup>7)</sup>により PG 制御情報を含むオブジェクトコードを温度ごとに生成しておき、OS が実行時のコア温度の変化に基づいて動的にこれらを切り替えて実行する方式である。本開発評価環境上でベンチマークプログラムを用いた提案機構の評価実験を行い、提案手法の有効性を示している。

本開発評価環境により (1)~(3) を実装、評価し、OS の方式検討の段階でマルチタスク制御、省電力モード制御を例外・割込みを契機として行えた。OS の処理オーバーヘッドを含めてベンチマークプログラムを用いた方式比較評価を実機上で、より正確に短期間に行い方式提案ができることは大変有効である。

### 5. おわりに

本稿では、FPGA 評価ボード上に実現した省電力計算機の開発評価環境および OS の研究成果を示した。本ポスターでは FPGA の評価ボードを展示する。

**謝辞** 本研究は、科学技術振興機構「JST」の戦略的創造研究推進事業「CREST」における研究領域「革新的電源制御による次世代超低消費電力高性能システム LSI の研究」によるものである。

### 参考文献

- 1) N. Seki et al, "A Fine-grain Dynamic Sleep Control Scheme in MIPS R3000", Proc. of the 26th IEEE ICCD-2008, pp. 612-617(2008).
- 2) Xilinx, "Embedded Development Kit (EDK)", Available via WWW: <http://japan.xilinx.com/support/documentation/dt.edk.htm>
- 3) Xilinx, "ML501 Reference Design", UG227, vol. 1.0(2007).
- 4) 小林 弘明他, "OS における細粒度パワーゲーティング向けオブジェクトコードの実行時管理機構の研究", IPSJ 2011-OS-117, No. 1, pp. 1-8(2011).
- 5) 木村 一樹他, "コア温度の変化に適應する OS による細粒度パワーゲーティング制御方式", IPSJ 2011-OS-117, No. 30, pp. 1-8(2011).
- 6) 高橋 昭宏他, "細粒度パワーゲーティング制御による省電力化を行う Linux プロセススケジューラの試作", IPSJ 2011-OS-117, No. 31, pp. 1-8(2011).
- 7) T. Komoda et al, "Compiler-Directed Fine Grain Power Gating for Leakage Power Reduction in Microprocessor Functional Units", 7th Workshop on ODES-2009(2009).