

## Network on Chip ルータのスイッチ 調停省略による，通信レイテンシの削減

二ノ宮康之† 鳥居淳†

Network on Chip (NoC) はメニコアシステムにおいて高い通信帯域とスケーラビリティを実現する。一方で，NoC 内のルータのパイプライン構造により，レイテンシが増加し，システムの性能低下の要因となりうる。本稿では，NoC の通信レイテンシ削減手法を提案し，その効果と影響に関して評価した。提案手法は NoC ルータ内部において，ある入力パケットが使用予定の出力ポートを独占的に使用できる場合にスイッチ調停を省略することでレイテンシを削減する。提案手法の効果はネットワークの混雑率によって変化するが，動作記述を用いたシミュレーション評価から，提案手法を用いることでネットワーク混雑率が低い場合において期待されるレイテンシ最大削減量の 90%，ネットワーク混雑率が高い場合においても 55% のレイテンシ削減効果を得られた。また回路評価から，手法適用による遅延への影響は無く，回路規模の増加も 1.5% と小さいことが分かった。

## Reducing latency of Network-on-Chip Router by Skipping Unnecessary Switch Arbitration

YASUYUKI NINOMIYA † SUNAO TORII †

Network-on-Chip (NoC) offers high bandwidth and scalability to many-core systems. On the other hand, NoC increases communication latency because of the pipelined architecture of a router. Latency causes performance degradation. In this paper, a latency reduction method of NoC is proposed. The proposed method reduces communication latency by skipping unnecessary switch arbitration of each router. Each output port of a router detects whether the incoming packet can be used at once. The packet which fit the condition skips switch arbitration of the router. The proposed method is affected by network congestion. Cycle level network simulation shows the proposed method reduces latency by 90% of theoretical value, and by 55% of expected value at high congestion. Furthermore, analysis shows that the proposed method don't affect critical path of the router, and hardware cost increases only by 1.5%.

### 1. はじめに

近年のプロセス技術の進展により，1 チップに CPU，DSP，メモリコントローラなど多数の Intellectual Property (IP) を集積することが可能になった。これらの IP コア間の交信のために Network on Chip (NoC)<sup>1)2)</sup> と呼ばれるインターコネクト回路が注目されている。NoC の通信経路はルータによって分割されるため，IP 間の配線距離を短縮できる。さらに，パケット化によりデータと制御信号を同一信号に畳み込むことができるため，配線数も削減できる。このため，レイアウト性や動作周波数の向上が期待でき，IP の増加に対してスケーラブルなインターコネクトであると考えられている。

一方で，NoC を適用した場合のレイテンシは従来のバス構造よりも大きくなる傾向にある。これは，NoC 内部の各ルータにおいてパケットの経路計算や通信調停を行うことが原因である。そのため，いかに NoC のレイテンシを削減するかが重要となる。一方で，調停レイテンシの削減に関する従来法においては，パケットの通信経路や経路予測の精度によってレイテンシ削減効果が変化するという課題がある。

本稿では，入力したパケットの調停の必要性を判定することでパケットのスイッチ調停の省略を可能とする，ルータのレイテンシ削減手法を提案する。提案手法は，ある入力パケットが使用予定の出力ポートを独占的に使用できる場合に，この入力パケットの調停省略を行う。提案手法の効果は従来法のようにパケットの通信経路や経路予測の精度に依存しない。このため，提案手法は従来よりも広範に適用することができる。

以下，2 章ではルータの構造とレイテンシ削減に関する関連手法を紹介し，3 章で提案するルータの構造を説明する。4 章で提案手法適用の有無による通信レイテンシ，遅延，回路規模への影響を評価し，5 章でまとめる。

### 2. NoC ルータの構造と関連手法

本章では，本稿で用いる NoC ルータの構造，および NoC のレイテンシ削減に関する関連手法について説明する。

#### 2.1 本稿における NoC ルータの構造

本稿で用いる標準的な NoC ルータの構造を図 1 に表す。ここでは簡単に説明するために入出力が 3 ポートの例を示している。ルータの機能は経路計算，スイッチ調停，スイッチ転送の 3 つに大きく分けられる。経路計算は入力ポート毎に存在する経路計算回路，スイッチ調停は出力ポートごとに存在する調停回路（図の調停 1 は出力ポー

† ルネサスエレクトロニクス株式会社  
Renesas Electronics Corporation

ト1の調停回路を表す), スイッチ転送はルータに1個存在するスイッチで行われる.  
 本稿におけるルータは経路計算, スイッチ調停, スイッチ転送にそれぞれ1サイクルのレイテンシを必要とするため, ルータの通過レイテンシは3サイクルとなる. ルータのタイミングチャートを図2に示す. 図2では, 入力ポート1から出力ポート3へ転送されるパケットのルータ内処理における信号伝達の様子を表している.

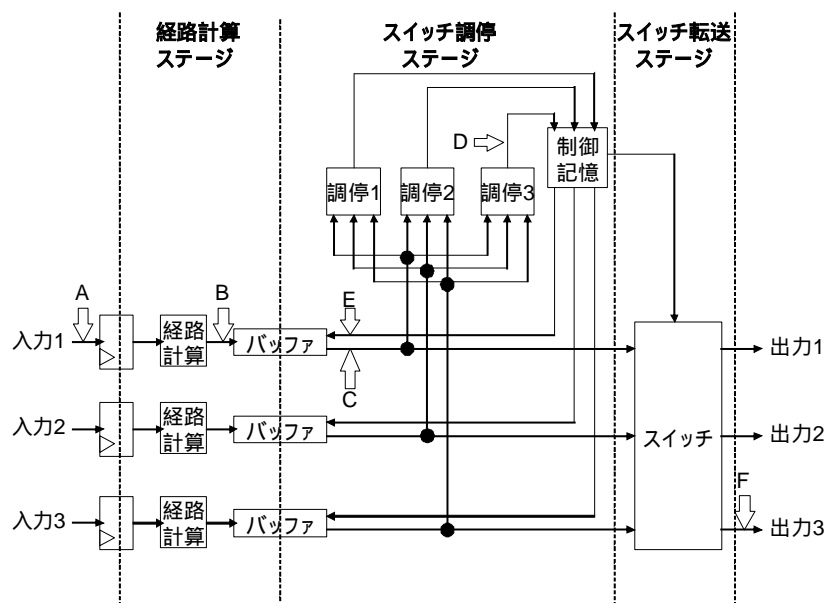


図1 標準的なルータの構造

図2のA~Fの信号は, 図1で示した各配線を通して示している. サイクルtにおいて, 入力されたパケットのヘッダはラッチで受けられる(A). このパケットヘッダは, サイクルt+1においてラッチから出力され, 経路計算された後にバッファに格納される(B).

サイクルt+2において, バッファから出力されたパケットヘッダ(C)は調停回路によって出力権を得る. 調停結果である入力ポートの番号(D) (図2では『1』)は制御記憶回路に記憶される. また, サイクルt+2における状態記憶回路の出力(E)は『停止』であるため, バッファはパケット出力をしたとみなされず, バッファの更新処理を行わない.

サイクルt+3において, バッファからパケットヘッダ(C)がサイクルt+2から引き続

き出力される. 出力されたパケットヘッダ(F)はスイッチを通過し, 出力される. また, 制御記憶回路の出力(E)は『許可』のため, パケットは出力されたとみなされ, バッファが更新される. バッファ更新の結果, サイクルt+4では, バッファからサイクルt+1で入力されたパケットデータ(A)が出力され(C), スイッチを通過して出力される(F).

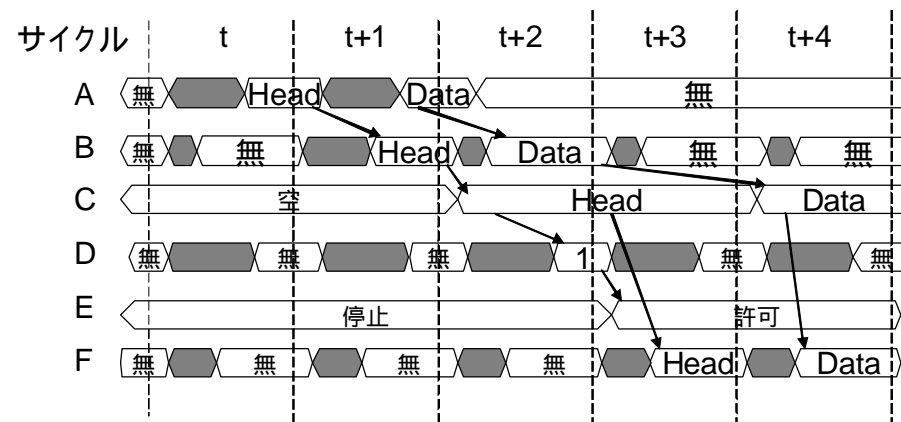


図2 ルータの packets 転送タイミングチャート

ルータのレイテンシは経路計算, スイッチ調停, スイッチ転送の3処理によって生じるが, このうち経路計算ステージとスイッチ調停ステージはパケットのヘッダのみが処理対象となる. ヘッダは通常パケットの最前方に位置しており, 後方のデータはヘッダが経路計算ステージとスイッチ調停ステージを通過する間, バッファで停止する. ヘッダがこれらの2ステージの処理を省略することができればレイテンシは削減される.

## 2.2 レイテンシ削減に関する関連手法

2ステージのうち, 経路計算を省略する目的で, パケット送信元で全ての経路計算を予め行うソースルーティング<sup>3)</sup>が用いられる. パケット送信時には経路計算が既に行われているため, 各ルータで経路を新たに求める必要が無い.

また, 経路計算のレイテンシを隠蔽する手法として Look-Ahead ルータが提案されている. Look-Ahead ルータは, 転送先のルータで使用する経路を予め転送元のルータで計算する. 転送元のルータで使用する経路は既に計算されているため, 経路計算とスイッチ調停やスイッチ転送の依存関係が無くなり, これらを同時に処理することで経路計算のレイテンシを隠蔽できる<sup>4)</sup>.

経路計算とスイッチ調停を同時に省略する手法としては, Express Virtual

Channel(EVC)<sup>5)</sup>が提案されている。EVC では、NoC 内の特定の経路において、直接的に接続されていないルータ間に仮想的な経路を設定する。この仮想経路を通過するパケットは、経路の途中にあるルータにおいて予め設定された特定のルータに対して最優先で転送される。途中ルータにおける経路計算とスイッチ調停を行う必要が無いため、ルータの通過レイテンシが削減される。ただし、EVC は経由するルータの数が少ない通信では効果が低く、適用範囲が限られる。

また、経路計算とスイッチ調停のレイテンシを同時に省略するための手法として、パケット出力方向を予測する機構を持つルータ<sup>6)</sup>も提案されている。ルータ内で入力されるパケットの出力方向をパケット入力前に予測し、調停を予め完了させておくことでルータの通過レイテンシを削減する。この手法では、予測した出力方向が間違っていた場合、スイッチ調停をやり直す必要があり、調停に要するレイテンシが削減されない。レイテンシ削減の効果はルータの予測精度、すなわち通信の経路や順序に依存する。

### 3. 提案するルータの構造

本稿では、入力したパケットの調停の必要性を判定することでパケットのスイッチ調停の省略を可能とする、ルータのレイテンシ削減手法を提案する。提案手法は、ある入力パケットが使用予定の出力ポートを独占的に使用できる場合にのみ、この入力パケットの調停の省略を行う。

本手法は調停ステージのレイテンシを削減する手法である。2 章で紹介したソースルーティングや Look-Ahead ルータなどの経路計算ステージを省略する手法とは排他的な関係にあるため、併用することができる。

本手法の効果はネットワークの混雑率に依存する。ネットワークの混雑率と通信レイテンシの関係は従来から通信経路設計の際に考慮される事項である。EVC や予測ルータのように効果が通信の経路や順序に依存しないため、より広範なネットワークに適用できる。

提案手法において、ある入力パケットが使用予定の出力ポートを独占的に使用できる場合とは、下記の 3 条件を全て満たす場合である。

- (1) パケットが入力したポートのバッファにパケットが格納されていない。
- (2) 入力パケットが出力される予定の出力ポートに対して、他に調停の省略が可能な入力パケットが存在しない。
- (3) この出力ポートに他のパケットの転送処理が割り当てられていない。

これらの条件を満たす場合、入力パケットと競合するパケットは他の入力やバッフ

ア内には存在せず、出力ポートの調停を行う必要がない。

ルータがこれらの 3 条件を満たしているかを判定するため、提案手法を適用したルータは調停省略の可否を判定する回路を持つ。提案するルータの構造を図 3 に示す。3 条件のうち(1)と(2)は新たに追加された調停省略判定回路で、(3)は調停回路で判定される。調停省略回路は全ての入力ポートの経路計算回路とバッファ、同じ出力ポートの調停回路と接続されている。調停省略回路に対して、経路計算回路からは入力パケットの有無とパケットの出力方向を示す出力ポート番号が、バッファからはバッファ内のパケット格納状況が入力されている。また、調停回路へは、調停省略の対象となるパケットの有無と、そのパケットの入力ポートの番号が出力される。

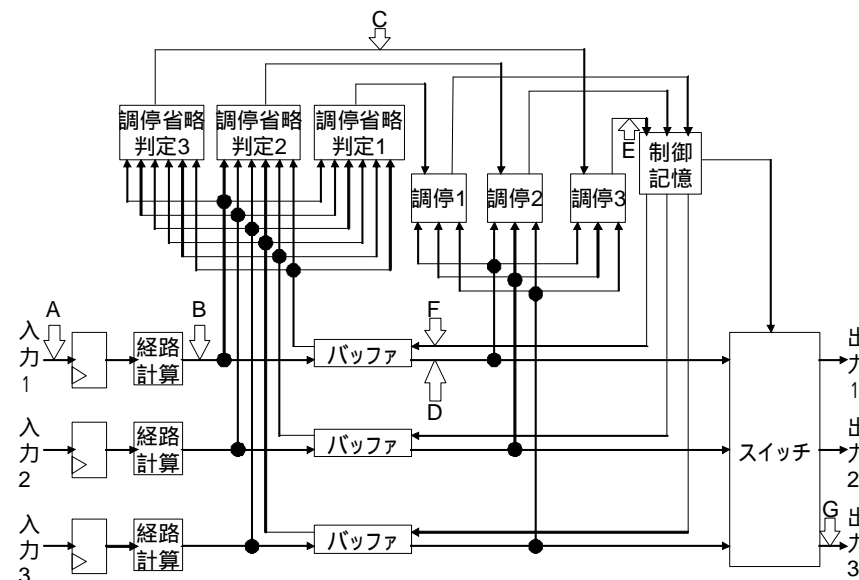


図 3 提案手法を適用したルータの構造

提案手法の構造は、新たな入力パケットの経路計算と、既にバッファに格納されているパケットの調停が並列に処理されることに着目している。入力パケットの経路計算によって(1)と(2)の条件を判定でき、かつ既にバッファに格納されているパケットの調停処理によって次サイクルにおける出力ポートの割り当て情報を得られる。これにより、1 サイクルで入力したパケットが調停を省略可能か判定できる。

提案手法の動作を図 4 のタイムチャートを用いて説明する。図のタイムチャートは入力ポート 1 から出力ポート 3 へ転送されるパケットのルータ内での転送処理を表している。他のパケットはルータ内に存在せず、パケットは調停を省略して出力される。図の A~G の信号は、図 3 で示した各配線を通して示している。

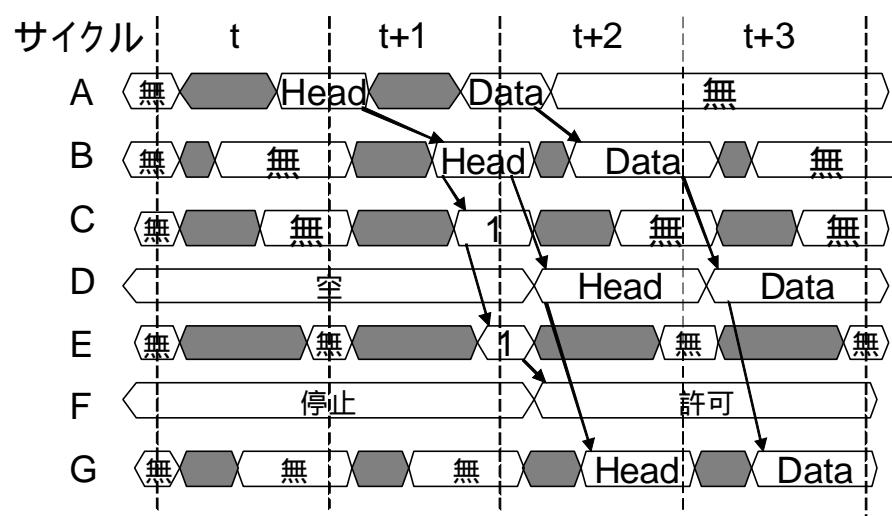


図 4 提案手法を適用したルータの packets 転送タイミングチャート

図 4 において、サイクル t に入力されたパケットのヘッダ(A)はラッチで受けられる。このパケットヘッダは、サイクル t+1 においてラッチから出力され、経路計算された後(B)にバッファに格納される。これと同時に、調停省略判定回路 3 に対して、入力パケットの情報が与えられ、調停が省略可能かの判定が行われる。

調停省略判定は、調停を省略可能なパケットの判定と入力バッファに格納されているパケットの出力調停を並行して行う。このうち、調停を省略可能なパケットの判定は調停省略判定回路で行われる。調停省略判定回路には、各入力ポートの経路計算回路からパケット入力の有無と出力ポート番号が入力される。入力ポート 1 に関しては、図 4 の信号 B の一部がこれらの信号に該当する。また、各入力バッファからバッファ内のパケット格納状況が入力される。この入力を元に、調停省略判定回路において、調停省略可能な入力パケットの有無が判定される。調停省略可能な対象が有る場合には、対象有りの信号と共に選択された入力ポートの番号が調停回路に出力され、調停省略可能な対象が無い場合には、対象無し信号が出力される。図 4 のタイミングチ

ャートにおいては、出力ポート 3 に対応した調停省略判定 3 では、入力ポート 1 の調停省略が可能であると判定とされ、調停回路 3(C)に入力ポート番号『1』が通知される。調停省略判定回路における調停省略対象の有無の判定に関する詳細は後述する。

調停を省略可能なパケットの判定と並行して、調停回路においてバッファ内に格納されているパケットの出力調停が行われる。初めに、バッファ内に自らの出力ポートに対して出力を要求するパケットの有無を確認する。図 4 において、入力ポート 1 のバッファからは信号 D により、格納されているパケットは無いと判断できる。出力要求がある場合、パケットの調停を行い、次サイクルで出力するパケットを選択する。調停に関する処理は従来のルータと同様である。パケット調停が行われた場合には、調停回路にて出力権を獲得した入力ポートの番号を制御記憶回路に出力し、パケット調停が行われなかった場合には調停省略判定回路からの入力を制御記憶回路に出力する。

図 4 のタイムチャートにおいては、制御記憶回路に対して調停省略判定回路からの出力がフォワードされる。調停省略判定 3 からの信号(C)は『該当あり』で入力ポートは『1』であるため、入力ポート 1 の信号(E)は制御回路に伝達され、記憶される。

次にサイクル t+2 において、制御記憶回路は入力 1 のバッファに対して、パケット出力の許可(F)を入力する。調停省略の対象となったパケットは調停回路による調停を行うことなく、ヘッダ(D)はバッファからスイッチに出力される。スイッチを通過したヘッダ(G)はルータから出力される。

最後に、調停省略判定回路の動作の詳細を説明する。調停省略判定回路は各出力ポートに対して、入力されたパケットが調停省略の候補となるか判定を行い、最後に、調停省略の対象を決定する。

調停省略判定回路は、下記の 3 種類の条件を判定することで単一の入力パケットを調停省略の候補と判定する。

- (1) 各ポートのバッファが空か
- (2) 入力されたのはパケットのヘッダか
- (3) 経路計算回路で計算されたパケットの経路計算結果と、各調停省略判定回路に設定された出力ポートの番号が等しいか

これらの判定は並列に処理することができる。これら全ての条件を満たす場合は、入力パケットを調停省略の候補と判定する。

次に、全ての入力ポートに対して、調停省略候補がただ 1 つであるかを確認する。唯一に定まる場合は、出力の調停が不要として該当する調停省略の候補を調停省略の対象に決定する。その他の場合には、調停省略の対象は無いと判定される。複数の調停省略候補があった場合、これらのパケットは次サイクルにおいて調停回路によって

出力の優先順位が付けられ、順に出力される。

上記の手順により、調停を省略してレイテンシを削減可能なパケットがある一方、使用予定の出力ポートを独占的に使用できないパケットはスイッチ調停によって出力ポートの使用権を確保できるまでバッファに一時記憶される。この場合、調停のレイテンシが発生する。調停省略の条件を満たさない場合として、下記の2通りの場合が考えられる。

- (1) 入力パケットが使用予定の出力ポートが既に他のパケットによって転送処理中である。
- (2) 同時入力された複数のパケットが同一の転送処理していない出力ポートを使用する。

このうち(1)に関しては、調停レイテンシの削減が本来不要な場合である。(1)の場合、調停レイテンシはパケットの通信レイテンシに影響を与えない。これは、ルータのパイプライン構造により、調停レイテンシがバッファでの待機レイテンシによって隠蔽されるためである。(1)の場合に調停省略が不要なのは、提案手法に限らず従来法も同様である。また(2)に関しては、一般に、出力ポートが転送処理を行わない頻度はネットワークの通信量が少ないほど増加し、逆にルータに同時入力された複数のパケットが同じ出力ポートを使用する頻度はネットワークの通信量が多いほど増加する。このため、ネットワークの通信量が増加するほど(2)の影響が大きくなるものと考えられる。ネットワークの通信量とレイテンシ削減効果に関しては4章で評価する。

## 4. 提案手法の評価

提案手法がパケットの通信レイテンシ、ルータの回路規模、および遅延に与える影響を評価した。評価には、NEC社のCyber Work Bench (CWB)を用いて、動作記述の一種であるBDL(Behavioral Design Language)で記述したルータを用いた。ルータの構成を表1に記す。この構成のルータは、回路規模を抑えつつ必要最低限の機能を有する。

### 4.1 通信レイテンシの評価

通信レイテンシは、作成したルータをCWBでSystemCソースコードに変換し、独自に作成したSystemCベースのサイクルアキュレートなNoCシミュレータ上で実行することで評価した。シミュレータのネットワーク構造を図5に示す。図のとおり、使用したネットワークは4×4の2次元メッシュである。ネットワークの各ルータには、

IPコアを模したトラフィックジェネレータ(TG)が接続されている。TGは指定したサイクル間隔で、パケットヘッダと4バーストデータのWriteパケットを5サイクルかけて接続しているルータに出力する。パケットの送信先はパケットヘッダ生成時に任意の他TGからランダムに設定される。ランダムトラフィックを用いたのは、TG間の通信依存を生じさせないためである。これにより、ネットワーク内のトラフィックを均一化し、ネットワークの混雑度と提案手法によるレイテンシ削減率の相関の評価を容易にした。また、ルータとTG間、およびルータとルータ間の配線数は表1の通り、片方向36bitの計72bitである。

表1 評価に使用したルータの構成

入出力ポート	5ポート
データ幅	32bit
制御信号幅	4bit
仮想チャネル	無し
入力バッファ	36bit × 4flit × 5ポート
パイプラインステージ	3ステージ +ルータ間転送ステージ
調停アルゴリズム	ラウンドロビン
ルーティングアルゴリズム	次元順(DOR)ルーティング

このネットワークにおけるパケットの平均ルータ通過数は3.67である。提案手法の適用によりルータ通過毎に1サイクルのレイテンシ削減が行われるため、平均ルータ通過数において期待されるレイテンシの最大削減量は3.67サイクルとなる。

TGのパケット出力間隔と通信レイテンシの相関を図6に示す。図のパケット出力間隔が小さい値であるほど、ネットワークの混雑度は高い。図から、ネットワークの混雑度に関わらず、提案手法の適用によりレイテンシを削減できることが分かる。

提案手法の適用により削減できたレイテンシは、パケット間隔が20以上、すなわちTGのネットワークの混雑率が $20/(20+5) \times 100 = 20\%$ 以上の場合で、3.33サイクルから3.55サイクルであった。今回使用したネットワークにおいて、提案手法の適用による期待されるレイテンシ最大削減量は前述の通り最大で3.67サイクルであるため、期待値の90%以上を削減できたことが分かる。

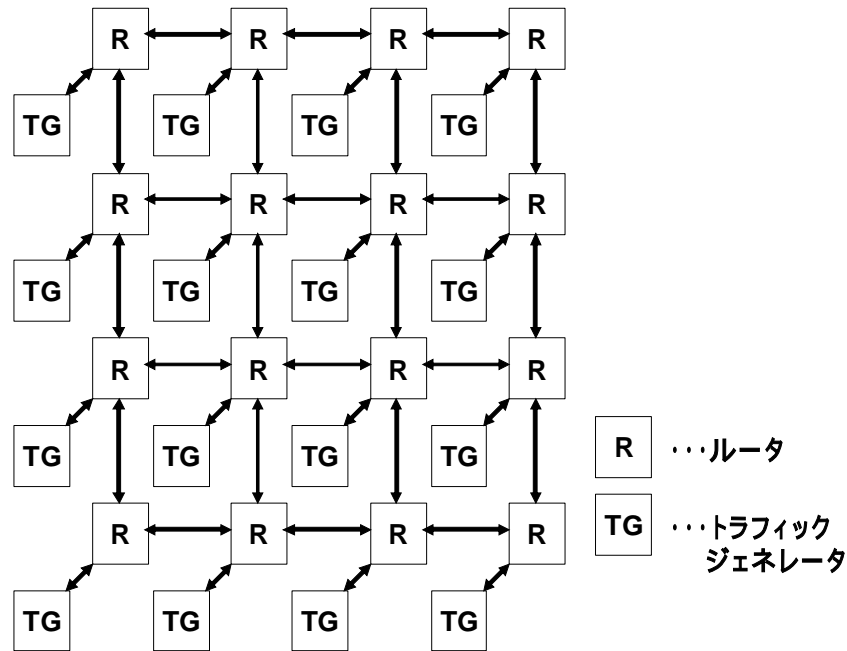


図 5 評価に用いた NoC のネットワーク構造

また、図 6 より、出力間隔 0、すなわち TG のネットワーク混雑率が 100% の場合においても 2.00 サイクルのレイテンシを削減している。このように TG のネットワーク混雑率が高い場合にも、期待されるレイテンシ最大削減量の 55% を削減できた。

今回の評価では、パケットの出力間隔を 0 としたランダムトラフィックを用いることにより、2 次元メッシュトポロジにおけるネットワークの最混雑状態を再現している。すなわち、通信トラフィックがネットワークの全体に均一に分散することで、TG がネットワークに対してパケットを出力できない状態を極力防いでいる。TG がパケットを出力し続けることができるため、ネットワークのトラフィックを最大化することができる。

アプリケーション実行時における本提案手法の効果を考える場合、今回使用した 2D メッシュネットワーク全体におけるトラフィックが今回の最混雑状態を上回ることがない。ため、今回の提案手法の適用によりレイテンシ削減効果を得られると考えられる。

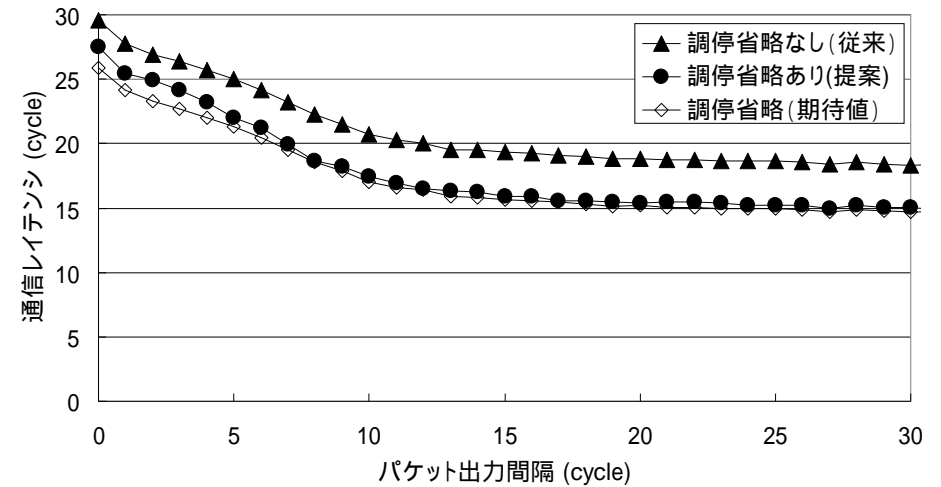


図 6 TG のパケット出力間隔と通信レイテンシの相関

表 2 調停省略機構による遅延と回路規模への影響

	調停省略あり	調停省略なし
遅延 (ns)	1.98	1.98
回路規模 (gate)	20158	20457

#### 4.2 回路規模、および遅延の評価

提案手法が遅延と回路規模に与える影響を、CWB の動作合成レポートを用いて比較評価した。合成時の評価には標準的な 90nm プロセスを使用した。その際、演算器のチェーン遅延は考慮していない。

評価の結果、遅延に関して変化はなかった。これは、追加した調停省略判定回路がルータのクリティカルパスに含まれていないためである。今回使用したルータのクリティカルパスはスイッチ調停であるが、提案手法はこのパスに対して、調停回路の最終段の処理を変更するだけで適用できる。変更は、調停回路から制御記憶回路に対して「候補無し」を出力する処理を、調停省略判定からの信号(図 3 の C)をフォワードする処理に置き換えたことである。今回の評価環境では、調停省略判定からの信号は調停回路の処理よりも早く完了するため、ルータの遅延に影響を与えなかった。

また、回路規模に関する評価では、提案手法の適用により回路規模が 299 ゲート増

加した。提案手法を適用していないルータの回路規模は約2万ゲートであるため、提案手法の適用による回路規模の増加は1.5%と小さいことがわかる。

ルータの回路規模はバッファ容量に大きく影響されるが、今回使用したルータは構造上の最大スループットを得られる必要最低限のバッファのみを持っている。ルータのバッファを削減した場合、バッファ不足によりスループットが減少するため、今回使用したルータにおいて、提案手法の適用による回路規模の増加は考えにくい。一方で、必要なバッファ容量はルータ間の転送レイテンシやルータのパイプライン段数によって決まるため、パイプライン段数が3段よりも少ない場合、提案手法の適用が回路規模に与える影響が1.5%よりも増加する可能性がある。

## 5. おわりに

本稿では、NoCの通信レイテンシ削減手法を提案し、その効果と影響に関して評価した。提案手法はある入力パケットが使用予定の出力ポートを独占的に使用できる場合に、入力パケットに対する調停処理を省略することでルータの調停によって生じるレイテンシを削減する。提案手法の適用により最大で通信レイテンシの18.6%を削減できることを、SystemCを用いたサイクルアキュレートなシミュレーション評価から確認した。また、提案手法のレイテンシ削減効果はネットワークの混雑度に依存するが、ネットワーク混雑率が20%以下の場合において期待される最大削減量の90%、ネットワーク混雑率が100%の場合でも期待される最大削減量の55%の効果を得られることが分かった。また、提案手法の回路評価では、手法適用による遅延への影響は無く、ネットワークのスループットに影響を与えなかった。一方で、ルータの回路規模は従来よりも1.5%増加したが、増加量は約300ゲートでありチップ実装時の影響は小さいものと思われる。

今後は、異なるトポロジやルータアーキテクチャにおける提案手法のレイテンシ削減効果や遅延、回路規模への影響を評価したい。

## 参考文献

- 1) L. Benini, et al, "Networks on Chips: A New SoC Paradigm", IEEE Computer, Vol.35, No.1, 2002, pp.70-78.
- 2) W. J. Dally, et al, "Route Packets, Not Wires: On-Chip Interconnection Networks", Proc. 38th Design Automation Conference, 2001, pp.684-689.
- 3) "RFC 791 INTERNET PROTOCOL", DARPA Internet program protocol specification, 1981.
- 4) W. J. Dally and B. Towles: "Principles and Practices of Interconnection Networks", Morgan Kaufmann (2004).

5) A. Kumar, L.-S. Peh, P. Kundu and N. K. Jha: "Express Virtual Channels: Towards the Ideal Interconnection Fabric", Proceedings of the International Symposium on Computer Architecture (ISCA'07), pp. 150-161 (2007).

6) 松谷, 鯉淵, 天野, 吉永, 「予測機構を持った低遅延オンチップルータアーキテクチャ」, 情報処理学会技術研究報告[計算機アーキテクチャ], 2008.