

## 二線式論理を用いた面積効率の良い高信頼演算器 High Reliable and Area-Efficient Full Adder Using Dual-Rail Logic

大賀 健司<sup>†1</sup> 中田 尚<sup>†1</sup> 嶋田 創<sup>†1</sup>  
Kenji OGA Takashi NAKADA Hajime SHIMADA  
山下 茂<sup>†2</sup> 中島 康彦<sup>†1</sup>  
Shigeru YAMASHITA Yasuhiko NAKASHIMA

### 1. はじめに

継続的な LSI 製造プロセス微細化に伴い、トランジスタの動作速度の向上は続いている。一方で、トランジスタに関する原子数が数えられるようなレベルの微細化においては、トランジスタの故障率や特性ばらつきが増大によって回路の歩留まり率が低下することが懸念されている。

故障の問題に対する一般的な解決策として、回路を多重化し多数決回路によって故障した回路の結果を除く方法がある<sup>1)</sup>。しかしながら、多重化と多数決回路の追加によって回路面積が大幅に増大する点や、故障箇所が増大によって正常な結果を出力できる回路が無くなった状態では効果がない点が問題となる。

特性ばらつきを軽減する手法として、トランジスタの配置を規則的にするという手法がある<sup>2)</sup>。しかしながら、現在の CMOS 基本セルを用いた設計では、基本セル内部でトランジスタが不規則に配置されており、さらに種類の異なるセルを配置した時にセル間でトランジスタの配置が不規則になるため、結果として回路全体ではトランジスタが不規則に配置されることになることが多い。

この 2 つの問題を緩和するため、二線式論理で耐故障性に優れ、セル内/セル間のトランジスタ配置にも考慮した高信頼セルが提案されている<sup>3)</sup>。

本稿ではこの高信頼セルを用いた回路設計において、AND-EOR 構成をベースとすることで検証用の論理素子を削減し、高い信頼性を維持しつつ面積効率を向上させた回路設計について提案を行う。また、その設計の例として、演算器の構成を示す。

### 2. 高信頼セルの特徴

我々の提案する高信頼セルの特徴は以下の通りである。

- 伝送ゲートを基本単位とする
- 1 つのセルで正論理と負論理を同時に出力する
- 規則的なレイアウト
- 少品種で複数論理に対応

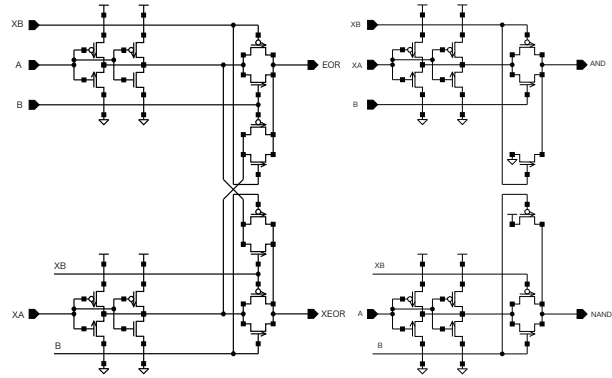


図 1 LEOR の回路図



図 2 LNORAND の回路図

#### ● 耐故障性を持つ

- － ある一定数以下の故障に対して自己修復可能
- － 一定数よりも多い故障に対しては故障検出可能

本章ではこれらの特徴について説明する。図 1 に示すように伝送ゲートを基本単位とした 4 入力 2 出力の二線式回路である。この回路は EOR/XEOR を出力するものであり以後は LEOR とする。さらに図 2 に示す回路は AND/NAND もしくは OR/NOR を出力し、LNORAND とする。図は AND/NAND を出力する場合の入力であるが、A と XA、B と XB をそれぞれ入れ替えることで OR/NOR を出力可能である。両者はほぼ同じレイアウトであり、さらにセル 1 つの面積が等しいので、規則的なレイアウトが可能となる。

これらのセルは伝送ゲートを基本単位としているためセル単体で高い耐故障性を持つ。また二線式論理を採用しているため、故障発生時でも自己修復あるいは故障検出・伝搬が可能である。以下、セル内部で発生した故障に対する動作と、故障信号すなわち同相信号が入力された場合の動作を示す。

#### 2.1 セル内部故障時の動作

まず初めにセル内のトランジスタ故障に対して高信頼セルが持つ信頼性について示す。図 3 に LEOR の一部を示す。入力値が  $(A, XA, B, XB) = (0, 1, 1, 0)$  の場合、図中の 4 つのトランジスタのうち下 2 つは導通していない。そこで上 2 つのトランジスタのうち、PMOS が故障した場合を考える。NMOS のみ導通し、EOR には結果として弱い 1 が出力されるが、論理上は 1 として認識されることが確認されている<sup>3)</sup>。このように伝送ゲートの片方が故障した場合でも正しい値が出力され、トランジスタの単体故障は自己修復されると言える。

<sup>†1</sup> 奈良先端科学技術大学院大学  
Nara Institute of Science and Technology

<sup>†2</sup> 立命館大学  
Ritsumeikan University

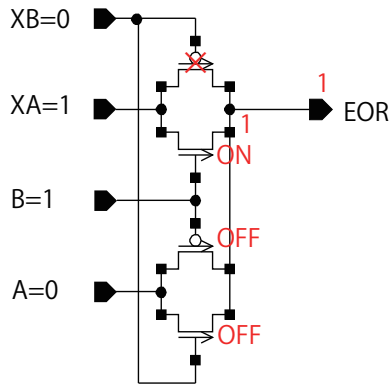


図3 トランジスタ故障時の動作

## 2.2 同相入力に対する修復機能と故障情報伝搬機能

次にセル内で複数のトランジスタが故障し自己修復できなかった場合や、配線の故障が発生した場合について説明する。表1と表2に正常に動作するLEOR, LNORANDの真理値表を示す。ただし表の結果における「検」とは不正な入力に対し、同相信号を出力することで故障情報を損なうことなく次段へ伝搬できることを示し、「修復」とは不正な入力に対して自己修復可能であることを示している。また「正」とは正しい入力に対して正しい値を、「誤」とは不正な入力に対して同相信号ではなく誤った値を出力することを示している。

まず表1から分かるようにLEORに同相値が入力された場合、出力は必ず同相値となる。よってLEORは前段につながるセルが故障した場合あるいは入力配線が故障した場合、自己修復はできないが故障情報を損なうことなく次段へ伝搬することができる。

次に表2から分かるように、LNORANDに同相値が入力された場合、その故障を自己修復することができる場合がある。また故障情報を損なうことなく次段へ伝搬することができる場合もある。しかし特定の入力、例えば(A, XA, B, XB) = (0, 0, 1, 1)の入力に対して出力が(0, 1)となり、同相信号ではなく誤った値を出力する可能性がある。この場合、故障しているにも関わらず出力が同相でないため検出不可能となる。このようにLNORANDは多くの不正な入力に対して出力を修正する機能がある一方で、特定の不正な入力に対して故障情報を消滅させてしまう可能性があり、信頼性を低下させる原因となる。この問題に対処するために、以下の2つの手法を提案する。

**提案手法1** LNORANDの片方の入力値に対してLEORを付加することで同相入力を検出する

**提案手法2** LNORANDの入力とLEORの入力が共有されるように論理変形を行う

提案手法1では、全ての故障に対処するためには全てのLNORANDに対する入力を検査する必要があるため、膨大な面積コストがかかるという問題がある。それに対して提案手法2では論理変形によりこのコストを削減する。具体的にはLNORANDの片方の入力枝分かれがLEORの片方の入力と

表1 LEORの真理値表

A	XA	B	XB	EOR	XEOR	結果
0	0	0	0	0	0	検
0	0	0	1	0	0	検
0	0	1	0	0	0	検
0	0	1	1	0	0	検
0	1	0	0	1	1	検
0	1	0	1	0	1	正
0	1	1	0	1	0	正
0	1	1	1	0	0	検
1	0	0	0	1	1	検
1	0	0	1	1	0	正
1	0	1	0	0	1	正
1	0	1	1	0	0	検
1	1	0	0	1	1	検
1	1	0	1	1	1	検
1	1	1	0	1	1	検
1	1	1	1	1	1	検

表2 LNORANDの真理値表 (AND・NANDの場合)

A	XA	B	XB	AND	NAND	結果
0	0	0	0	1	1	検
0	0	0	1	0	1	修復
0	0	1	0	1	1	検
0	0	1	1	0	1	誤
0	1	0	0	0	1	修復
0	1	0	1	0	1	正
0	1	1	0	0	1	正
0	1	1	1	0	1	修復
1	0	0	0	1	1	検
1	0	0	1	0	1	正
1	0	1	0	1	0	正
1	0	1	1	0	0	検
1	1	0	0	0	1	誤
1	1	0	1	0	1	修復
1	1	1	0	0	0	検
1	1	1	1	0	0	検

なり、かつそのLEORが回路実現に必要な論理設計とすることで、信頼性を向上させるとともに面積コストを下げる。

## 3. 高信頼加算器の設計

本章では提案手法の加算器における有効性を示す。簡単な加算器の例としてRipple Carry Adder(以後RCAと表記する)を取り上げ、提案手法の比較を行う。提案手法1の例としてAND-OR構成、AND-EOR-OR構成のRCAを、提案手法2の例としてAND-EOR構成のRCAを示す。本来高信頼セルは二線式であるが、本章では簡略化のため単線式の回路図を用いた。

### 3.1 AND-OR構成のRCA

一般的なAND-OR構成のRCAを図4に示す。図中には否定論理が含まれるが、高信頼セルは正論理と負論理を同時に出力するため、次段への入力の際に配線を入れ替えることで対応できる。そのため、実際にはこの否定論理は回路上に必要ない。

この構成で1つのセルが故障しその出力が同相となった場合は、次段のセルで自己修復あるいは故障情報伝搬が行える。しかし2つ以上のセルが故障した場合、図4に示すように自

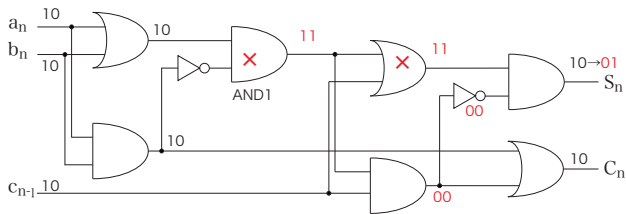


図 4 AND-OR 構成の RCA 内で 2 箇所以上の故障が発生した場合

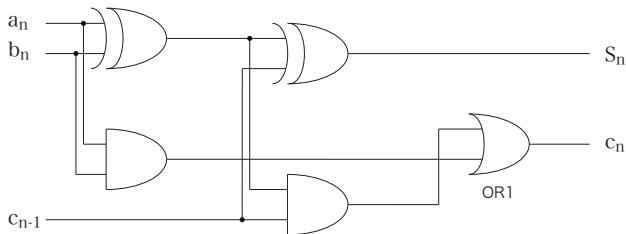


図 5 AND-EOR-OR 構成の RCA

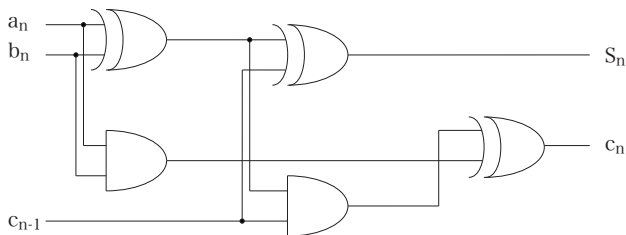


図 6 AND-EOR1

己修復が行えない上、不正確な出力にも関わらず故障検出が行えない。提案手法 1 を用いると、全てのセルに対して LEOR による検査が必要となり、回路面積が膨大になる。

### 3.2 AND-EOR-OR 構成の RCA

次に AND-EOR-OR 構成の RCA を図 5 に示す。AND-OR 構成の場合と同様に 1 つのセル故障までは対処可能である。2 つのセル故障に対処するためには提案手法 1 が有効になる。OR の入力に対してのみ LEOR による検査を行えばよく、AND-OR 構成の場合と比べて検査に必要な LEOR の数を大幅に削減することが可能である。

### 3.3 AND-EOR 構成の RCA

先述した AND-EOR-OR 構成の RCA は、OR への入力と同時に  $(A, XA, B, XB) = (1, 0, 1, 0)$  とならないため論理として EOR で置き換え可能である。そこで OR を EOR に置き換えた AND-EOR 構成の RCA を図 6 に示す。これを AND-EOR1 とする。提案手法 2 の条件を満たすように構成されているため、2 つ以上のセルが故障しても付加回路を挿入することなく故障情報を損なわずに伝搬することができる。

また同様に提案手法 2 を満たす AND-EOR 構成の RCA は他にも図 7 に示すように構成可能である。これを AND-EOR2 とする。

## 4. 性能評価

本章では信頼性、回路面積、遅延時間の観点で 3 章で取り

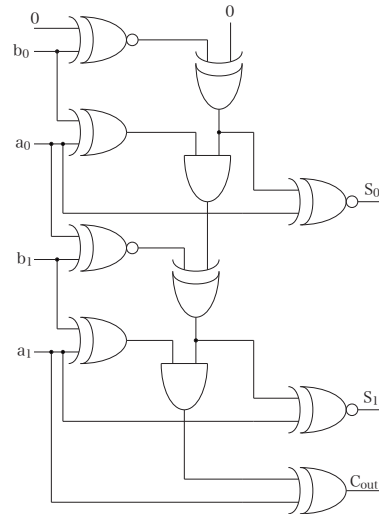


図 7 AND-EOR2

上げた RCA を比較する。

### 4.1 信頼性評価

高信頼セル内トランジスタあるいはセル内配線の故障に対する評価は既に表示されている<sup>4)</sup>。そこで本稿では、高信頼セル内あるいは配線の故障が発生した場合に、以下のように次段以降で故障が自己修復されるか、あるいは正しく故障情報を失わずに伝搬できるかという指標で評価する。

- (1) 自己修復可能性
- (2) 自己修復不可能な場合の故障検出可能性

LNORAND への入力特定のパターンでは自己修復可能だが、これに合致する故障パターンが存在すれば自己修復可能と言える。また自己修復不可能な場合は、故障検出が正しく次段へ伝搬可能な場合か、故障情報を失い不正な出力に対して対処不可能な場合が存在する。

#### 4.1.1 AND-OR 構成の信頼性

図 4 に示す AND1 への入力を考える。故障がない場合に取り得る入力は  $(A, XA, B, XB) = (0, 1, 1, 0), (1, 0, 1, 0), (1, 0, 0, 1)$  である。前段で故障が 1 箇所発生し、この AND1 への入力が不正となった場合の出力を表 3 に示す。

例えば  $(A, XA) = (0, 0)$  という不正な入力が発生した場合、B の入力パターンによっては自己修復できないが、故障検出は可能である。同様に、1 つでも同相入力が存在した場合、完全に自己修復できると保証できないが確実に故障検出可能である。よってこの場合は 1 箇所の故障に対して故障検出可能であると言える。

しかし先述の通りこの構成では 2 箇所以上の故障に対して正しく故障検出できない場合が存在し、提案手法 1 を用いて解決するためには全素子に対して LEOR が必要となり現実的ではない。

#### 4.1.2 AND-EOR-OR 構成の信頼性

図 5 に示す OR1 への入力を考える。故障がない場合に取り得る入力は  $(A, XA, B, XB) = (0, 1, 0, 1), (1, 0, 0, 1),$

表 3 図 4 の AND1 へ不正値が入力された場合  
表 4 図 5 の OR1 へ不正値が入力された場合

A	XA	B	XB	結果	A	XA	B	XB	結果
0	0	0	1	修復	0	0	0	1	検
0	0	1	0	検	0	0	1	0	修復
0	1	0	0	修復	0	1	0	0	検
0	1	1	1	修復	0	1	1	1	検
1	0	0	0	検	1	0	0	0	修復
1	0	1	1	検	1	0	1	1	修復
1	1	0	1	修復	1	1	0	1	検
1	1	1	0	検	1	1	1	0	修復

表 5 提案手法を用いない回路の信頼性と面積

	AND-OR	AND-EOR-OR
1 箇所故障	検出可	検出可
2 箇所以上故障	検出不可	検出不可
面積 (4bit)	28	20
面積 (8bit)	56	40
面積 (16bit)	112	80
面積 (32bit)	224	160

表 6 提案手法を用いた回路の信頼性と面積

	AND-EOR -OR+提案手法 1	AND-EOR1	AND-EOR2
1 箇所故障	検出可	検出可	検出可
2 箇所以上故障	検出可	検出可	検出可
面積 (4bit)	23	20	21
面積 (8bit)	47	40	41
面積 (16bit)	95	80	81
面積 (32bit)	191	160	161

(0, 1, 1, 0) である。前段で故障が 1 箇所発生し、この OR1 への入力不正となった場合の出力を表 4 に示す。これより AND-EOR-OR 構成では、1 つでも同相入力が存在した場合、完全に自己修復できると保証できないが確実に故障検出可能である。2 箇所以上の故障に関しては提案手法 1 を用いるが、OR1 への入力を片方のみ LEOR へ繋げばよい。

#### 4.1.3 AND-EOR 構成の信頼性

提案手法 2 を満たす AND-EOR 構成の例を 2 つ挙げたが、全ての素子が LEOR に繋がっているため表 1 から分かるように不正な入力に対して自己修復可能性はない。しかし不正な入力を損なうことなく次段に伝搬できるため、全素子の故障に対して付加回路なく故障検出・伝搬が可能である。

#### 4.2 面積評価

LEOR, LNORAND はそれぞれレイアウト上の面積が等しいので、その面積を 1 として各構成の面積を信頼性と共に表 5 と表 6 に示す。

表より、単純な AND-OR 構成では回路面積が膨大な上、2 箇所以上の故障に対処できないことが分かる。また 32bit の RCA では、提案手法 2 を満たす AND-EOR1 は提案手法 1 を満たす AND-EOR-OR に比べて 83.8% に面積が減少していることが分かる。

このように 2 箇所以上の故障に対処し、同様の信頼性で比較した場合、提案手法 2 を用いることで大幅に回路面積を削減できることが分かる。

表 7 提案手法を用いた回路の遅延時間 [ns]

	AND-EOR -OR+提案手法 1	AND-EOR1	AND-EOR2
遅延 (4bit)	0.757	0.751	0.696
遅延 (8bit)	1.494	1.424	1.212
遅延 (16bit)	2.943	2.779	2.243
遅延 (32bit)	5.838	5.498	4.296

#### 4.3 遅延時間評価

提案手法を用いて設計した回路のクリティカルパスにおける遅延時間を測定したものを表 7 に示す。なお評価は 180nm トランジスタモデルを用いた HSPICE によるシミュレーションを行った。

表から分かるように、32bit の RCA では提案手法 2 を満たす AND-EOR2 の遅延時間は、提案手法 2 を満たす AND-EOR1 と比較して 78.1% に、また提案手法 1 を満たす AND-EOR-OR と比較して 73.6% に減少している。

### 5. まとめ

将来の LSI 製造プロセス微細化におけるトランジスタの性能ばらつき、および故障率の増大が懸念されている。我々の提案する二線式論理で耐故障性に優れ、規則的なレイアウトで構成された高信頼セルを用いた回路設計において、AND-EOR 構成をベースとした信頼性向上と面積効率向上を可能とする手法を提案した。

またこの手法を用いて実際に加算器を設計し、様々なパターンの故障に対処できる信頼性を持つことを示した。さらに同様の信頼性で比較して、面積効率を向上させることが可能であることも示した。

将来の課題として、より複雑な論理回路にこの手法を適用するアルゴリズムを検討する予定である。

#### 謝 辞

本研究の一部は科学研究費補助金 (基盤研究 (B) 課題番号 19300012) による。また本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、ローム (株) および凸版印刷 (株) の協力で行われたものである。

#### 参 考 文 献

- 1) J Von Neumann.: "Probabilistic Logics and the Synthesis of Reliable Organisms from Unreliable Components", pp.43-98, Princeton Univ. Press (1956).
- 2) Hirokazu Muta and Hidetoshi Onodera.: "Manufacturability-Aware Design of Standard Cells", IEICE Trans. on Electronics, E-90A(12):2682-2690, December 2007.
- 3) 鈴木一範, 中田 尚, 中西正樹, 山下 茂, 中島康彦.: "細粒度命令分解と少品種セルによる高信頼化アーキテクチャの提案", 情処研報, 2007-ARC-175, pp.61-66 (2007).
- 4) 鈴木一範, 中田 尚, 中西正樹, 山下 茂, 中島康彦.: "高信頼セルによる演算器の耐故障性と遅延時間の評価", 情処研報, 2008-ARC-179, pp.181-186 (2008).