

ワイヤレス 3-D NoC のための通信プロトコルの検討

松谷 宏紀^{†1,†2} 鯉 淵 道 紘^{†3}
黒田 忠 広^{†4} 天 野 英 晴^{†4}

本研究では誘導結合によるチップの 3 次元積層技術に着目し、アプリケーションに応じて積層するチップの枚数や種類を変更可能な CMP アーキテクチャについて検討する。このように形状が不明な 2 次元 NoC を垂直に積層する場合、単一プレーン内ではデッドロックフリーを保証できても、パッケージ全体としてはデッドロックフリーを満たせない可能性がある。この問題を解決するために、本論文では、プレーン間の垂直通信として、バブルフロー制御をもとにしたフロー制御、ルーティング方法、ルータアーキテクチャを提案する。予備評価として、提案する垂直バブルフロールータのハードウェアを設計し、約 29%の面積オーバーヘッドで実現できることを示す。この面積オーバーヘッドは仮想チャネルバッファを多重化してデッドロックフリーを実現するこれまでの方法に比べてリーズナブルと言える。

A Study on Communication Protocols for Wireless 3-D NoC

HIROKI MATSUTANI,^{†1,†2} MICHIMIRO KOIBUCHI,^{†3}
TADAHIRO KURODA^{†4} and HIDEHARU AMANO^{†4}

We have been proposing a novel 3-D CMP architecture, in which the number and types of chips stacked in a package can be changed in response to the applications running on the CMP, by using the inductive coupling based 3-D IC technology. In such a 3-D CMP, multiple chips, each of which has an arbitrary horizontal on-chip network topology, are stacked together and form a single network. To avoid deadlocks in such networks, in this paper, we propose a flow control method, deadlock-free routing strategy, and router architecture based on the bubble flow control for the vertical inter-chip communications. As preliminary evaluations, we implement the vertical bubble flow router and show that the total hardware amount of the NoC increases by approximately 29%. This area overhead is reasonable compared to the existing deadlock avoidance techniques that duplicate the virtual channel buffers of all routers in a network.

1. はじめに

半導体技術の微細化にともない 1 チップ上に複数のマイクロプロセッサを実装できるようになった。コンシューマ用途においても 2 コアや 4 コアの製品が広く普及しており、コアの数は今後も増え続けると予想される。コンシューマ用途のマルチコアでは、プログラミングの容易さから、すべてのコアが同一のメモリ空間を共有する共有メモリ型のチップマルチプロセッサ (CMP) が現実的と言える。ただし、複数のプロセッサが単一のキャッシュを共有するため、キャッシュアクセスに十分な帯域を確保しないとプロセッサ数に見合った性能向上は期待できない。そこで、キャッシュを複数のキャッシュバンクに分割して帯域を稼ぐアーキテクチャ (Non-Uniform Cache Architecture, NUCA)^{1),2)} が有望視されている。NUCA ではプロセッサおよびキャッシュバンクを Network-on-Chip (NoC)³⁾ で接続し、データ転送はオンチップルータを介したパケット転送によって行う。

このような CMP 内のネットワーク化によって、理論上、多数のプロセッサやキャッシュバンクを統合できるようになった。ところが、このような大規模 CMP を効率良く利用するには依然として以下の問題を解決しなければならない。

- 問題点 1: プロセッサ, キャッシュバンク, ルータ利用率の不均衡化:
アプリケーションには並列化できる部分とシングルプロセッサで逐次実行しなければならない部分がある。アプリケーションによっては、逐次実行部分に律速されてプロセッサ数を増やしてもそれに見合った性能向上が得られない場合がある。また、NUCA ではプロセッサとキャッシュバンクの距離が均一ではなく、アクセスするメモリブロックによって通信遅延が大幅に変化したり、トラフィックに偏りが生じる。
- 問題点 2: ルータホップ数の増加にともなう NoC の消費電力の増加:
コアの数が増加すれば、その分、ルータの数が増え、パケット転送のたびに経由しなければならないルータの数 (ホップ数) が増える。ホップ数に応じてルータおよび配線リ

†1 東京大学大学院 情報理工学系研究科

Graduate School of Information Science and Technology, The University of Tokyo

†2 日本学術振興会特別研究員 (SPD)

Research Fellow of the Japan Society for the Promotion of Science (SPD)

†3 国立情報学研究所 / 総合研究大学院大学

National Institute of Informatics / The Graduate University for Advanced Studies

†4 慶應義塾大学 理工学部

Faculty of Science and Technology, Keio University

ソク消費エネルギーがリニアに増える。

問題点 1 を解決するには、アプリケーションに応じて、プロセッサやキャッシュバンクの数、および、それらの接続関係を柔軟に変更可能にする必要がある。問題点 2 に関しては、すでにさまざまな低消費電力技術が提案されている^{4),5)} ものの、最もドラスティックな改善案はチップの 3 次元積層であると言える。2 次元トポロジよりも 3 次元トポロジのほうがホップ数が小さく、期待されるスループット性能も高い。また、配線遅延やその消費エネルギーが問題になっている昨今、mm オーダの水平リンクを数十 μm オーダの垂直リンクに置き換えることはメリットが大きい。

本研究では、上記の問題を同時に解決するために、近年、実用化に向けて急速に研究開発が進んでいる誘導結合によるチップの 3 次元積層技術を用いる。我々は誘導結合による 3 次元 CMP アーキテクチャについて検討してきたが⁶⁾、垂直方向のフロー制御やそのデッドロック回避については十分に検討してこなかった。そこで、本論文では 3 次元 CMP アーキテクチャ向けの柔軟性の高いフロー制御として垂直バブルフロー制御を提案する。

本論文の構成は以下のとおりである。2 章では 3 次元 CMP アーキテクチャのための要素技術として、共有メモリ型の CMP アーキテクチャとその NoC、および、3 次元積層技術について述べる。3 章で本研究が対象とする 3 次元 CMP アーキテクチャについて説明し、4 章でそのための垂直バブルフロー制御を提案する。5 章で予備評価を示し、6 章で本論文をまとめる。

2. 要素技術

2.1 共有メモリ型 CMP アーキテクチャ

本節では、近年盛んに研究されている 2 次元の CMP アーキテクチャとその NoC について述べる。

図 1 に本論文でベースラインとする 2 次元の共有メモリ型 CMP のチップレイアウトを示す。これは文献 2) で紹介されている「2010 年の CMP」をもとに、L2 キャッシュバンクの数など一部パラメータを修正したものである。

図に示すようにチップ内にプロセッサコア (CPU) を 8 個持つ。各プロセッサコアは非共有の L1 データキャッシュ (L1 D\$)、L1 命令キャッシュ (L1 I\$) を持つ。L2 キャッシュ (L2\$) はすべてのプロセッサ間で共有し、token coherence protocol⁷⁾ によるコヒーレンス制御を行う。キャッシュアクセスを高速化するため、キャッシュの構成は SNUCA (statically mapped, non-uniform cache architecture)¹⁾ とする。具体的には、L2 キャッシュを多数の

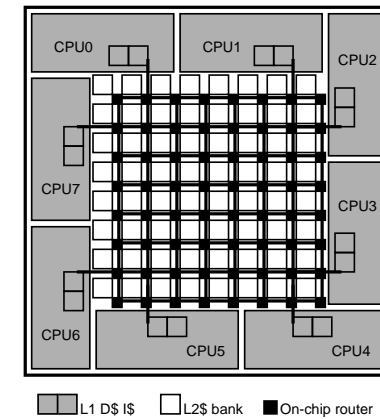


図 1 ベースラインとする 2 次元の CMP。

キャッシュバンクに分割し、ブロックインデックスの下位数ビットをもとに割り当てるキャッシュバンクを決める*1。メインメモリおよびディレトリコントローラ (Dir) はチップ外にあると仮定する。

ここでは、プロセッサ (ローカル L1\$ を含む) と L2\$ バンクを接続するために、オンチップネットワークを用いる。図 1 の例では、黒い四角がオンチップルータであり、オンチップルータが 8x8 の 2 次元メッシュ状に相互接続されている。パケットルーティングとして、メッシュにおいて最もシンプルかつ一般的な次元順ルーティングを用いる。

2.2 誘導結合による 3 次元積層

チップもしくはウェハの 3 次元積層技術として、これまでに様々な技術が実用化されおり、とりわけ、1) マイクロバンブ^{8),9)}、2) 貫通ビア (Through-silicon via, TSV)^{10),11)}、3) 容量結合¹²⁾、4) 誘導結合^{11),13),14)} などが代表的である。

その中でも誘導結合による 3 次元積層には次の特徴がある。

- 誘導結合は非接触型 (ワイヤレス) である。接触型のマイクロバンブや貫通ビアと比べ、積層するチップの種類や枚数を柔軟に変更できる。
- 容量結合も非接触型であるが、2 枚のチップを face-to-face で接続するため積層枚数は

*1 頻繁に使われるキャッシュブロックをプロセッサの近隣に動的に移動させることもできる (DNUCA, dynamically mapped, non-uniform cache architecture¹⁾)。しかし、CMP では、あるプロセッサの近くにあるバンクは別のプロセッサからは遠くなってしまいうため、結果的に高い効果は期待できないと言われている²⁾。

2枚に限られる。一方、誘導結合は積層枚数に制限はなく、場合によっては、複数チップに対しデータをマルチキャストすることもできる。

- 2007年に発表された90nmプロセスのデータにおいて、データ転送エネルギー0.14pJ/bit、チャンネルサイズ30μm×30μm、データ転送レート1Gbpsと高帯域・低消費エネルギーを実現している¹⁴⁾。

1章で述べたとおり、今後さらに大規模化するであろうCMPを効率的に利用するために、アプリケーションに応じて、プロセッサやキャッシュバンクの数、および、それらの接続関係を柔軟に変更可能にする必要がある。このようなCMPを実現するために、本研究では、上記の特徴を兼ね備えた誘導結合によるチップの3次元積層技術に着目する。

次章では、本研究で想定する、誘導結合を用いた3次元CMPアーキテクチャについて説明する。

3. 誘導結合による3次元CMPアーキテクチャ

3.1 対象アーキテクチャ

図2に本研究が想定する3次元CMPアーキテクチャを図示する。この例では、図1で単一チップ上に実装されていた各種コアを8枚のプレーンに分割して、垂直方向に積層している。非接触型の3次元積層技術を用いることでプレーンの種類や枚数を柔軟に変更できる。図2には4種類のプレーン (Type A-D) が図示してあり、例えば、Type Aはプロセッサとキャッシュバンクを持つプレーン、Type Cはキャッシュバンクのみのプレーン、Type Dはプロセッサのみのプレーンである。図中の白丸は垂直リンクを表す。この図のとおり、垂直リンクはプレーン間でアライメントされていなければならない。

各プレーンのロジック (プロセッサ、メモリ) や平面NoCの構成は任意であるが、垂直リンクに関してのみ以下のルールにしたがい積層する必要がある。

- 積層ルール1: 各プレーンは、予め決められたグリッドに沿って上向きもしくは下向きの誘導結合リンクを持つ。
- 積層ルール2: 各プレーンのロジック (プロセッサやメモリ) は、平面NoC経由で誘導結合リンクと接続する。

本論文ではCMPを想定しているが、このようなコンセプトは通常のSoCの置き換えとして広く応用できる。例えば、プロセッサ、メモリ、アナログ回路 (センサ等) を別個の汎用チップとして調達し、それらを積み木のように組み合わせることで所望のシステムを構築できる。IPコア同士を組み合わせることでマスクパターンを新規に作るSoCと異なり、出来合い

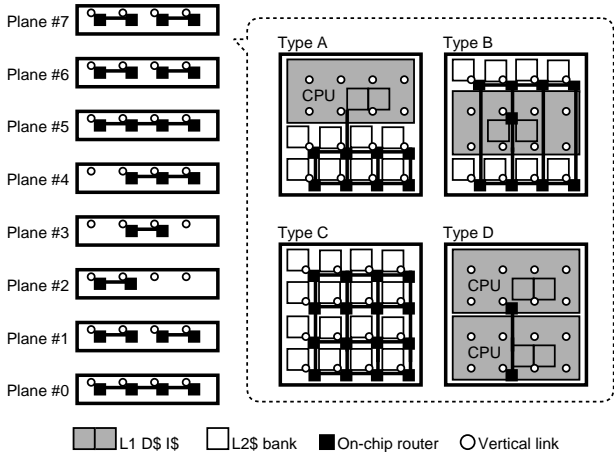


図2 対象とする3次元CMPアーキテクチャ。図中の白丸は垂直リンクを表す。

の汎用チップを組み合わせる点でコスト的に有利である。実際に、我々は誘導結合を用いた動的再構成プロセッサのチップ試作を行い、実機で動作することも確認している¹⁵⁾。

3.2 3次元NoCに求められること

非接触によるチップ積層のメリットを活かすには、任意のプレーンを積層することでパッケージ全体として1つの3次元NoCを形成できなければならない (図2)。各プレーンが持つ水平NoCの形状は様々である。例えば、2次元メッシュ状のNoCを持つプレーン、一部リンクが欠損したNoCを持つプレーン、いっさいNoCを持たないプレーンなどが考えられる。ハードウェアコストを削減するために通信量の少ない水平リンクを削除する場合、ハードマクロに邪魔されてルータ (リンク) を配置できない場合、製造時の故障によって一部の水平リンクが利用できない場合など要因は様々である。

このように形状が不明な2次元NoCを垂直に積層する場合、単一プレーン内ではデッドロックフリーを保証できても、パッケージ全体としてはデッドロックフリーを満たせない可能性がある。これはプレーン間で循環依存が生じる可能性があるためである。一度デッドロックが生じると、パッケージ内の通信が困難になるためデッドロックフリーは必須である。

デッドロックフリーを実現するには 1) パケット転送に制限を設ける方法、これに関連して 2) 仮想チャンネルを追加し、使い分けることで循環依存を断ち切る方法、3) デッドロックを検出して回復する機能を持たせる方法がある¹⁶⁾。3) のデッドロック回復はデッドロック

検出の難しさに加え、追加ハードウェア量の複雑さから NoC ではあまり利用されていない。1) と 2) のデッドロック回避に関しては、予めトポロジ全体が明らかになっていないと使用しにくい。例えば、1) であればトポロジのどの部分を禁止ターンにするか、2) であれば仮想チャネルが全体で何本必要か、また、どう使い分けるかをトポロジ全体をみながら決める必要がある。しかし、本研究が想定するような「フィールドスタックابل CMP」ではこのような前提は通用しない。

このような問題を解決するために、本研究では、垂直方向の通信に次章で説明するバブルフロー制御を用いることを提案する。

4. 垂直バブルフロー制御

まず、既存のバブルフロー制御を紹介し、これを本研究が対象とする 3 次元 CMP アーキテクチャにどのように適用するか説明する。

4.1 バブルフロー制御

バブルフロー制御^{17),18)} は、循環依存が生じるネットワークにおいて、仮想チャネルを用いずにデッドロックを断ち切ることができるフロー制御である。Virtual cut-through (VCT) 方式¹⁶⁾ の利用を想定しており、すべてのルータはパケット 2 個以上が収まるサイズのバッファを持つ。循環依存が生じるネットワークにおいて、ルータがバッファを使い切ってブロッキングが発生しない限りはデッドロックは起きない。つまり、すべてのルータにおいてバッファを使いきらないように常に 1 パケット分の空きスペース (バブル) を残しておくようフロー制御することで、デッドロックを回避できる。

具体的には 1 つの循環構造 (リング) に関するパケット転送に以下の 3 つのルールを課す。

- 転送ルール 1: 同一次元からのパケット転送の場合、転送先ルータに 1 パケット分の空きバッファがあれば前進できる。これは通常の VCT スwitching と一緒である。
- 転送ルール 2: リング外のルータおよびコアからリング内へのパケット注入は、転送先ルータの入力ポートに 2 パケット分の空きバッファがある場合のみ許可する。
- 転送ルール 3: リング内からリング外のルータおよびコアへのパケット出力の場合、転送先ルータの入力ポートに 1 パケット分の空きバッファがある場合のみ許可する。出力できない場合はリング内を直進し、リングをもう一周回ることになる。

図 3 にバブルフロー制御の例を示す。ルータ 1~4 がリング (1 次元トラス) 状に接続されている。また、ルータ 1~4 はルータ 1'~4' からも接続されている。図中の四角は 1 パケットが収まる分のバッファであり、この例では、各ルータは最大 3 パケットを格納できる

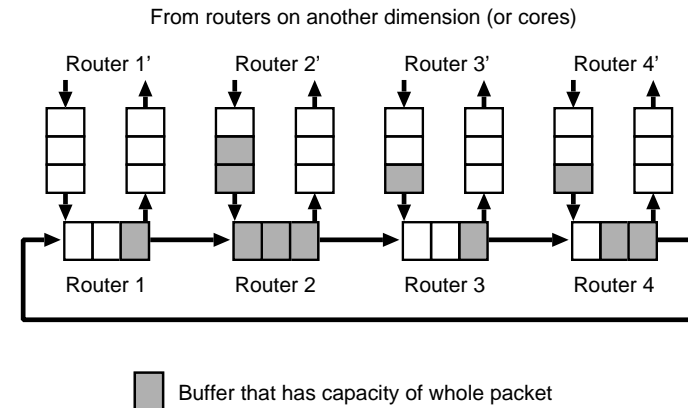


図 3 バブルフロー制御。図中の四角は 1 パケットが収まる分のバッファであり、灰色のバッファは使用中、白色のバッファは空を意味する。

だけのバッファを持っている。灰色のバッファは使用中、白色のバッファは空を意味する。例えば、ルータ 1 中のパケットはルータ 2 のバッファに空き無いため前進できないが、ルータ 2~4 中のパケットは前方のルータのバッファに 1 パケット以上の空きがあるので前進できる (転送ルール 1)。一方、リンク外からの注入の場合、転送先に 2 パケット分の空きが必要である (転送ルール 2)。そのため、ルータ 4' からルータ 4 への注入はできないが、ルータ 3' からルータ 3 への注入はできる。

転送ルール 3 にあるとおり、リングの出口に空きバッファが無い場合、リングの出口のバッファが空くのを待つのではなく、リング上を再び前進する。転送ルール 2 よりリングに注入制限が行われるため、リング上のバッファが埋まることはない。転送ルール 3 よりリング上で待ちが生じることもない。つまり、リング内のパケットはブロッキングが生じることなく、常にリング上を回転し続け、リング出口のバッファが空いていればそこから出力される。リング内からパケットが 1 個抜けると、その分、リングにパケットを 1 個注入できる。このようなミスルーティング (非最短ルーティング) によって、リング内でブロッキングが生じないため、このリング構造によるデッドロックは起きない¹⁸⁾。

このようにバブルフロー制御を用いれば、循環依存が生じる可能性があるリング内におけるデッドロックフリーを保証できる。フィールドスタックابل CMP では、製造時の段階では、どのような形状の平面 NoC が積層されるか予想できないが、バブルフロー制御はトポ

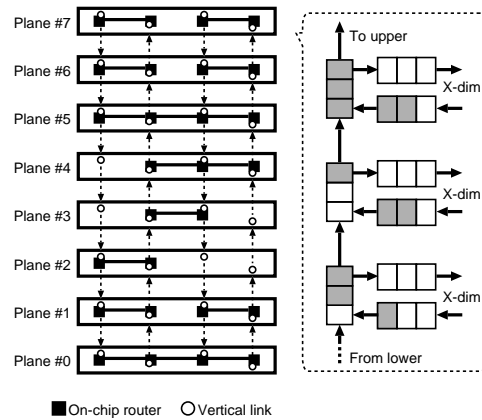


図 4 垂直バブルフロー制御．上向きリンクと下向きリンクを交互に配置する．

ロジ非依存であるため，このような状況でプレーン間のデッドロックを防ぐために有用である．

4.2 垂直バブルフロー制御

バブルフロー制御を 3 次元 CMP アーキテクチャの垂直方向の通信に適用する．図 4 に垂直バブルフロー制御の例を示す．3.1 節で示した積層ルール 1 にしたがって，各プレーンは予め決められたグリッドに沿って，上向きもしくは下向きの誘導結合リンクを持っている．この例では上向きリンクと下向きリンクを交互に配置している．

なお，ネットワーク全体への接続性を保証するため，隣り合う上向きリンクと下向きリンクの組によってプレーンの最下位層から最上位層をつなぐ単方向リングを形成する必要がある．このために以下の積層ルール 3 を追加する．

- 積層ルール 3： 最下位層と最上位層において，隣り合う上向きリンクと下向きリンク間を水平リンクでつなぐ．

図 4 に示すとおり，それぞれの垂直リンクに 2 個以上のパケットを格納できるだけのバッファを持たせ，バブルフロー制御を行う．4.1 節で示した転送ルール 1 にしたがって，前方の垂直リンクにパケット 1 個分以上の空きバッファがあればパケットを垂直方向に転送できる．転送ルール 2 にしたがって，垂直リンクにパケット 2 個分以上の空きバッファがあれば水平方向もしくはコアからパケットを注入できる．転送ルール 3 にしたがって，垂直方向から水平方向へノンブロッキングでパケットを出力できる場合のみ，水平方向へパケットを転送

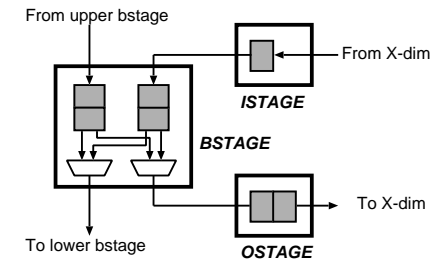


図 5 垂直バブルフロールーター．istage, bstage, ostage の 3 つのモジュールから成る．

する．これは Rotary Router¹⁸⁾ を垂直方向に拡張したネットワークと見ることもできる．

以上のルールをまとめると，垂直バブルフロー制御におけるパケットルーティングは以下の手順をふむ．

- (1) 送信元コアから隣接するリングに注入される（パケット注入の際は転送ルール 2 にしたがう）．
- (2) 単方向リングを回転しながら，宛先コアのプレーンまで移動する（パケット前進の際は転送ルール 1 にしたがう）．
- (3) 宛先コアのプレーンにおいて：
 - (a) 平面 NoC が空いていて，ノンブロッキングでリングから脱出できる場合はリングから抜ける．
 - (b) 平面 NoC が混んでいて，ノンブロッキングでリングから脱出できない場合はリングをもう一周する．ステップ (2) に戻る．
- (4) 平面 NoC を移動して宛先コアまで到達する．

4.1 節で述べたとおり，バブルフロー制御による注入制限とミスルーティングのため，このルーティングアルゴリズムはデッドロックフリーである．

4.3 垂直バブルフロールーター

図 5 に垂直バブルフロー制御を行うためのルーターアーキテクチャを示す．垂直バブルフロールーターは以下の 3 つのモジュールから構成される．

- istage： X 次元もしくはコアからの入力を受け付ける．
- ostage： X 次元もしくはコアへの出力バッファリングを行う．
- bstage： 隣接プレーンもしくは istage からパケットを受信し，反対側の隣接プレーンもしくは ostage へパケットを転送する．

istage はパケット 1 個分のバッファを持ち, ostage はパケット 2 個分のバッファを持つ. bstage はパケット 2 個分のバッファ, 2-to-1 マルチプレクサ, アービタをそれぞれ 2 組持つ. 各モジュールは以下のルールにしたがいルーティングおよびフロー制御を行う.

- 上位プレーンの bstage から下位プレーンの bstage への転送は, 転送ルール 1 にしたがう.
- istage から bstage へのパケット注入は, 転送ルール 2 にしたがう.
- パケットが宛先プレーンに到達した場合, 転送ルール 3 にしたがい bstage から ostage へ転送する. 具体的には, ostage のバッファに空きがあれば bstage から ostage へ出力し, 空きが無ければ ostage には出さずリングをもう一周させる.

5. 予備評価

本章では, 垂直バブルフロー制御の予備評価として図 5 の垂直バブルフロールータの RTL モデルを設計し, 合成後のゲート数を見積もる.

垂直バブルフロールータの各モジュールのバッファ量は, istage は 5-flit, bstage は 10-flit を 2 本, ostage は 10-flit とした. 垂直バブルフロールータあたり 35-flit 分のバッファを持つことになる. このバッファ量は, 通常の入力バッファ型ワームホールルータのバッファ量の高々 3 割である. 例えば, 入力バッファルータの物理ポート数を 6, 仮想チャンネル数を 4, 各仮想チャンネルバッファの深さを 5-flit とするとき, 入力バッファルータあたりのバッファ量は 120-flit (= 6 × 4 × 5) である. 入力バッファルータの場合, これに加えてクロスバスイッチやアービタなどの回路が必要になるため, さらにハードウェア量が増える.

上記の垂直バブルフロールータ, および, 入力バッファ型ワームホールルータを Verilog-HDL で記述し, Synopsys Design Compiler を用いて合成, 2 入力 NAND 換算でそれぞれのゲート数を求めた. ライブラリとしてコア電圧 1.10V の 45nm CMOS プロセスを用いた. 1-flit のサイズは 128-bit とした.

表 1 に, 垂直バブルフロールータおよび入力バッファ型ルータのゲート数を示す. 表より, 垂直バブルフロールータ 1 個のゲート数は 39.5 キロゲートである. 図 2 の Type A プレーンを実現するには, 4 ポートルータが 4 個, 5 ポートルータが 3 個, 6 ポートルータが 1 個必要である. これに加え, 垂直方向の通信のために垂直バブルフロールータが 8 個必要である. 入力バッファ型ワームホールルータのゲート数は合計 1087.8 キロゲートで, 垂直バブルフロールータのゲート数は 316.4 キロゲートである. つまり, 29%のハードウェア量の増加によって, 垂直バブルフロー制御が実現でき, これによって任意の平面 NoC からな

表 1 垂直バブルフロールータおよび入力バッファ型ルータのゲート数 [kilo gates]. 垂直バブルフロールータは各モジュールごとの面積を示す. 入力バッファルータは 4 ポート版, 5 ポート版, 6 ポート版のルータ全体の面積を示す.

Bubble flow router			Input buffered routers		
istage	bstage	ostage	4-port	5-port	6-port
5.5	23.8	10.3	116.7	147.6	178.4

る 3 次元 NoC において, あらかじめトポロジの情報が分からなくてもデッドロックフリーを保証できるようになる.

リング構造を持つトポロジ (トラスなど) では循環依存を断ち切るために仮想チャンネルを 2 組用いる手法が一般的である¹⁶⁾. この場合, 仮想チャンネルを 2 組持たせるとバッファ量も 2 倍になるため, ハードウェア量も 2 倍近く増えることになる. それに比べて, 本論文で提案した垂直バブルフロー制御は 29%の追加ハードウェアでデッドロックを回避できるため, 仮想チャンネルを多重化するというこれまでのアプローチと比べ, より少ないハードウェア量でデッドロックフリーを実現できると考えられる.

6. まとめと今後の課題

我々は, 誘導結合によるチップの 3 次元積層技術に着目し, アプリケーションに応じて積層するチップの枚数や種類を変更可能な CMP アーキテクチャについて検討している. このように形状が不明な 2 次元 NoC を垂直に積層する場合, 単一プレーン内ではデッドロックフリーを保証できても, パッケージ全体としてはデッドロックフリーを満たせない可能性がある. そこで, 本論文では, プレーン間の垂直通信として, バブルフロー制御をもとにした 1) パケット転送ルール, 2) プレーン積層ルール, 3) 垂直バブルフロー制御向けルーティング方法, 4) ルータアーキテクチャを提案した. 予備評価として, 提案する垂直バブルフロールータのハードウェアを設計し, 約 29%の面積オーバーヘッドで実現できることを示した. この面積オーバーヘッドは仮想チャンネルバッファを多重化してデッドロックフリーを実現するこれまでの方法に比べてリーズナブルと言える.

現在, 文献 6) で示した CMP のフルシステムシミュレータ上に垂直バブルフロー制御を実装中であり, 今後, アプリケーション性能について評価する予定である.

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社・日本ケイデンス株式会社の協力で行われた. また, 本研究は日本学術振興会特別研究員奨励費の助成を受けて行われた.

参 考 文 献

- 1) Kim, C., Burger, D. and Keckler, S.W.: An Adaptive, Non-Uniform Cache Structure for Wire-Delay Dominated On-Chip Caches, *Proceedings of the International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS'02)*, pp.211–222 (2002).
- 2) Beckmann, B.M. and Wood, D.A.: Managing Wire Delay in Large Chip-Multiprocessor Caches, *Proceedings of the International Symposium on Microarchitecture (MICRO'04)*, pp.319–330 (2004).
- 3) Dally, W.J. and Towles, B.: Route Packets, Not Wires: On-Chip Interconnection Networks, *Proceedings of the Design Automation Conference (DAC'01)*, pp.684–689 (2001).
- 4) Matsutani, H., Koibuchi, M., Wang, D. and Amano, H.: Run-Time Power Gating of On-Chip Routers Using Look-Ahead Routing, *Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC'08)*, pp.55–60 (2008).
- 5) Matsutani, H., Koibuchi, M., Wang, D. and Amano, H.: Adding Slow-Silent Virtual Channels for Low-Power On-Chip Networks, *Proceedings of the International Symposium on Networks-on-Chip (NOCS'08)*, pp.23–32 (2008).
- 6) 松谷宏紀, 鯉淵道紘, 黒田忠広, 天野英晴: 誘導結合を用いたフィールドスタックブル CMP のための 3-D NoC アーキテクチャの検討, 情報処理学会研究報告 2009-ARC-186 (2009).
- 7) Martin, M. M.K., Hill, M.D. and Wood, D.A.: Token Coherence: Decoupling Performance and Correctness, *Proceedings of the International Symposium on Computer Architecture (ISCA'03)*, pp.182–193 (2003).
- 8) Kumagai, K., Yang, C., Goto, S., Ikenaga, T., Mabuchi, Y. and Yoshida, K.: System-in-Silicon Architecture and its application to an H.264/AVC motion estimation for 1080HDTV, *Proceedings of the International Solid-State Circuits Conference (ISSCC'06)*, pp.430–431 (2006).
- 9) Black, B., Annavaram, M., Brekelbaum, N., DeVale, J., Jiang, L., Loh, G.H., McCaule, D., Morrow, P., Nelson, D.W., Pantuso, D., Reed, P., Rupley, J., Shankar, S., Shen, J.P. and Webb, C.: Die Stacking (3D) Microarchitecture, *Proceedings of the International Symposium on Microarchitecture (MICRO'06)*, pp.469–479 (2006).
- 10) Burns, J., McIlrath, L., Keast, C., Lewis, C., Loomis, A., Warner, K. and Wyatt, P.: Three-Dimensional Integrated Circuits for Low-Power High-Bandwidth Systems on a Chip, *Proceedings of the International Solid-State Circuits Conference (ISSCC'01)*, pp.268–269 (2001).
- 11) Davis, W.R., Wilson, J., Mick, S., Xu, J., Hua, H., Mineo, C., Sule, A.M., Steer, M. and Franzon, P.D.: Demystifying 3D ICs: The Pros and Cons of Going Vertical, *IEEE Design and Test of Computers*, Vol.22, No.6, pp.498–510 (2005).
- 12) Kanda, K., Antono, D.D., Ishida, K., Kawaguchi, H., Kuroda, T. and Sakurai, T.: 1.27-Gbps/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme, *Proceedings of the International Solid-State Circuits Conference (ISSCC'03)*, pp.186–187 (2003).
- 13) Miura, N., Mizoguchi, D., Inoue, M., Niitsu, K., Nakagawa, Y., Tago, M., Fukaishi, M., Sakurai, T. and Kuroda, T.: A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link, *Proceedings of the International Solid-State Circuits Conference (ISSCC'06)*, pp.424–425 (2006).
- 14) Miura, N., Ishikuro, H., Sakurai, T. and Kuroda, T.: A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping, *Proceedings of the International Solid-State Circuits Conference (ISSCC'07)*, pp.358–359 (2007).
- 15) Saito, S., Kohama, Y., Sugimori, Y., Hasegawa, Y., Matsutani, H., Sano, T., Kasuga, K., Yoshida, Y., Niitsu, K., Miura, N., Kuroda, T. and Amano, H.: MuCCRA-Cube: a 3D Dynamically Reconfigurable Processor with Inductive-Coupling Link, *Proceedings of the Field-Programmable Logic and Applications (FPL'09)*, pp.6–11 (2009).
- 16) Dally, W.J. and Towles, B.: *Principles and Practices of Interconnection Networks*, Morgan Kaufmann (2004).
- 17) Puente, V., Beivide, R., Gregorio, J.A., Pallezo, J.M., Duato, J. and Izu, C.: Adaptive Bubble Router: A Design to Improve Performance in Torus Networks, *Proceedings of the International Conference on Parallel Processing (ICPP'99)*, pp.58–67 (1999).
- 18) Abad, P., Puente, V., Prieto, P. and Gregorio, J.A.: Rotary Router: An Efficient Architecture for CMP Interconnection Networks, *Proceedings of the International Symposium on Computer Architecture (ISCA'07)*, pp.116–125 (2007).