

少品種高信頼セルを用いた高信頼回路設計手法と信頼性評価手法の提案

大賀 健 司^{†1} 姚 駿^{†1} 中田 尚^{†1}
嶋田 創^{†1} 山下 茂^{†2} 中島 康彦^{†1}

継続的な LSI 製造プロセス微細化に伴い、トランジスタの故障率や特性ばらつきは増大する傾向にある。この問題を解決するため、二線式論理で耐故障性に優れ、セル内/セル間のトランジスタ配置にも考慮した高信頼セルが提案されてきた。これまでに、この高信頼セルを用いて比較器、加算器が設計されており、レイアウトベースでの故障率を元にした信頼性、遅延時間の評価が行われてきた。しかし、これらの評価は単一のセル故障に対して行われたものであり、回路中の複数セル故障時の問題を取り扱っていない。また再収斂を含む回路に起因する問題も取り扱っていない。そのため、これらの信頼性評価手法では不完全な評価しか行えないという問題があった。そこで本論文では、再収斂を考慮に入れ、さらに回路中の複数セル故障に対応した信頼性評価手法を提案した。また回路面積を増加させることなく複数セル故障時の回路故障率を低減する論理設計手法を提案し、その有効性を評価した。提案した信頼性評価手法により、これまで不可能だった再収斂を含む一般の回路に対する評価が可能となった。また、提案した論理設計手法により回路故障率が平均で 53% 減少することを示した。

Designing a Dependability Evaluation Method for Logic Circuits Using Highly Reliable Cells

KENJI OGA,^{†1} JUN YAO,^{†1} TAKASHI NAKADA,^{†1}
HAJIME SHIMADA,^{†1} SHIGERU YAMASHITA^{†2}
and YASUHIKO NAKASHIMA^{†1}

Recently, with the continuous down-scaling of semiconductor process technologies, the failure rate and performance variations among transistors tend to increase. They will cause reliability threats for future electronic devices. To alleviate the dependability problems, standard cells named Highly Reliable Cells (HRCs) were previously proposed by using transmission gates and dual

rail logic to lower the failure rate, and balancing numbers and distances of transistors between cells to decrease performance variations. The previous research also designed functional units from HRCs and evaluated its reliability, delay, and area respectively. However, the previous evaluations were based on the assumption of up to one single fault per circuit without convergence. In this research, for a more practical environment consideration, we proposed an evaluation method, which take multiple failures and convergences into account. Moreover, a design scheme has been widely studied to effectively avoid the area increase, which is a common side effect toward high reliability. The results show that with the proposed reliability evaluation scheme, an accurate study of the general circuit dependability becomes possible. Our detailed evaluation indicated that we could reduce 53% of circuit failure without area extension.

1. 序 論

継続的な LSI 製造プロセス微細化に伴い、トランジスタの動作速度の向上は続いている。一方で、トランジスタを構成する原子数が数えられるようなレベルの微細化においては、トランジスタの故障率や特性ばらつきが増大によって回路の歩留まり率が大幅に低下することが懸念されている。

故障の問題に対する一般的な解決策として、回路を多重化し多数決回路によって故障した回路の結果を除く方法がある¹⁾。しかしながら、多重化と多数決回路の追加によって回路面積が大幅に増大する点や、故障箇所の増大によって正常な結果を出力できる回路が無くなった状態では効果がない点が問題となる。

特性ばらつきを軽減する手法として、トランジスタを規則的に配置するという手法がある²⁾。しかしながら、現在の CMOS 基本セルを用いた設計では、基本セル内部でトランジスタが不規則に配置されており、さらに種類の異なるセルを配置した時にセル間でトランジスタの配置が不規則になるため、結果として回路全体ではトランジスタを規則的に配置することは困難である。

この 2 つの問題を改善するため、二線式論理で耐故障性に優れ、セル内/セル間のトランジスタ配置にも考慮した「高信頼セル」が提案されており、これまでに高信頼セルを用いて

^{†1} 奈良先端科学技術大学院大学

Nara Institute of Science and Technology

^{†2} 立命館大学

Ritsumeikan University

比較器，加算器が設計されてきており，レイアウトベースでの故障率，遅延時間の評価が行われてきた³⁾。しかし，これらの評価は単一のセル故障に対して行われたものであり，特に信頼性評価においては回路中の複数セル故障時の問題を取り扱っていない。また再収斂を含む回路に起因する問題も取り扱っておらず，任意の論理回路を評価できない。

そこで本論文では，以上の2つの問題を考慮した上で，高信頼セルを用いて設計された任意の論理回路の信頼性を評価する手法を提案する。さらに回路面積を維持したまま複数セル故障時の回路故障率を低減する手法を提案し，評価する。

2. 高信頼セルの特徴

本節では高信頼セルの特徴について説明する。これまでに提案されてきた高信頼セル³⁾の特徴は以下の通りである。

- 伝送ゲートを基本単位とする
- 1つのセルで正論理と負論理を同時に出力する
- 少品種で複数論理に対応する
- 耐故障性を持つ
 - － ある一定数以下の故障に対して自己訂正可能
 - － 一定数よりも多い故障に対しては故障検出可能
- 規則的なレイアウトを持つ

次節より，セルの構成/動作の説明を通じて，個々の特徴を説明する。

2.1 高信頼セルの構成

高信頼セルは，図1に示すようにCMOS伝送ゲートを基本単位とした4入力2出力の二線式回路である。ここではXAはAの否定を，XBはBの否定を表している。図1の上部に示すB/XBにより伝送ゲートのON/OFFを制御し，入力A/XAの値を出力に伝搬するか否かを決定している。この回路はEOR/XEORを出力するものであり以後は**LEOR**と表記する。さらに図2に示す回路はAND/NANDもしくはOR/NORを出力し，**LNORAND**と表記する。図はAND/NANDを出力する場合の入力であるが，AとXA，BとXBをそれぞれ入れ替えることでOR/NORを出力可能である。なお，セル中の左側の2つのインバータは値出力のためのドライバを兼ねたウィークキーパーの役割を果たしている。

高信頼セルでは少なくとも2つのトランジスタのON，OFFによって出力を制御するため，信頼性が向上する。さらに，二線式論理を採用することにより，伝送ゲートの両方が故障した場合に出力が同相値となり，故障検出可能である。これを次節で詳しく説明する。

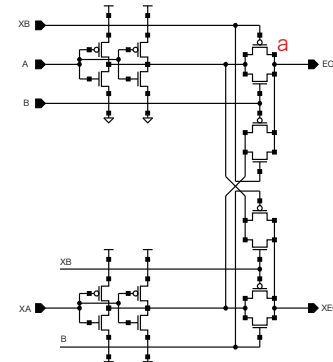


図1 LEORの回路図

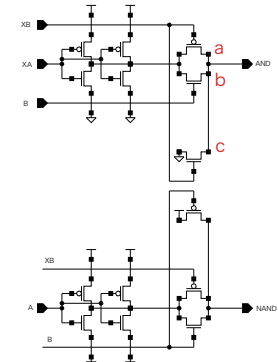


図2 LNORANDの回路図

2.2 セル内部トランジスタ故障時の動作

本節ではセル内のトランジスタ故障に対して高信頼セルが持つ信頼性について説明する。ここでは高信頼セル内で故障が発生している状態を，セル内の任意の1本の配線が断線するオープン故障と，pMOSあるいはnMOS内でのオープン故障，特にソース・ドレイン間のオープン故障を仮定する³⁾。

2.2.1 故障を訂正可能な例

図1中のaに示すLEORのpMOS部分が故障した場合を考える。入力が(A, XA, B, XB) = (0, 1, 1, 0)の場合，出力EORに接続される4つのトランジスタのうち上2つは導通するが下2つは導通しない。aに示すpMOSが故障しているため，nMOSのみ導通し，EORには結果として弱い1(出力の電位は $V_{dd} - V_{th}$)が出力されるが，論理上は1として認識されることが確認されている³⁾。このように伝送ゲートの片方が故障した場合でも正しい値が出力され，トランジスタの単体故障はセル全体の出力に影響なく，自己訂正可能と言える。以後，出力が正しい値を示す場合を「**正常値**」を出力するといひ，常に正常値を出力するセルを「**正常セル**」と呼ぶ。

2.2.2 故障を訂正不可能な例

前節に示すように，伝送ゲートの片方が故障した場合は故障訂正可能である。しかし図1の上部nMOSも故障した場合，すなわち伝送ゲートを構成するトランジスタの両方が故障した場合は，出力は直前の出力に依存する。すなわち直前の入力が(A, XA, B, XB) = (1, 0, 0, 1)で出力が(EOR, XEOR) = (1, 0)であり，次の入力が(A, XA, B, XB) = (0, 1, 1,

0)であった場合には出力が (EOR, XEOR) = (1, 0) となり結果として正しい値を出力可能である。しかし、直前の入力 (A, XA, B, XB) = (0, 1, 0, 1) で出力が (EOR, XEOR) = (0, 1) であり、次の入力 (A, XA, B, XB) = (0, 1, 1, 0) であった場合には出力が (EOR, XEOR) = (0, 0) となり、出力が同相値となることが分かる。高信頼セルではこの同相値を故障信号として取り扱う。以後この故障によって生じた同相値を「異常値」とし、異常値を出力するセルを「故障セル」と呼ぶ。異常値を次段以降に正しく伝搬できれば、故障箇所の増大によりセル内自己訂正が不可能であった場合にでも、故障検出可能である。

3. 故障情報伝搬機能

本節では、故障情報すなわち異常値が入力された高信頼セルの動作について説明する。3.1節で正常セルに異常値が入力された場合の動作を示し、3.2節で故障セルに異常値が入力された場合の動作を示す。3.3節で LEOR, LNORAND の故障情報伝搬機能についてまとめる。

3.1 異常値入力に対する正常セルの動作検証

本節では正常に動作する LEOR, LNORAND のそれぞれについて異常値が入力された場合の動作を真理値表を用いて説明する。ある故障セルに接続された正常セルが故障情報すなわち異常値を正しく伝搬できるかどうかをそれぞれのセルについて示す。

はじめに、表 1 に正常に動作する LEOR に異常値を含む入力が入力されたときの真理値表を示す。ここで表 1 の結果における「異」は「異常値」を出力することを表す。このように正常な LEOR では全パターンの異常値入力に対し、異常値を出力することで故障情報を損なうことなく次段へ伝搬可能である。

次に、表 2 に正常に動作する LNORAND に異常値を含む入力が入力されたときの真理値表を示す。表中の「訂」とは異常値入力に対して論理を訂正した正常値を出力する、すなわち自己訂正可能であることを表している。また「反」とは異常値入力に対して結果が反転している可能性がある逆相信号を出力することを示している。両入力に異常値の場合は元の論理が不明であるため結果が正しいと保証できない。以後、逆相信号にも関わらず結果が正しいと保証できない場合に「反転値」を出力するという。このように LEOR では全ての出力が異常値であったが、LNORAND では異常値の他に訂正された「訂正值」と一見正常値に見えるが論理的には間違っている「反転値」が含まれる。LNORAND は多くの異常値入力に対して出力を訂正する機能、あるいは異常値を伝搬する機能がある一方で、特定の異常値入力に対して故障情報を消滅させてしまう可能性があり、信頼性を低下させる原因となる。

表 1 LEOR の真理値表

A	0	0	0	0	0	0	1	1	1	1	1	1
XA	0	0	0	0	1	1	0	0	1	1	1	1
B	0	0	1	1	0	1	0	1	0	0	1	1
XB	0	1	0	1	0	1	0	1	0	1	0	1
EOR	0	0	0	0	1	0	1	0	1	1	1	1
XEOR	0	0	0	0	1	0	1	0	1	1	1	1
結果	異	異	異	異	異	異	異	異	異	異	異	異

表 2 LNORAND の真理値表 (AND/NAND の場合)

A	0	0	0	0	0	0	1	1	1	1	1	1
XA	0	0	0	0	1	1	0	0	1	1	1	1
B	0	0	1	1	0	1	0	1	0	0	1	1
XB	0	1	0	1	0	1	0	1	0	1	0	1
AND	1	0	1	0	0	0	1	0	0	0	0	0
NAND	1	1	1	1	1	1	1	0	1	1	0	0
結果	異	訂	異	反	訂	訂	異	異	反	訂	異	異

3.2 異常値入力に対する故障セルの動作検証

本節では故障した LEOR, LNORAND に異常値が入力された場合の動作を説明する。はじめに故障した LEOR へ異常値が入力された場合の動作を説明する。図 1 中の a に示す LEOR の pMOS 部分が故障した場合を考える。異常値が入力された場合、例えば入力 (A, XA, B, XB) = (0, 0, 1, 0) の場合には、出力が (EOR, XEOR) = (1, 1) となり異常値を伝搬可能である。しかし、入力 (A, XA, B, XB) = (0, 1, 0, 0) の場合には、出力が (EOR, XEOR) = (1, 0) となり、異常値が伝搬できていない。本来の入力が (B, XB) = (1, 0) の場合、この出力は訂正值であるが、本来の入力が (B, XB) = (0, 1) の場合は結果として反転値である。このように異常値からは本来の値が不明であるので、故障した LEOR に異常値が入力された場合、出力が逆相信号であっても結果として反転値を含むことが分かる。

次に故障した LNORAND へ異常値が入力された場合の動作を説明する。LNORAND は LEOR と違い、非対称部分を多く持つため、各部の故障に関して詳しく説明する。

まず図 2 中の a で示す pMOS が故障した場合を考える。この故障が影響するのは XB=0 の時である。この条件で異常値が入力された場合、例えば入力 (A, XA, B, XB) = (0, 0, 1, 0) の出力が反転値となり、異常値伝搬不可能である。

次に図 2 中の b で示す nMOS が故障した場合を考える。この故障が影響するのは B=1 の時である。この条件で異常値が入力された場合、例えば入力 (A, XA, B, XB) = (1, 0,

表 3 LEOR, LNORAND の故障情報伝搬機能

故障状況	入力	出力	
		LEOR	LNORAND
正常セル	異常値, 異常値	異常値	反転値
	異常値, 正常値	異常値	異常値
	正常値, 正常値	正常値	正常値
故障セル	異常値, 異常値	反転値	反転値
	異常値, 正常値	反転値	反転値
	正常値, 正常値	異常値	異常値

1, 1) あるいは $(A, XA, B, XB) = (0, 0, 1, 0)$ の場合に出力が反転値となり, 異常値伝搬不可能である。

最後に図 2 中の c で示す nMOS が故障した場合を考える。この部分は伝送ゲートになっておらず, V_{gnd} との接続・未接続を制御する部分である。この故障が影響するのは $XB=1$ の時である。この条件で異常値が入力された場合, 例えば入力が $(A, XA, B, XB) = (1, 1, 0, 1)$ の場合は故障前は自己訂正による正常値を出力していたが, 故障により異常値を出力するようになるので故障情報伝搬可能である。一方で入力が $(A, XA, B, XB) = (1, 0, 1, 1)$ の場合は故障がなければ異常値を伝搬していたにも関わらず故障により反転値を出力し, 異常値伝搬不可能となる。

なお, インバータ部分の故障は, 正常セルに異常値が入力された場合と同じ扱いとした。

3.3 故障情報伝搬機能のまとめ

前節までに説明した故障情報伝搬機能について表 3 にまとめる。なお, 図 2 中の c が故障した時のように, 出力が (異常値) あるいは (反転値) となる場合は出力を (反転値) とし, 信頼性の低い方を代表して採用した。

表 3 より, LNORAND への入力が両方とも異常値であった場合と, 故障セルへの入力が 1 つでも異常値であった場合に異常値が伝搬できない, すなわち信頼性低下を招くことが分かる。これまでは高信頼セルの回路設計に関して 1 箇所故障のみ扱われてきた³⁾。そのため故障セルへの入力が異常値の場合が考慮されていなかったが, 本論文では回路中の複数セル故障も対象とするため, 表 3 の結果を用いて 4 節で高信頼セルの特徴を生かした論理設計手法を提案し, 5 節で論理回路全体の信頼性評価手法を提案する。

4. 高信頼セルの特徴を生かした論理設計手法の提案

本節では, 高信頼セルの特徴を生かした論理設計について説明する。回路中で故障が発生

した場合, 故障検出可能であるのは, 最終段まで正しく異常値が伝搬する回路構成の場合である。しかし, 3 節で述べたように故障を正しく伝搬できない条件が存在する。そこでまず回路中の 1 つのセルが故障した場合に発生する信頼性の問題について述べ, 次に任意の 2 つのセルが故障した場合に発生する信頼性の問題について述べる。また, それぞれの場合について, 再収斂に起因する問題についても扱う。最後に, 本節で提起した問題を緩和する論理設計手法について述べる。

4.1 セル故障が回路の信頼性に影響する条件

回路中で故障が発生した場合でも, 1 つ以上の出力ピンに異常値が伝搬できれば検出可能である。そこで本節ではまず故障発生時に正しく異常値が伝搬する場合と, そうでない場合の例を簡単な全加算器を用いて説明する。なお, 本来高信頼セルは二線式論理であるが, 本論文では簡略化のため単線式論理の回路図を用いた。すなわち回路図中に AND, OR で表現されるゲートは実際には高信頼セルの LNORAND で実現し, EOR は LEOR で実現するものとする。

AND, OR, EOR で構成された全加算器を例とし, 回路中の 2 箇所のセルが故障した場合を図 3 に示す。この例では EOR で発生した故障により異常値が出力 S_n に出現し, また OR への入力が (正常値, 異常値) となるので C_n には異常値が出現し, 故障検出可能である。このように 2 箇所の故障で発生した異常値が互いに独立した出力ピンへ伝搬する場合は, 故障検出可能である。

しかし, 図 4 に示す例は故障検出不可能である。この例のように, 故障箇所がデータパス上で連続している場合, すなわち故障セル同士が直列に接続されていた場合に故障セルへ異常値が入力され, 表 3 より LEOR/LNORAND に関わらず, 故障セルへの入力が異常値ならば, 反転値を出力する。これによって異常値が消滅し, 故障情報が出力ピンに反映されず故障検出不可能である。

また, 再収斂を含む回路の場合, 故障箇所によっては故障情報が隠蔽され検出できない可能性がある。この例を図 5 に示す。この回路は図 3 と同様の論理を出力する全加算器であるが, 再収斂を含む設計となっている。図 5 中の故障箇所は 1 箇所であるが, 再収斂を含むために最終段の AND, OR への入力がともに (異常値, 異常値) となる。AND, OR はともに LNORAND で実現しているため, 両方の入力が異常値である場合は反転値を出力する。その結果, 出力 S_n, C_n には反転値が出現し, 故障検出不可能である。このように再収斂した箇所が OR, AND のように LNORAND で実現される論理の場合, 反転値を出力するため信頼性低下を招く原因となることが分かる。

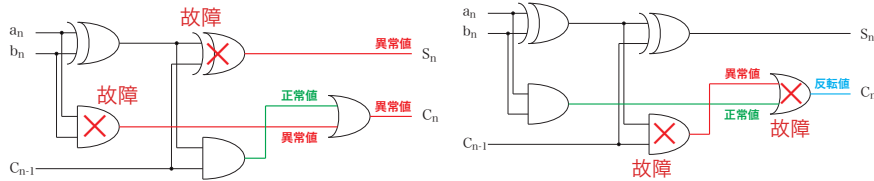


図3 異常値を検出可能な例

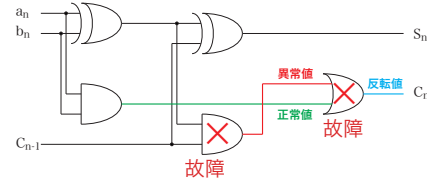


図4 異常値を検出不可能な例 (1)

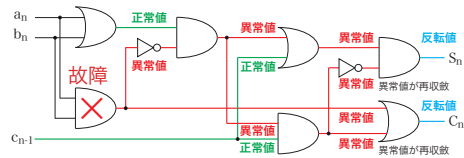


図5 異常値を検出不可能な例 (2)

4.2 面積効率を維持する高信頼設計手法

前節で述べた信頼性低下の原因をまとめると以下のようになる。

問題 1 複数セルに故障があり、それらが直列に接続されている。

問題 2 複数セルに故障がある、あるいは再収斂により、LNORAND への入力とともに異常値となる。

上記の問題を改善できれば信頼性が向上する。複数セルに故障がある場合に問題 1 は回避不可能である。これは回路構成に依存する問題ではなく、3 節で述べた高信頼セル自体に起因する問題だからである。

そこで問題 2 の解決方法について考える。この問題は LNORAND への入力 (異常値、異常値) となることに起因するので、1 つの解決策として LNORAND の入力を監視する回路を付加する方法が挙げられる。LEOR は正常に動作する場合 1 つでも異常値が入力されると異常値を出力する。そこで、全ての LNORAND に対して LEOR を並列に付加し、異常値を伝搬させれば故障検出可能となる。しかしこの方法には次の 2 つの問題がある。

- (1) 検査用回路付加による面積効率の低下
- (2) 回路素子数増大による故障パターン数の増大

(1) で問題する付加回路の規模は、回路中の全ての LNORAND を検査対象とするため、検査に必要な LEOR の数を N_{check} とし、回路中の LNORAND の数を $N_{LNORAND}$ とすると

$$N_{check} = N_{LNORAND} - 1 \quad (1)$$

となる。回路が AND, NAND, OR, NOR で構成される場合、これらは全て LNORAND で実現しているため付加回路を含めると回路規模が増加する。検査が必要な LNORAND が少ない場合、例えば図 4 のように全加算器 1 つにつき検査が必要な LNORAND が 1 つの場合でも、32bit 順次桁上げ加算器を構成する場合、論理回路部分のセル数 160 セルに対して検査回路部分には 31 セル必要となり回路規模が 19.4% 増加する。

また (2) に示したように、回路規模増大により信頼性が低下する可能性もある。1 つの高信頼セルが故障する確率が全て等しいとすると、セル数増大とともに回路全体に故障セルが含まれる確率が増大する。さらに付加回路も含めて直列に接続されたセル数が増大し、問題 1 の形で故障が発生する確率が増大する。結果として、検査回路付加による信頼性向上効果が低下すると考えられる。

そこで使用セル数を維持したまま信頼性を向上させる手法、すなわち検査回路を付加することなく信頼性を向上させる手法を提案する。提案手法の基本アイデアは、問題 2 を引き起こす LNORAND を可能な限り LEOR に置き換えるというものである。

まず、回路中の LNORAND の入力を取り得るパターンに着目する。例えば回路中のある OR への入力 (1, 1) を取らないことが保証されている場合、これは EOR で置き換え可能である。すなわち LNORAND を LEOR に置き換え可能である。例えば、図 5 中の C_n を出力する OR への入力は (1, 1) とならないため、論理上 EOR で置き換え可能であり、提案手法を適用可能である。図 5 に示した箇所の故障に対して、提案手法適用前は出力 C_n に反転値が出現し故障情報を検出不可能であったが、提案手法適用後は C_n に異常値が出現し、故障情報を検出可能となり信頼性が向上する。このように OR が論理上 EOR に置き換え可能の場合は問題 2 が解決可能である。

同様の手法を他の論理ゲートにも適用するには、表 4 より各論理を EOR/XEOR に置き換え可能である入力パターンを考えればよい。表 4 中の 1^* あるいは 0^* の部分がドントケアであればそれぞれ EOR/XEOR で置き換え可能である。なお、高信頼セルでは二線式論理を採用しているため XEOR への置き換えに否定論理を挿入する必要はない。表 4 に示される条件を考慮し、面積効率を維持する高信頼化設計手法を以下のように提案する。

面積効率を維持する高信頼設計手法の提案

- 入力が (0, 0) とならない AND/NAND を XEOR/EOR で置き換える
- 入力が (1, 1) とならない OR/NOR を EOR/XEOR で置き換える

ここで AND, NAND, OR あるいは NOR は LNORAND で実現され、また EOR/XEOR は LEOR で実装されていることに注目すると、この手法は LNORAND で実現される各論

表 4 提案手法が適用可能な入力

入力	AND	NAND	OR	NOR	EOR	XEOR
00	0*	1*	0	1	0	1
01	0	1	1	0	1	0
10	0	1	1	0	1	0
11	1	0	1*	0*	0	1

理の入力が表 4 に示す条件を満たしたとき、LNORAND を LEOR で置き換えることに相当する。すなわち、提案手法を用いることで回路を構成するのに必要なセル数を増加させることなく、信頼性を向上することが可能である。5 節で高信頼セルを用いた回路の信頼性評価手法を提案し、6 節で本節で提案した高信頼設計手法の有効性を示す。

5. 信頼性評価手法の提案

本節では高信頼セルの特徴を用いて、高信頼セルで構成された回路の信頼性評価手法を提案する。これまで、高信頼セルで構成された回路の信頼性評価が様々な観点から行われてきた^{3),4)}。しかし、再収斂を含まない回路中のセル単体が故障した場合に限った評価か、または再収斂を考慮に入れるものの、4.2 節で挙げた問題 2 を考慮しない構成を持つ回路を取り扱っており、汎用的な回路の信頼性を正確に評価不可能であるという問題があった。そこで本節では、再収斂を考慮に入れ、さらに回路中の複数箇所故障に対応した信頼性評価手法を提案する。

5.1 従来の信頼性評価手法

これまでに行われてきた高信頼セルの評価は以下の通りである。

- トランジスタレベルでの故障に対する高信頼セル単体の信頼性評価³⁾
- 比較器などの再収斂を含まない回路における単一セル故障時の信頼性評価³⁾
- 高信頼セルが正常値を出力する確率を元にした大規模回路の信頼性評価⁴⁾

以上に示した信頼性評価手法が取り扱えない問題を解決した新しい信頼性評価手法を次節で提案する。

5.2 高信頼セルで構成された回路の信頼性評価手法

高信頼セルで構成された回路の信頼性を評価するにあたり、これまでの信頼性評価手法に不足する要素を考慮し、新しい回路の信頼性評価手法を提案する。

提案する信頼性評価手法の特徴

- 複数セルの故障に対応する

- 再収斂に起因する問題に対応する
- 二線式論理を扱う
- 正常値、異常値および反転値を扱う
- 故障発生時の異常値検出可能性を判断する

提案手法では複数セル故障あるいは再収斂に起因する問題に対処するために、従来扱われてこなかった反転値を考慮する必要がある。これに伴い、信頼性評価の際には故障情報の隠蔽も考慮しなければならない。反転値を考慮に入れない場合、出力ピンに出現する値は正常値あるいは異常値のみであるので、故障の有無は出力ピンの信号が同相値か逆相値かで判断可能であった。しかし反転値を考慮に入れることで出力ピンに出現する逆相値は正常値あるいは反転値となり、出力検査だけでは故障の有無が判定できない。そこで正常値、異常値、反転値を区別して取り扱う必要がある。

また反転値を扱うことで信頼性評価指標にも注意が必要となる。3 節で述べたように、複数セル故障あるいは再収斂を考慮し、表 3 の伝搬規則に従う場合、回路が正常値のみを出力することは不可能である。また二重化による比較選択も反転値を考慮すると正しい結果を得ることは不可能である。そこで回路故障を次のとおり定義する。

回路故障 回路中のセル故障時に故障情報が正しく伝搬せず、故障検出不可能な故障
 これに伴い、信頼性評価指標を次の通り変更する。

従来手法 複数故障あるいは再収斂を考慮しないため、回路の動作率で評価

提案手法 複数故障あるいは再収斂を考慮するため、回路の故障率で評価

具体的には、回路中に故障セルが複数あるか再収斂があると仮定し、出力ピンに異常値が伝搬可能であるかを判断する。0/1 の論理情報からこれを判断するには、まず故障セルを含まない回路における出力を期待値とした上で故障したセルを持つ回路の出力と比較する必要がある。しかし、回路の入力ピンのビット数を N_{inputs} とすると入力のパターンは $2^{N_{inputs}}$ となり、さらに回路中の全セル数を N_{cells} とし、故障セル数を $N_{error-cells}$ とすると故障パターンは $N_{cells} C_{N_{error-cells}}$ となり、全ての故障パターンを評価するのに必要な計算回数を $N_{combination}$ とすると

$$N_{combination} = 2^{N_{inputs}} \times N_{cells} C_{N_{error-cells}} \quad (2)$$

となり計算量が膨大となり現実的ではない。そこで提案手法では 0/1 の論理情報を扱わずに正常値、異常値、反転値を扱い、表 3 の伝搬規則に従って、異常値が正しく出力ピンまで伝搬するかを評価する。回路中に故障がある場合、1 つ以上の出力ピンに異常値が伝搬可能であれば、故障検出可能であるが、3 節で指摘したとおり、異常値が正しく伝搬できない故

障パターンが存在する。そこで信頼性評価にあたり、 $N_{error-cells} = i$ とおいた場合の故障パターン数を $N_{errors}(i)$ とし、次の通り定義する。

$N_{errors}(i)$ = セルの全故障パターンのうち異常値が検出不可能な故障パターンの総数

この故障パターン数を求めるアルゴリズムの流れは次の通りである。

- (1) 回路中の全セル N_{cells} 個中から i 個の故障セルを選択する。
- (2) 入力ピンに正常値を入力する。
- (3) 各セルは表 3 に示す伝搬規則に従って正常値/異常値/反転値を伝搬する。
- (4) 出力ピンの 1 つでも異常値が伝搬しているか調べる。
伝搬していなければ回路故障とし、故障パターン数 $N_{errors}(i)$ をインクリメントする。
- (5) 以上の操作を選択する故障セルを変えて $N_{cells} C_i$ 通り繰り返す。

以上で求めた故障パターン数を用いて、最終的に故障検出不可能な回路故障率 P_{errors} を求める。各高信頼セルの故障率を p とし、故障箇所が i の場合の故障率を $p_{error}(i)$ とすると、 P_{errors} は次の通りに導かれる。

任意の i 個のセルが故障する確率は

$$N_{cells} C_i \cdot p^i \cdot (1-p)^{N_{cells}-i} \quad (3)$$

であり、故障時に故障が検出できない割合は

$$N_{errors}(i) / N_{cells} C_i \quad (4)$$

となる。以上の積をとって、回路中のセル i 箇所故障時の故障率は

$$p_{error}(i) = N_{errors}(i) \cdot p^i \cdot (1-p)^{N_{cells}-i} \quad (5)$$

となる。さらに故障箇所の最大値は N_{cells} であるので

$$P_{errors} = \sum_{k=1}^{N_{cells}} p_{error}(k) \quad (6)$$

となる。

本節で提案する信頼性評価手法は以上である。まとめとして、従来の信頼性評価手法と提

表 5 従来手法と提案手法の信頼性評価の比較

	文献 3)	文献 4)	提案手法
複数セル故障	不可能	可能	可能
再取数回路	不可能	小規模回路のみ可能	可能
扱う論理	二線式	単線式・二線式	二線式
評価指標	比較選択器に基づく 訂正後の動作率	セル故障率に基づく 動作率	故障伝搬率に基づく 故障率

案した信頼性評価手法の特徴比較したものを表 5 に示す。次節では提案した信頼性手法を用いて様々な回路を評価した結果を示す。

6. 信頼性評価

本節では、4 節で示した面積効率を維持する高信頼化設計手法による回路の信頼性向上の度合いを、5 節で提案した評価手法を用いて評価した結果を示す。

提案手法の評価は、いくつかのベンチマーク回路に対して提案手法による回路変更を行った時の、回路変更前後の回路故障率の変化を評価するという形で行った。ベンチマーク回路は、全加算器、比較器、および、Logic Synthesis and Optimization Benchmarks Ver. 3.0⁵⁾ のうちの一部の回路とした。なお、高信頼セルの故障率は ($p = 1.0 \times 10^{-9}$) とした。

提案手法による回路変更は、シノプシス社の Design Compiler 2007.03 - SP4 で論理合成したネットリストに対して、提案手法に基づいた置換候補のゲートの評価/置換を行うプログラムを作成して行った。このプログラムは、回路の変更と行う同時に、変更前/変更後の回路に対しての信頼性評価も行う。信頼性評価は、回路内の論理セルに対して任意の数をセル故障が発生した時の全故障パターンを評価し、出力値の状態を確認する形で行った。評価に用いた全ベンチマーク回路の回路規模と、4 節で提案した手法により置換可能な LNORAND の数を表 6 に示す。

提案手法適用前後の回路故障率の変化を図 6 に示す。図 6 より、評価に用いたベンチマーク回路は故障率が大きいグループと小さいグループに分類されることが分かる。故障率が小さいグループは、1 箇所故障時に全故障パターンにおいて故障検出可能な回路である。提案手法の適用により、適用前では故障率が大きかったもののうち、いくつかのベンチマーク回路故障率が、故障率が小さなグループと同等の故障率まで減少していることが分かる。

表 6 ベンチマーク回路の回路規模

回路名	ゲート数	置換数	回路名	ゲート数	置換数	回路名	ゲート数	置換数
4bit-adder	17	0	5xp1	93	16	9sym	30	5
alu4	832	92	apex4	1565	0	bcd	57	18
bw	137	34	clip	90	12	cmp	7	0
con1	17	4	duke2	303	95	FA	5	1
misex1	48	12	misex2	84	6	misex3	685	128
misex3c	482	77	mux	9	3	mux8	84	28
odd	3	0	rd53	12	2	rd73	20	4
rd84	26	4	sao2	131	21	vg2	76	5
xor5	4	0						

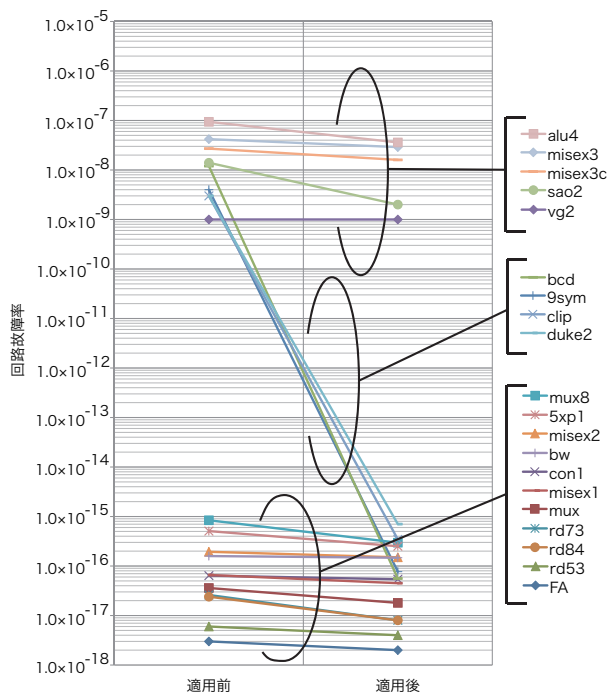


図6 提案手法適用前後の回路故障率の変化

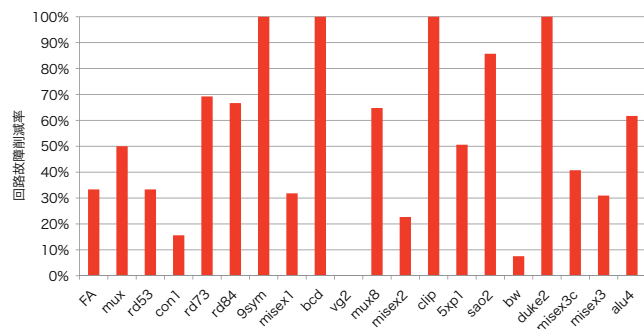


図7 提案手法による回路故障削減率

具体的にはベンチマーク回路名が bcd, duke2, clip, 9sym の回路であるが、これらは提案手法により、1箇所故障時に異常値伝搬不可能な故障パターンを全て除去可能であった回路である。

bcd, duke2, clip, 9sym 以外のベンチマークでも回路故障率は減少しているが、図6では分かりづらいため、回路故障削減率という形で表した結果を図7に示す。図7より、vg2以外のベンチマークで回路故障の削減に成功していることが分かる。全ベンチマーク回路の回路故障率は提案手法適用前と比較して提案手法適用後では平均で53%減少していることが分かった。

7. 結 論

本論文では、再収斂を考慮に入れ、さらに回路中の複数箇所故障に対応した信頼性評価手法を提案した。また回路面積を増加させることなく複数セル故障時の回路故障率を低減する論理設計手法を提案した。提案した信頼性評価手法により、これまで不可能だった一般の再収斂を含む回路に対する評価が可能となることを示した。また提案した論理設計手法により回路規模を変更することなく回路故障率を平均53%削減可能であることを示した。

謝 辞

本研究の一部は科学研究費補助金(基盤研究(B)課題番号19300012)による。また本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、ローム(株)および凸版印刷(株)の協力で行われたものである。

参 考 文 献

- 1) J Von Neumann: "Probabilistic Logics and the Synthesis of Reliable Organisms from Unreliable Components," *Princeton Univ. Press*, pp. 43-98, 1956.
- 2) Hirokazu Muta and Hidetoshi Onodera: "Manufacturability-Aware Design of Standard Cells," *IEICE Trans. on Electronics*, Vol. 90, No. 12, pp. 2682-2690, 2007.
- 3) Kazunori Suzuki et al.: "A Functional Unit with Small Variety of Highly Reliable Cells and its Evaluation of Fault tolerance and Delay Time," *SWoPP2008*, 2008-ARC-179, pp. 181-186, 2008.
- 4) 堀田敬一: "入力値を考慮に入れた回路の信頼性評価手法," 修士論文, 奈良先端科学技術大学院大学情報科学研究科, 2009.
- 5) R. Lisanke: "Logic synthesis and optimization benchmarks user guide Version 3.0," *Technical report*, Microelectronics Center of North Carolina, 1991.