

解説

主記憶装置†



加藤 隆二**

1. まえがき

情報処理技術の発展に伴い、その取扱う情報量の増加は必然的により大容量かつ高性能の主記憶装置を必要とし、エレクトロニクスの急速な発達と相まって主記憶装置は飛躍的進歩を遂げてきた。この間、記憶素子も当初の磁気ディスクから磁気コア、更に半導体記憶素子と変遷を重ね、チップ当りのメモリ容量も現在は 64 キロビットにまで増加してきている。

ここでは、コンピュータの主記憶装置について、こうしたメモリ素子、記憶容量、制御技術などの変遷と今後の展望について述べる。

2. 主記憶装置の変遷

コンピュータの黎明期、すなわちストアプログラム方式の考案された 1940 年代は真空管回路、超音波遅延線などが用いられたが、その後磁気ドラムが使用されるようになった。我が国でコンピュータの商用機が発表されるようになった 1950 年代には、主記憶回路には磁気ドラムが使用された例が多い。

磁気ドラムは非鉄金属の表面に磁性材料 (Ni-Co 合金メッキ等) を塗布し、これを高速度で回転させ磁気ヘッドにより読出させるもので、アクセス時間は 30ms ~ 2ms 程度であった。

1960 年代に入って主記憶技術の主流となったのは磁気コアメモリである。これは、従来のレコード単位に読出すシリアルメモリと異なりランダムアクセスが可能となるので、アクセス時間が飛躍的に向上した。

記憶素子は外径 2~0.5mm のフェライトを材料とするドーナツ型のコアである。フェライトは $M \cdot Fe_2O_4$ の化学式を持ち、M は 2 価の金属を表わすが、スイッチング用としては Mn-Mg 系が使用されている。

これを図-1 のように導線貫通させ、パルス電流を流すと、残留磁気方向により二次導線に $d\phi/dt$ に比例した電圧 v が誘起される。

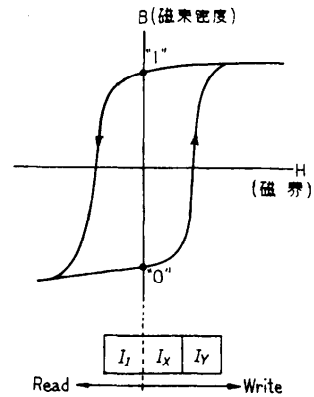
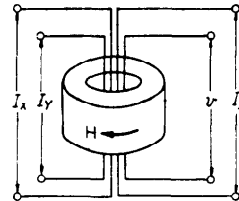


図-1 磁気コア

アドレスの選択には、電流一致方式が広く用いられていた。これはコアをマトリクス状に並べ、X 方向と Y 方向の各 1 本にそれぞれ駆動電流の 1/2 を流し (図-2 の I_x, I_y) 一致した点のコア (プレーン当り 1 個) のみの磁束を反転させることにより選ばれたアドレスの記憶情報をセンス線を通して得る (図-2)。

コアメモリは破壊読出方式が普通であり、図-1 の B-H 曲線により書き込む場合には右方向に電流を流して “1” の状態を作り、読取の際には左方向に電流を流して誘起電圧を検出する。“0” を書き込む場合には、第 3 の駆動線であるインヒビット線に I_x, I_y と逆方向の半選択電流 I_i を流すことにより磁束の反転を “阻止” する。

このため 1 個のコアに X 線、Y 線、インヒビット線、センス線の 4 本を貫通し、配線する。

図-3 はコアメモリプレーン (4 K ビット) および同容量の MOS IC チップを対比したものである。

† Main Memory by Ryuji KATO (Computer Engineering Division, Nippon Electric Co., Ltd.).

** 日本電気(株)コンピュータ技術本部

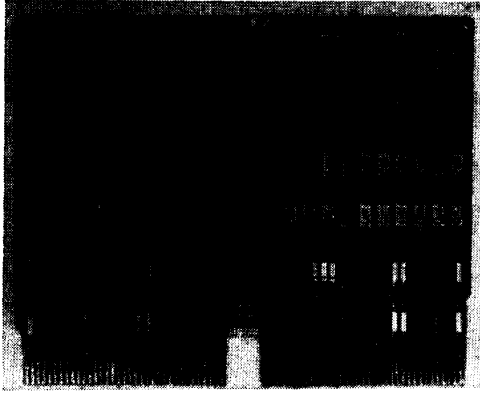


図-4 メモリカード (128 キロバイト)

固めている状況にある。これまでに市販、あるいは発表された主たるダイナミック MOS RAM の諸元を表-1に示す。

こうした集積度の増大に並行して、性能の改善、機能の改良などが進み、以下に述べるように、メモリの使い易さの点でも大きく進歩している。

(1) 性能；集積度の増大によりビット当りの消費電力が減少しているにもかかわらず、性能は向上している。

これは、新しく開発された素子を集積度の小さい古い型の素子に置換えて使用しようとするためには、新しい素子が古い型の素子と同等以上の性能を持つ必要があるためである。

スイッチング回路の良さを表わす尺度として、従来から速度と消費電力の積、すなわちスイッチングエネルギーが用いられて来たが、メモリ回路についてもこれと同様に情報を取出すまでの必要なエネルギーをメモリの良さを表わす尺度として考えることが出来る。

ここではこれを想起エネルギー (E_a) と呼ぶ。

$$E_{(a)} = P_a \times T_a / \text{bit}$$

P_a ；動作時平均消費電力

T_a ；アクセス時間

各メモリ素子につき想起エネルギーを求めた結果を図-5に示す。これからほぼ1年に1/2の割合で減少していることがわかる。

これは、一つには微細加工技術の発達などの製造技術面の進歩が主たる要因となっているが、電源電圧の低下 (16V→5V) やメモセル当りの素子数の減少 (3素子→1素子) の効果も大きい。

想起エネルギーの改善は、価格性能比の改善と密接に関連している。LSIのような高集積化されたデバイス

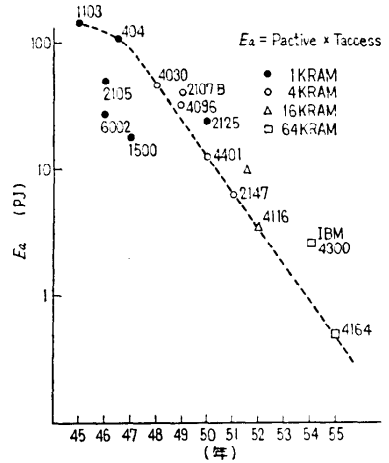


図-5 MOSメモリ想起エネルギーの変遷

では、ビット当り電力の減少は集積度と逆比例の関係にあり、高集積化の必須条件となっている。このためパッチプロセスによりビット当りでなくデバイス当りの価格がほぼ同等に作られるとすれば、電力と性能の積は性能/価格に置換えられ、この低減効果が直接価格性能比の改善に結びつく。後述するように価格性能比の改善比率はほぼ 1.7 倍/年でこの値に近い。

(2) 電源電圧；当初の2電源が1電源となり、しかも TTL 電源に合わせた5Vとなるので、今後は主記憶装置のみならず、論理回路のあらゆる所に使用されることが予想される。

(3) 入出力信号レベル；4キロビット RAM以降は TTL の入出力条件に合せたレベルとなっている。

(4) 入出力ピン数；記憶容量の増大につれてアドレス本数も増加するが、このためにパッケージが大型化するのを避けるために4キロビット RAM からアドレス2回転送方式を採用する品種が出初め、16キロビット RAM, 64キロビット RAM ではこの方式が定着した。代表的な16キロビット RAM のブロック図を図-6に示す。

(5) リフレッシュ周期；集積度の増加に伴い、チップ当りのリフレッシュ回数が増えて来るのが普通であるが、これを避けるために64キロビット RAM では、センス増幅器を2倍実装することによりリフレッシュ回数を2倍とするか、従来の2msのリフレッシュ周期を4msに広げるか、などの方法でリフレッシュ時間の短縮をはかっている。

(6) ページモード；アドレス2回転送方式が定着

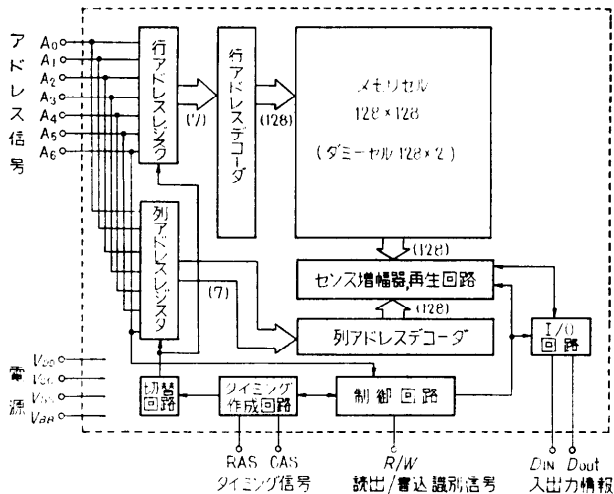


図-6 ダイナミック MOS メモリブロック図 (16K×1ビット構成)

すると共に、行アドレスで指定される群を1ページとし従来のページアドレスと同様の使い方を可能とした。この時同一行アドレス内で他の列を読み出す場合にはアドレスを2回転送する必要はなく、アクセス時間が短縮される。同一ページ内での語数は、16キロビット RAM で128語、64キロビット RAM で256語であり、ブロック転送に適した使い方が出来る。

このような改善を経て1980年には64キロビット RAM による主記憶装置が実現することとなるが、これらの素子の変遷による装置の性能推移を図-7に示す。コアメモリが主体であった1960年代はコアの小径化などにより性能の向上をはかり、ほぼ1.3倍/年の性能改善が実現されているが、1970年代のMOS RAMの時代は、高集積化による低電力、低価格を指向していたため、性能の向上はほぼ1.1倍/年に留まっている。

一方価格については、これとほぼ逆の現象が見られる。図-8はIBM社をモデルとした主記憶装置売価の概略推移を図示したものである。1960年代にはほぼ0.8倍/年であった価格推移がMOS型集積回路採用後は0.65倍/年となり、大幅な低減が実現している。

これを価格性能比という観点で捕えると、前記の性能および価格の改善率からそれぞれ

1960年代 $1.3/0.8=1.63$ 倍/年

1970年代 $1.1/0.65=1.69$ 倍/年

となり、ほぼ同程度の価格性能比の改善が行われて来

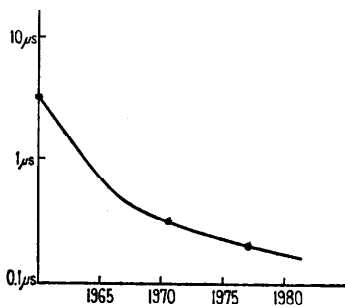


図-7 主記憶装置サイクル時間の推移

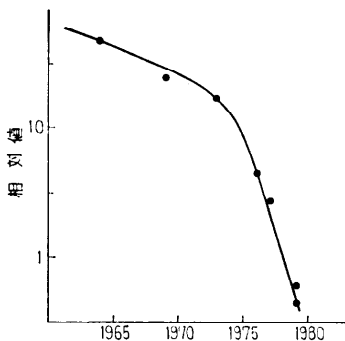


図-8 主記憶装置ビット当り価格推移

たと言える。

3. 主記憶装置の構成と制御技術

3.1 主記憶装置の構成

コンピュータの主記憶装置は、中央処理装置(CPU)の指示によりデータの読出、書込みを行うものでCPUとの間に次のような情報の交換を行う。

(1) データ；入力データ、出力データを別々の線で転送する場合、双方向バスにより伝送する場合などがあり、データ幅はミニコンピュータ級の2バイト幅から大型コンピュータでは16バイト幅までである。

(2) アドレス；16MBの装置では20~24本のアドレス線が必要になる。

(3) 読出し書込制御信号；起動信号と共に動作モードを指示する。又部分書込の場合はバイト位置を指定する。

(4) 誤り表示；1ビット誤りの場合には訂正してCPUに送られるが、誤った事をCPUに通知し、又、2ビット以上の誤りに対してはCPUの指示を持つ。

(5) 診断動作用信号；主記憶装置内にある診断用レジスタの内容をCPUに送り、誤り箇所を自己診断するための情報。

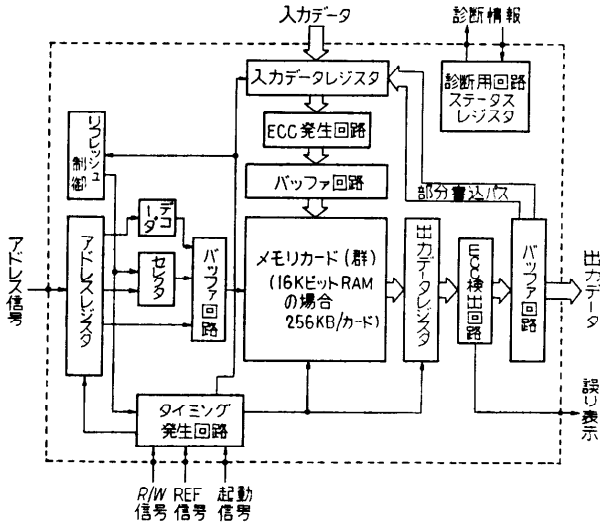


図-9 主記憶装置ブロック図(例)

(6) リフレッシュ制御用信号; CPU からリフレッシュを指示する場合, 主記憶装置が適時にリフレッシュを行い CPU を待たせる場合などがある。

主記憶装置内のブロック図の典型的な例を図-9 に示す。ここで点線のわくは CPU とのインタフェース部分を表わす。

大型コンピュータなどの高性能を要求される装置では, メモリのスループットをあげるため, メモリカード群を複数個のバンクに分け並列処理を行わせることが多い。これはインタリーブと呼ばれる手法で, 図-6 の入力データおよびアドレスのバッファ回路並びに出力データレジスタが複数個 (4 ウェイインタリーブの場合は 4 個) 用意され, 出力データレジスタの後にセクタを通して ECC 検出回路に接続される。入出力制御回路を共通とし時分割で使用するため, 各バンクの動作は図-10 に示すように少しずつずらして行われる。これによりメモリの動作を加速することなく 4 倍のスループットが得られる。この時のアドレスの割付けは, 図-10 の起動信号 A, B, … が連続番地となっ

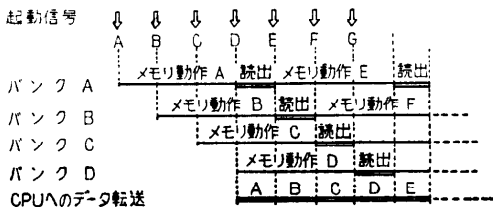


図-10 4 ウェイインタリーブ動作図

ている事が望ましく, バンク A, B, C, D, … にまたがって順次アドレスを割付ける必要がある。

大型コンピュータの性能向上およびマルチプロセッサへの対処のため, メモリの高スループットへの要望はますます大きくなり, 最近の大型システムでは 8 乃至 16 ウェイのインタリーブを採用しているものが多い。

3.2 制御回路

(1) リフレッシュ制御

ダイナミック型メモリは, それ自身内蔵している記憶情報を再生するためにリフレッシュ動作が必要である。これは図-6 の行アドレス単位に行われ, 16 キロビット RAM では RAS 信号により記憶情報が 128 個のセンス増幅器で増幅され, 再生回路によりそのままとのメモリセルに書込まれる。

リフレッシュ方式は, 大別するとプロセッサ部 (CPU) と同期して行う同期型制御方式と, 記憶装置に独立した発振器を持ち CPU からの動作要求との同期化をはかる非同同期方式がある。

同期式回路の構成例を図-11 に示す。CPU 内にあるクロック発生回路 (OSC) のパルス数をカウンタで計数し, 所定のリフレッシュ間隔 (2 ms/128 ≈ 16 μs) を経過した時点でアドレスをリフレッシュアドレスに切替える。

こうしたリフレッシュ制御部分は, IC の集積度の増大に従って 1 チップ化, 或いは CPU やメモリチップに包含される傾向にある。1 チップ化の例では, リフレッシュカウンタ, アドレス発生回路並びに行アドレス, 列アドレスおよびリフレッシュアドレスの切替え回路を集積化するもので, このほか CPU 内にリフレッシュ制御部を内蔵したマイクロプロセッサを用いるもの, メモリチップに内蔵され, CPU からのリフレッシュ指令によりメモリ内部カウンタのアドレスで

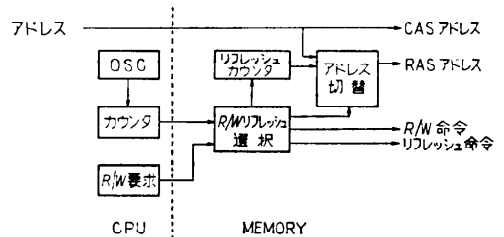


図-11 同期型リフレッシュ制御

リフレッシュを行うものなどがある。

非同期式回路はメモリ側にクロック発生回路を持ち、CPUとは異なった周期で動作させるものである、この場合のCPUからの動作要求は一旦メモリ内のリフレッシュ動作との競合を調べた上で優先順位に従って処理される。この回路は複数個のCPUを持つ場合や非同期バス方式に適しており、又メモリプロセッサとして独立し得る形になっているので、CPUの電源断時にも記憶内容を保持し得る等の特長を持つ。

(2) タイミング制御

主記憶装置で作られる主たるタイミング信号を図-12に示す。この場合書き込みサイクルと読出しサイクルとは同じ時間であるが、部分書き込みサイクル(Read Modify Write)は長くなる。アドレス2回転送方式のRAMでは、RAS、CASの2信号とアドレスの入れ替えを順序良く行うために、タイミング系は複雑になり性能もアドレス1回転送方式に比較すると厳しい。これは各タイミング信号ごとのスキュー時間が所要時間に加算されるため(図-12の斜線部)大容量になる程この差は大きい。

このスキューを軽減する使用法として、ページモードがある。これは同一行アドレス内の他の番地をアクセスする場合にはRAS信号を低レベルにしてCAS信号のみを用いて連続動作させる方法で、ブロックで情報を取扱う場合に有効である。

また、最近IBMから発表された64KビットRAM(表-1)では、出力に8ビット×2個のバッファレジスタを設け、16ビットの情報を100nsの転送速度で外部に送る機能を有している⁹⁾。

(3) RAS回路

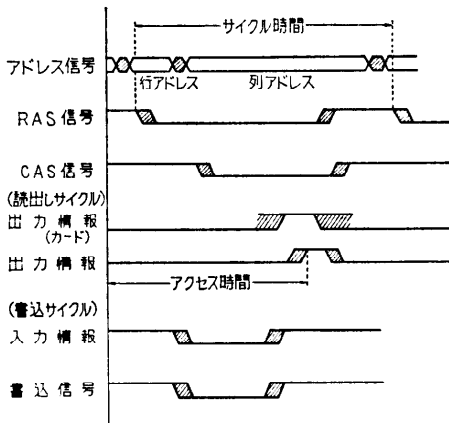


図-12 読出し/書き込みサイクルタイミング例

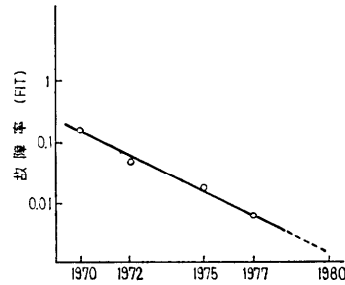


図-13 MOS RAMのビット当り故障率の推移

主記憶装置の容量が増大し、機能が複雑化すると共に、RAS機能(信頼性 Reliability, 可用性 Availability, 保全性 Servicabilityの頭文字をとり、これらの機能を総称したもの)の重要性が増している。特に主記憶装置はシステム全体を制御するソフトウェアを格納し、システムのダイナミックな状況を記憶しているため主記憶装置の故障はシステム全体に影響を及ぼすこととなる。

主記憶装置の信頼度は、素子の集積度の増大に従って大幅な向上がなされて来た。図-13はMOSRAM素子のビット当りの故障率の推移を示したものであるが、この10年間の間に素子当りの集積度は約64倍となったが、素子当りの信頼度はほぼ変わらず、このためビット当りの信頼性は急速な向上の跡が見られる¹⁰⁾。

又、図-9に示すように、中大型コンピュータの主記憶装置には誤り訂正回路(ECC回路)が採用されている¹¹⁾。これはICメモリの採用時以降に普及したものでメモリ素子のビット構成がワード×1ビットとなっているためメモリ素子に起因する障害が殆んどECC回路で訂正されること、メモリ素子の障害の中でも部分障害が多く2ビット同時誤りの確率が非常に少ないこと、4バイト(32ビット)幅の入出力データを持つシステムでもECCのための冗長ビットは7ビットであり、大幅なハードウェア増加にむすびつかないことなどのため、1ビット誤り訂正2ビット誤り検出機能を持つものが普通である。

ECC回路も標準回路として考え易いので、1チップによるLSI化の方向にある。図-14はその1例で、2、4、8バイトの誤り訂正符号発生および訂正をそれぞれ制御端子で指定することにより同種のチップで2種の機能を行わせるものである¹²⁾。

このほか、主記憶装置内に診断用レジスタを設け、診断情報をCPU又は診断プロセッサに送り、故障時の診断又は予防保全を行う診断機能; 誤りを検出した

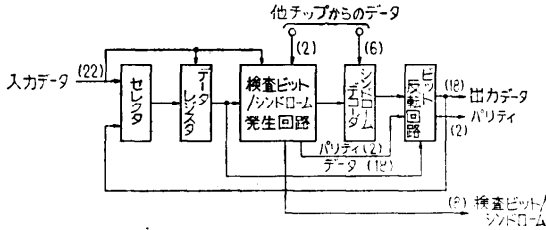


図-14 2バイトスライス誤り訂正回路ブロック図

場合再度同じ命令を繰返す再試行機能；主記憶装置に障害が発見された場合、そのブロックのみを切離し、アドレスを再構成することにより運用を続行する再立ち上げ機能などを具備するものが多く、主記憶装置のRAS機能は今後も益々強化されるものと思われる。

4. 特性と試験法

記憶素子の集積化が進むに従って、記憶素子は部品よりも機能デバイス或いは機能ブロックと呼べる程多くの機能を包含したものになってきている。又、互換性があるデバイスの間でも内蔵する回路が多種多様であるために、試験法は必ずしも同一ではなく複雑になって来ている。

これは、製品の特性がMOSトランジスタの特性よりはそれを用いた電子回路の定数に依存する要素が多いため、回路定数の変化により好みの特性を作りあげることも不可能ではなくなって来た。

一方試験時間はビット数の増大につれて加速度的に増え、ギャロップパターンによる64キロビットRAMの試験などは、実時間で試験しても1個当たり約2.5時間を要する事態となっている。このため製造コストに占める試験コストの割合は急速に増え、今後は能率の良い試験法の確立が益々重要となる。現状では個々のデバイスの試験に十分な時間をとることは困難なため、使用素子が開発された時点でサンプルについて長時間かけた型式評価をおこない、デバイスの特性を把握した上で簡素化された試験法を設定する。これは製造メーカーが異なる場合は無論、同一メーカーであっても改良設計が行われる度に型式評価を繰返し、それを個々のデバイスの試験のみならずメモリカード試験、装置試験に反映させる。

このため、試験法は必ずしも一様ではないが、以下にその主たる項目を列記し、解説する⁶⁾。

DC 試験

入出力漏洩電流，入出力耐圧，電源電流など

AC ファンクション試験

アクセス時間，タイミング余裕，電源電圧余裕，動作時消費電力

試験パターン依存性，など

リフレッシュ試験

温度特性，妨害パターン依存性

(1) アクセス時間

電源電圧に依存する要素が強い。これは電源電流が増加することによりチップ内容量負荷の充放電の時間を短縮させるためである。同様に、過度上昇に対してもアクセス時間は増え、電源電流は減少する。

(2) 電源電圧余裕

デバイス規格として電源電圧 $\pm 10\%$ を保証している例が多い。図-15は16キロビットRAMの電源電圧 V_{DD} 、 V_{sub} を各々縦軸および横軸にとり動作範囲を図示したものである。

(3) 試験パターン依存性

現在主に用いられている試験パターンをその目的又は狙い所により分類し、表-2に示す。

これらのパターンについての依存性は、各デバイスによって異なるが、パターン依存性は回路設計変更によって改良出来る点が多く、目立った特徴はなくなるのが普通である(図-15参照)。

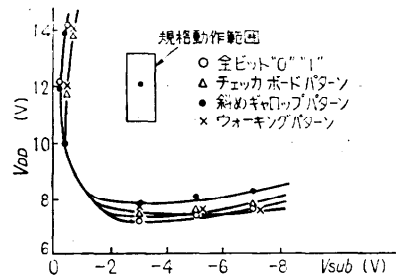


図-15 電源電圧動作範囲例 (μPD 416)

表-2 メモリ試験パターンの特徴

	静的要素のみの試験		動的要素を含む試験	
	パターン名	試験サイクル数	パターン名	試験サイクル数
隣接ビットの影響	全"0"/"1"パターン	4N	マーチング	10N
	チェッカボード	4N	オーソゴナルウォーキング	4N ^{1/2}
アドレスデコーダ機能の検出	アドレスパリティ	4N	アドレスコンプリメント	4N
	ワルツパターン	11N	斜めウォーキング	2N ^{1/2}
他ビットすべての影響	ウォーキング	2N ²	ギャロップ	6N ²

(4) リフレッシュ時間

ダイナミック RAM 特有の試験項目である。

メモリセルからの漏洩電流には、サブストレートに流れる接合部の漏洩電流と、記憶セルトランジスタのチャネルを通してビット線へ漏洩する電流がある。前者は温度依存性があり、ほぼ7°C~10°Cに2倍の割合で電流が増加する。これは高温試験により不良チップを除去出来る。後者はアドレス線の電位が雑音などで持ち上がった場合のサブスレショルド電流の増加に起因するものであり、これは妨害動作を効果的に行うことにより不良を除去出来る。

5. 今後の展望

情報処理事業の発展は、コンピュータの高性能化、記憶容量の増加を促して来た。又、超 LSI 技術の発展により記憶デバイス自身も更に高速化、大容量化の基礎が固まりつつある。こうした中で主記憶装置は、益々その重要性を高めている。以下に、各項目につき今後の展望を述べる。

5.1 性 能

MOS 集積回路を用いた主記憶装置は、図-7、図-8に見られるように高性能を追求するよりは高集積化を可能にする低電力、低価格を指向していたと言える。

今後は、コンピュータの高性能化に適合するためには、主記憶装置の高性能化が必須であり、大型システムを中心として性能向上が促進されることになる。

高速を指向する記憶素子としては、スタティック型 MOS RAM、バイポーラ型 RAM が考えられる。これらは集積度はダイナミック RAM の 1/4 程度以下であるが、2~3 倍の速いアクセス時間を可能にする。将来はキャッシュメモリの大容量化等により論理回路と同じ技術による記憶素子によって内部記憶が形成され、性能向上に寄与する可能性が強い。

中小型機種にはダイナミック MOS RAM が従来通り使用されるが、図-5 に示される想起エネルギーの減少は今後も継続され、大容量化、高速化が予想される。

記憶装置のスループットの増大も今後の大きなテーマとなる。装置の小型化に伴い装置間配線量も大幅な縮小が必要となるが、現在はシステム性能実現のため8~16 バイト転送が普通でこれに更に8~16 重のインターリーブを行っている。これらの配線の縮小のためには高速度データ転送の技術が必須であり、今後の大きな課題となろう。

5.2 記 憶 容 量

従来は、大型機種に関しては最大容量の増加傾向は鈍化し、チップ当たり容量の増加傾向より低い。

この原因は、一つには最大容量の変更がアーキテクチャの変更結びつき簡単には変えられないこと、更には記憶素子技術の進歩が急速なため応用技術が確立していないことなどにあると思われる。

このため素子の開発と併行して応用技術の開発が重要になる。すなわち(1)記憶容量の増大が性能向上にどのように結びつくか、(2)大容量高速メモリシステムにより新しい応用分野が生み出せるか、などである。人間の持つ高度の判断機能、パターン認識機能などは記憶容量の差にあると言われているがこうした研究も活発となろう。

中小型システムでは最大主記憶容量は急速に広がっている。16 ビットマイクロコンピュータでは1メガバイトが普通となり、中小型機種では4~16メガバイトという大型機並みの最大容量を持つ機種も多い。これらは大型機種で開発された応用技術をそのまま適用出来るという利点がある。

今後は集積度の増大に従って、現状の最大容量で高速化を指向する装置と、大容量化により現在の CCD 記憶やバブル記憶が期待されている高速補助記憶の領域までを指向する装置に分化することも考えられる。

5.3 そ の 他

将来の主記憶装置のイメージとしては、中小型機種の場合は1チップ化した装置となる。素子製造技術の進歩は現在のシリコンウェファ上に装置を構成することを可能にする。更には中央処理装置、制御装置を含んだシステムが集積化されることも可能になる。

この場合の装置設計上の必要な配慮は、故障に対する処置となる。製造時の不良部分に対する処置、検査の方法、稼働時の故障に対するフェイルセーフの方法、故障部の検出と切離しの処置などが主たる項目となる。

大型機種の場合には、高性能化がかぎとなる。論理回路についても現在のバイポーラ型集積回路から更に高速化を目指していくつかの新しい素子の模索が切まっている。SOS 素子、化合物半導体素子、ジョセフソン素子などがその例であるが、主記憶装置としてこうした新しい素子に積極的に取組み、高性能の実現をはかることとなろう。

参 考 文 献

- 1) 電子通信ハンドブック (電子通信学会).
- 2) Reqitz, W. M. and Karp, J.: A Three-Transistor Cell 1,024 bit 500 ns MOS RAM, ISSCC Dig. Tech. papers, pp. 42-43 (Feb. 1970).
- 3) Karp, J., Chow, S. and Reyzitz, W. M.: A 4096 bit dynamic MOS RAM, ISSCC Dig. Tech. papers, pp. 10-11 (Feb. 1972).
- 4) "16,384×1 bit Dynamic RAM MK6P-2/3" Mostek Catalogue.
- 5) メモリ特集, 信学誌, Vol. 60, No. 11 (11月, 1977).
- 6) 加藤他: 1メガバイトメモリモジュール, 信学技報, EC 75-35 (10月1975).
- 7) Yoshimura, H., et al.: A 64K bit MOS RAM, ISSCC Dig. Tech. papers, THPM 12.2 (Feb. 1978).
- 8) 高田他: 短チャネル MOS による 65K ビットダイナミック RAM, 信学技報, SSD 78-25.
- 9) Durniak, A.: IBM has a message: 4300, electronics (Feb. 1979).
- 10) 後藤, 真鍋: LSI の信頼度を巡る最近の技術動向, 口経エレクトロニクス, No. 200 (11月1978).
- 11) Hamming, R. W.: Error detecting and correcting code, BSTJ XXXI, 2, p. 141 (Apr. 1950).
- 12) 高橋, 伊東, 小林: 2バイトスライス誤り訂正回路 LSI, 信学会総全 (1980).

(昭和55年1月22日受付)