

ハイブリッド型 CMOS 論理構成の 4-2 加算器 による乗算器のグリッチ削減

小暮 武[†] 藤岡達也[†] 零 譲[†] 廣瀬哲也[†]
黒木修隆[†] 沼 昌宏[†]

本稿では、ハイブリッド型 CMOS 論理構成 4-2 加算器によって、乗算器のグリッチを削減する手法を提案する。従来のグリッチ削減手法では、信号の同期を図る付加回路による面積・消費電力の増加が問題であった。提案する加算器は、多段接続によりオン抵抗が高くなるパス・トランジスタ論理/トランスミッション・ゲートを利用して、付加回路を必要とせずにグリッチを削減する。また、駆動力の高い CMOS 論理を組み合わせ、動作速度の低下を抑制する。シミュレーションの結果、グリッチの動作率を 1/12 に削減できることを確認した。

A 4-2 Compressor Using Hybrid-CMOS Logic Style to Reduce Glitches in Low-Power Multipliers

Takeshi Kogure[†] Tatsuya Fujioka[†] Yuzuru Shizuku[†]
Tetsuya Hirose[†] Nobutaka Kuroki[†] and Masahiro Numa[†]

In this paper, we propose a technique to reduce glitches in a multiplier. Conventional techniques using flip-flops for synchronization increase area and power. Our 4-2 compressor using hybrid-CMOS logic style reduces glitches without additional circuits by using pass-transistor logic and transmission-gate which act like a high resistance when they are cascaded. In addition, CMOS inverter reduces speed deterioration. Evaluation results by simulation have shown that the proposed technique reduces glitch activity by 1/12.

1. はじめに

近年、LSI (Large Scale Integration) は低消費電力技術の発展により、携帯オーディ

オ機器や生体センサなどの小面積・低消費電力動作が求められる分野においても広く用いられている。電力制約の厳しいこれらの製品において、グリッチによって乗算器で消費される電力の削減が課題となっている。CMOS 回路では信号の遷移時に電力の大部分が消費されるため、グリッチによる不要な信号遷移は消費電力増加の大きな要因となり、16 bit × 16 bit 乗算器では消費電力全体の約 40%、32 bit × 32 bit 乗算器では約 60%を占めるという報告もされている [1]。

従来、乗算器のグリッチを削減する手法として、遅延回路やラッチを設けてゲート入力のタイミングを揃える手法 [2] が提案されている。しかし、タイミング調整が困難であり、ゲート数やレイテンシの増加を招くという問題があった。全加算器にカットオフ・スイッチを挿入しラッチの役割をもたせた Latch Adder [1] もグリッチ削減効果は大きい。遅延回路を必要とし面積、消費電力のオーバーヘッドが大きい。以上のように、信号の同期をとる手法では、付加回路を動作させるために消費する電力によりグリッチを削減する効果が相殺される問題がある。付加回路を必要としない手法として、乗算器を構成する MOSFET のゲート幅を最小サイズにし回路中のオン抵抗を高め、高周波成分であるグリッチの伝播を抑制する TG_multi [3] が提案されている。しかし、駆動力の低いトランスミッション・ゲート型加算器を接続するため、遅延時間の増加や、信号遷移のなまりによる貫通電力の増大、また動作の不安性が課題となる。

本稿では、配列型乗算器の部分積加算部に比べ段数の少ない 4-2 加算木型乗算器に着目し、パス・トランジスタ論理/トランスミッション・ゲートと CMOS 論理を組み合わせたハイブリッド型 CMOS 論理構成の 4-2 加算器によって、乗算器のグリッチを削減する手法を提案する。パス・トランジスタ論理/トランスミッション・ゲートは多段接続によりオン抵抗が高くなるため RC フィルタの効果によるグリッチ削減が期待できる。駆動力の高い CMOS 論理を組み合わせた構成にすることにより、遅延の増加を抑制し、信号遷移のなまりによる貫通電力の増大を防ぐ。

2. グリッチにより消費される電力

CMOS 論理で消費される充放電電力 P は、

$$P = \sum P_i = V^2 f \sum \{C_i \alpha_i\} \quad (1)$$

で表される。ここで P_i は 1 個のゲートが充放電する際の消費電力、 V は電源電圧、 f は動作周波数、 C_i は 1 個のゲートが充放電する負荷容量、 α_i は動作率である。動作率は 1 サイクル内に 1 回パルスが出る場合を 1 とカウントとする。式 (1) より、 P は個々のノードに対する $C_i \alpha_i$ の総和に比例すると考えられるため、 α_i を低減することが消費電力削減のひとつの方法であることがわかる。

[†] 神戸大学大学院 工学研究科
Graduate School of Engineering, Kobe University

グリッチを考慮した場合の動作率 α_1 は,

$$\alpha_1 = \alpha_d + \alpha_g \quad (2)$$

と表される．ここで α_d はデータ伝播による動作率， α_g はグリッチによる動作率である．あるゲートにおいてグリッチが発生すると，そのグリッチが伝播し後段のゲートのグリッチとなるため，深い論理をもつ乗算器の部分積加算部の後半では α_g は大きくなり，グリッチによって消費される電力の割合は高くなる．

3. 4-2 加算木構造乗算器

3.1 4-2 加算木

乗算器の構成法として，規則構造をもつ配列乗算器として構成する手法と，木構造で構成する手法が広く用いられている．4-2 加算木を用いる乗算器は，一般的に配列乗算器よりも面積が大きい，段数を削減できるため高速動作が可能となる．また Wallace 乗算器と比較して段数は増加するがレイアウトは容易であり，高速性とレイアウトの容易さが両立するという特徴がある．

加算器の接続段数が増えるほど α_g は大きくなり，グリッチによって消費される消費電力は増加するため，4-2 加算木構造は配列構造と比較してグリッチの影響を受けにくい構造であるといえる．

3.2 4-2 加算器の構成

図 1 に 4-2 加算木を構成する要素となる 4-2 加算器を示す．4-2 加算器は 2 つの全加算器を接続した構造をもつ．4 入力，2 出力のほかに下位の桁からのキャリー入力と上位の桁へのキャリー出力をもつ 5 入力 3 出力の素子である．4-2 加算器は，XOR とマ

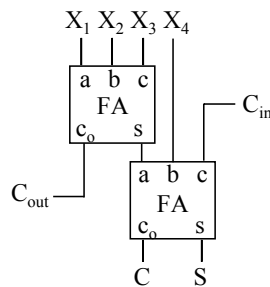


図 1 全加算器構成 4-2 加算器

ルチプレクサを用いて，図 2 のように表すことができる [4]．全加算器を接続した構造と比較して段数を削減でき，高速な動作が可能となる．

4-2 加算器は，図 2 に示すように 3 つのモジュールより構成される．モジュール 1 は 2 入力の XOR と，次段の XOR 回路，マルチプレクサで必要となる XNOR を同時に出力することが求められる．モジュール 2 は 2 入力の XOR を出力する回路であり，モジュール 3 はセレクト信号により 2 つの入力的一方のみを出力するマルチプレクサである．各モジュールについて独立して回路構成を考えることが可能となる．

4. ハイブリッド型 CMOS 論理構成の 4-2 加算器によるグリッチ削減

4.1 グリッチ削減のアプローチ

グリッチを削減する手段として，

- 信号の同期を図る
 - 部分積加算部の段数を削減する
 - 加算器内部のオン抵抗による RC フィルタの効果を利用する
- が挙げられる．

グリッチの発生する大きな要因として加算器の入力信号間の遅延が挙げられる．入力信号間の遅延はフリップ・フロップやラッチを挿入することで解消できるが，付加回路による消費電力・面積の増加を招く．よって，本手法では信号の同期を図るという方法は採用しない．

部分積加算部の段数を削減するために，本手法では 4-2 加算木構造を採用する．図 2 に示す論理表現を採用することで全加算器 2 段構成と比較し，XOR ゲートの段数を 4 段から 3 段へ削減することができる．グリッチは通過する段数の増加にともない増大する傾向にあるため，グリッチ削減効果が期待できる．

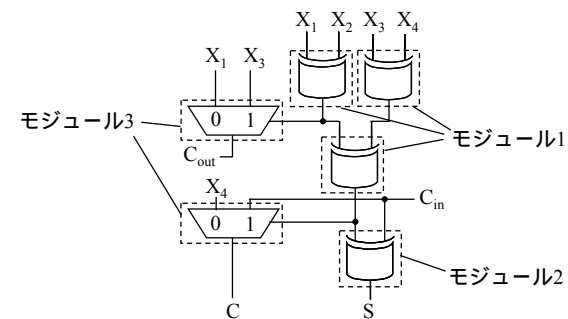


図 2 4-2 加算器の論理表現

文献 [3] において加算器のオン抵抗を上昇させ RC フィルタの効果を高める手法が提案されている。トランSMISSION・ゲートを抵抗と見なすことができること [5] を利用し、加算器内部のオン抵抗を上昇させている。図 3 に示すように、オン状態のトランSMISSION・ゲートの抵抗値は数十 k となり、10 fF 程度の容量が付加する場合、時定数が数百 ps の RC フィルタとして振る舞うことがわかる。従属接続することで抵抗値はさらに上昇し、時定数が数 ns の RC フィルタとして働くためグリッチ削減の効果は大きくなる。しかし、時定数の上昇は同時に遅延時間の増加を招くため、動作周波数の低下は免れない。また、信号遷移に要する時間が増加することにより、貫通電流が増大するという問題がある。

提案する 4-2 加算器はトランSMISSION・ゲート/パス・トランジスタと CMOS 論理を組み合わせたハイブリッド CMOS 論理構成を採用する。多段接続することでオン抵抗が上昇するトランSMISSION・ゲート/パス・トランジスタ論理を利用して RC フィルタの効果でグリッチを削減し、駆動力の高い CMOS 論理を組み合わせることによって遅延時間の増加や貫通電流の増大を抑制する。

4.2 提案手法の回路構成

図 2 に示したモジュールごとに独立して回路を構成する方法をとる。モジュールは、

- 高いオン抵抗を得るためにトランSMISSION・ゲート/パス・トランジスタ論理構成の回路を利用する
- モジュール 2, 3 は次段の加算器を駆動するため、出力を CMOS 論理構成のインバータとする
- 構成するトランジスタ数が少ない
- 低電源電圧動作を可能とするためしきい値落ちがない

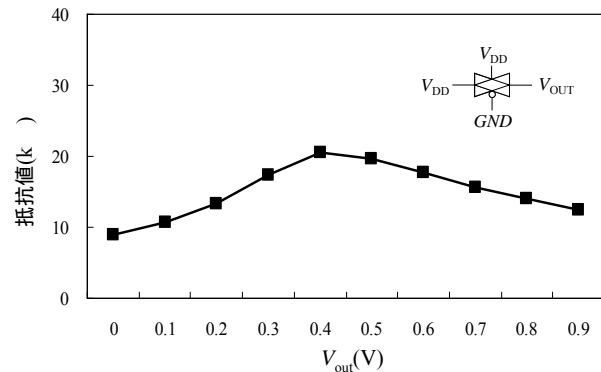


図 3 トランSMISSION・ゲートの抵抗値

表 1 モジュール 1 の候補比較 (電源電圧 0.85 V, 動作周波数 25 MHz)

回路	(a)	(b)	(c)
トランジスタ数	8	6	10
消費電力(nW)	77	53	96
遅延時間(ns)	0.28	3.16	0.18
PD積(aJ)	22	167	17

という条件を満たすように選択する。

図 4 にモジュール 1 の候補を示す。(a) は High 信号を pMOS スイッチ, Low 信号を nMOS スイッチで伝達することでしきい値落ちを抑制した XOR 回路である。XNOR を出力するためにインバータを接続する必要があり、遅延時間が増加する。他の XOR 回路を用いた場合においても、インバータ追加による遅延時間の増加が問題となる。(b) はインバータなしで XOR, XNOR を出力する回路であり、フィードバック・ループによりしきい値落ちを回復している。トランジスタのサイジングが難しく、入力パターンによって大幅に遅延が増加するという問題がある [6]。(c) はパス・トランジスタ構成の XOR 回路にしきい値落ちを回復するプルアップ回路を追加した構成である。表 1 にモジュール 1 の候補を比較したシミュレーション結果を示す。(c) はトランジスタ数の面では回路 (a), (b) に劣るが、PD 積において他より優れているため、モジュール 1 として採用する。

図 5 にモジュール 2 の候補を示す。(a) は文献 [7] で用いられている XOR 回路であるが、pMOS スイッチが Low 信号を伝達する際のしきい値落ちが問題となる。同様に (b), (c) の回路も pMOS スイッチにおいてしきい値落ちが発生する。(a), (b), (c) には pMOS と nMOS を入れ替えた構成の XOR も存在するが、nMOS スイッチが High 信号を伝達する際のしきい値落ちが問題となる。(d) は T18, T16 構成全加算器で用いら

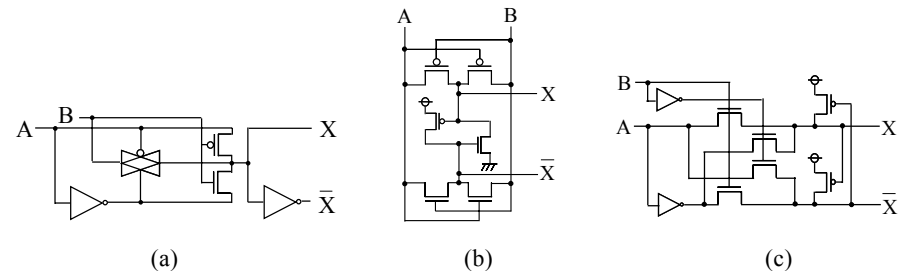


図 4 モジュール 1 の候補

れている XOR であり, High 信号を pMOS スイッチ, Low 信号を nMOS スイッチで伝達することでしきい値落ちの問題を解決している. (e) は (d) と同様の方法でしきい値落ちを回避した XNOR 回路にインバータを接続した XOR 回路である. 本手法ではしきい値落ち, 出力の駆動力を考慮し, (d) の回路構成を採用する.

図 6 にモジュール 3 の候補を示す (a) はトランスマッション・ゲートにより構成されたマルチプレクサである. (b) は (a) の入力を反転させ, 出力にインバータを付加した回路構成である. 駆動力を考慮し (b) のマルチプレクサを採用する.

図 7 に提案するハイブリッド型 CMOS 論理構成 4-2 加算器を示す. すべての入力信号がパス・トランジスタ論理/トランスマッション・ゲートを通過した後, CMOS 論理によって駆動される構成となっている. パス・トランジスタ論理/トランスマッション・ゲートの RC フィルタの効果により付加回路なしでグリッチを削減し, また CMOS 論理の駆動力によって遅延時間増加の解消を図った.

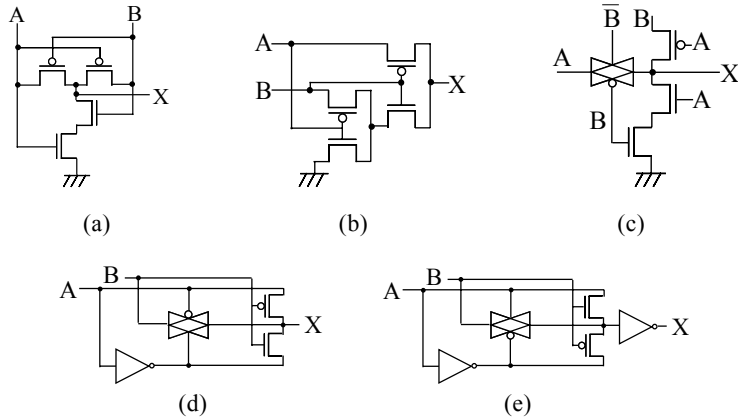


図 5 モジュール 2 の候補

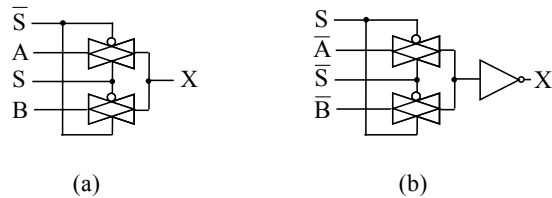


図 6 モジュール 3 の候補

5. シミュレーションによる評価

本手法の評価を行うため, 16 bit × 16 bit 乗算器 3 種類について HSPICE シミュレーションにより評価を行った. 評価対象は, 図 8 に示す T28 構成全加算器により構成した配列型乗算器, T28 構成全加算器で構成した 4-2 加算木型乗算器, 提案手法で構成した 4-2 加算木型乗算器の 3 種類とする. 0.18 μm プロセス MOSFET を使用し, 電源電圧 0.85 V, 動作周波数 25 MHz とした. すべての乗算器で共通の AND ゲート構成の部分積生成部, 32 bit 桁上げ伝播加算器構成の桁上吸収部を使用し, セル密度が 90% 以上となるように作成したレイアウトから抽出した RC を付加し, シミュレーションを行った.

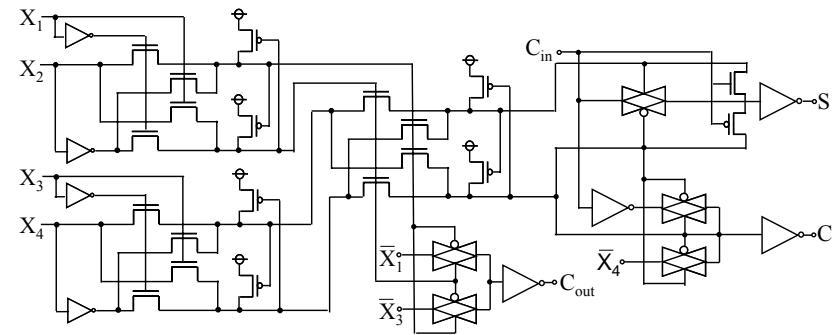


図 7 ハイブリッド CMOS 論理構成 4-2 加算器

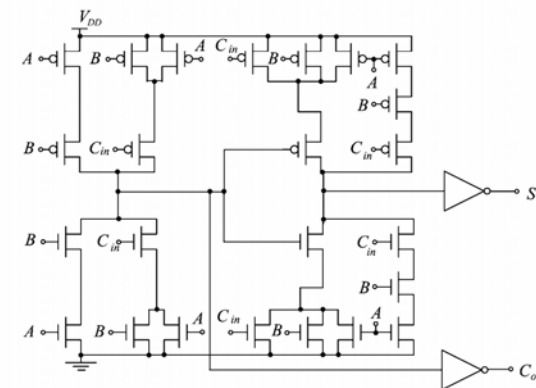


図 8 T28 構成全加算器

表 2 シミュレーション結果 (電源電圧 0.85 V, 動作周波数 25 MHz)

乗算器	消費電力(uW)	遅延時間(ns)	PD積(pJ)
配列型	629	20.0	12.6
従来4-2加算木型	384	15.1	5.8
提案4-2加算木型	328	15.9	5.2

表 3 各乗算器の動作率 (電源電圧 0.85 V, 動作周波数 25 MHz)

乗算器	α_d	α_g	TOT	α_d / TOT
配列型	0.47	1.39	1.86	74%
従来4-2加算木型	0.42	0.30	0.72	41%
提案4-2加算木型	0.42	0.11	0.53	20%

5.1 加算木構造におけるシミュレーション結果

表 2 に各乗算器における動作電力, 遅延時間, PD 積を示す. 動作電力は, 配列型と比較して 52%, 従来 4-2 加算木型と比較して 15%の削減となった. 部分積加算部を構成する加算器数は配列型において 240 個, 4-2 加算木型において 421 個とほぼ等しい. よって, 動作電力の削減は次節で述べるグリッチ削減の効果が大きいと考えられる.

配列型の部分積加算部は全加算器 15 段で構成されるのに対して, 4-2 加算木の部分積加算部は全加算器 6 段で構成されるため, 遅延時間の削減が可能となる. 配列型乗算器と比較して, 提案 4-2 加算木型乗算器は遅延時間を 4.1 ns 短縮した. 従来 4-2 加算木型乗算器と比較した場合, 0.8 ns の遅延時間の増加となった. 理由として, オン抵抗の増加による電流量の減少が挙げられる.

PD 積での評価では, 配列型乗算器と比較して消費エネルギーを 59%削減した. また, 従来 4-2 加算木型乗算器と比較して 0.6 pJ 消費エネルギーを削減しており, 提案 4-2 加算木型乗算器が最もエネルギー効率が良いことが示された. ハイブリッド型 CMOS 論理構成 4-2 加算器を用いることで, 従来よりも低消費エネルギーの乗算器を実現することが可能となる.

5.2 グリッチ削減効果

表 3 に, 各乗算器を構成する全加算器, 4-2 加算器の平均の動作率 α_{TOT} , データの動作率 α_d , グリッチの動作率 α_g を示した. また, 図 9 に各乗算器のグリッチによる信号遷移のダイアグラムを示す. 線の太さによってグリッチ動作率 α_g を表している.

配列型乗算器と比較して, グリッチ動作率を 1.39 から 0.11 へ約 1/12 に削減し, その結果, 信号遷移全体におけるグリッチの割合が 74%から 20%に削減された. 図 9 より, 配列型乗算器の後段部でグリッチ遷移率が上昇していることが確認できる. 4-2 加算木構造を採用することによって段数を削減しグリッチを抑制できることを

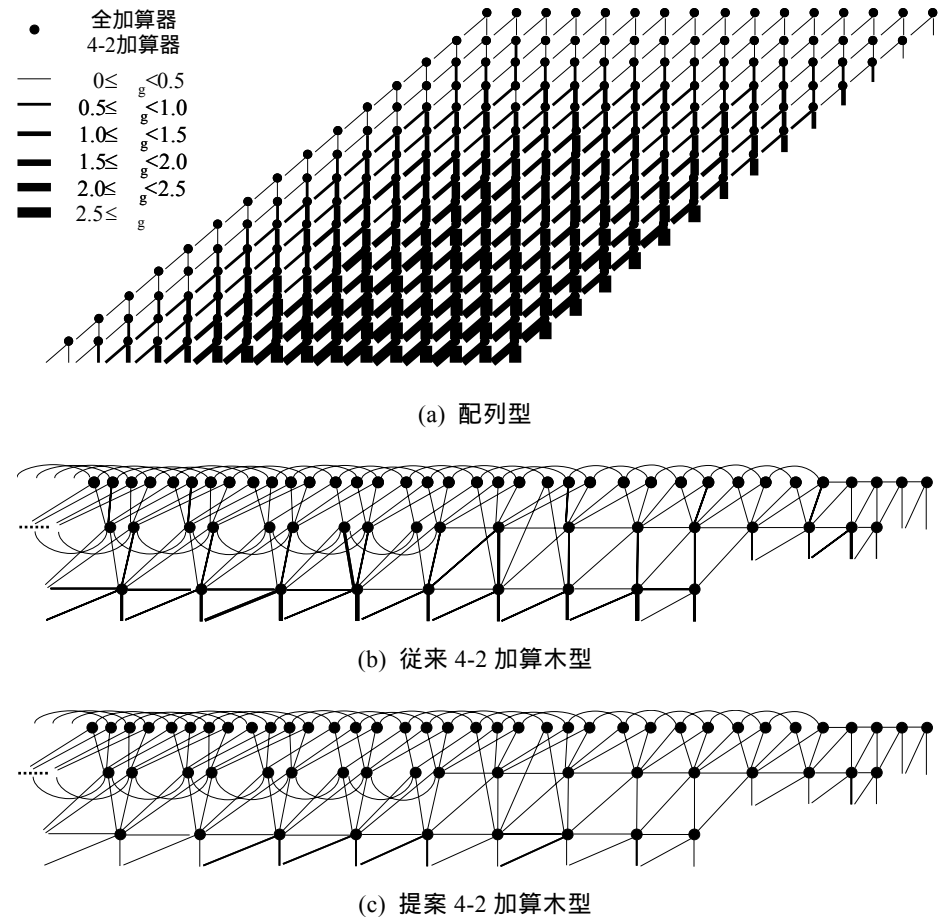


図 9 グリッチによる信号遷移

確認した。

同様の構成をもつ従来 4-2 加算木型乗算器と比較した場合においても、グリッチの動作率を約 1/3 に削減し、信号全体におけるグリッチの割合を 41%から 20%に削減した。T28 構成全加算器を利用した従来手法と比較して、グリッチを約 1/3 に削減できていることから、ハイブリッド型 CMOS 論理構成 4-2 加算器はグリッチ削減に有効であるといえる。

6. まとめ

本稿では、パス・トランジスタ論理 / トランスミッション・ゲートと CMOS 論理を組み合わせたハイブリッド型 CMOS 論理構成の 4-2 加算器によって、乗算器のグリッチを削減する手法を提案した。

16 bit × 16 bit 乗算器におけるシミュレーション結果より、配列型構造と比べてグリッチの動作率を約 1/12 に削減した。また、従来の 4-2 加算木構造と比較してグリッチの動作率を約 1/3 へ削減した。

これらの結果より、提案するハイブリッド型 CMOS 論理構成 4-2 加算器がグリッチ削減に有効であることを示した。

参考文献

- 1) Chong, K., Gwee, B. and Chang, J.: A Micropower Low-Voltage Multiplier With Reduced Spurious Switching, Trans. IEEE, VLSI Systems, Vol.13, No.2, pp.255-264, 2005.
- 2) Liang, Y. and Yang, W.: A 320-MHz 8bit × 8bit Pipelined Multiplier in Ultra-Low Supply Voltage, Proc. IEEE Asian Solid-State Circuits Conference, pp.73-76, 2008.
- 3) Carbognani, F., Buerger, F., Kaeslin, H. and Fichtner, W.: Transmission Gates Combined With Level-Restoring CMOS Gates Reduce Glitches in Low-Power Low-Frequency Multipliers, Trans. IEEE, VLSI Systems, Vol.16, No.7, pp.830-836, 2008.
- 4) Kanie, Y., Kubota, Y., Toyoyama, S., Iwase, Y. and Tsuchimoto, S.: 4-2 Compressor with Complementary Pass-Transistor Logic, Trans. IEICE ELECTRON, Vol.E77-C, No.4, pp.647-649, 1994.
- 5) Weste, E. H. N. and Harris, D.: CMOS VLSI Design, Person Education, Inc., 2005.
- 6) Goel, S., Kumar, A. and Bayoumi, A. M.: Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style, IEEE Trans. VLSI Systems, Vol.14, No.12, pp.1309-1321, 2006.
- 7) Shams, M. A., Darwish, K. T. and Bayoumi, A. M.: Performance Analysis of Low-Power 1-Bit CMOS Full Adder Cells, IEEE Trans. VLSI Systems, Vol.10, No.1, pp.20-29, 2002.