

解説

VLSI レイアウト設計における自動配置配線†



小澤 時典††

1. ま え が き

論理 LSI は、これまで年 1.5 倍の割合で増加してきており最近では 10 万トランジスタを越える論理 VLSI も出現している。VLSI の開発におけるレイアウト設計の工数増加は、もはや人手による設計は不可能と思わせる状況まで進んできている。集積規模が数百ゲートから数千ゲートの LSI 時代からレイアウト設計の自動化はいろいろ研究^{1)~4)}されてきたが、チップサイズが人手設計と比較して大きいという理由から広く適用されるに至らなかった。しかし、数万ゲートの VLSI となるとレイアウトの専門家であっても人手による設計は至難の技となり自動設計が VLSI 開発の鍵として注目を集めている。また自動設計の技術進歩によりチップサイズについても数千ゲートを越えると自動設計の方が人手設計よりも優れているという報告もなされている⁵⁾。

VLSI のレイアウト設計とは、**図-1** に示すごとく論理回路が決まってから、基本回路（セル）の配置と相互配線を決定し、最終的なマスクパターン情報を作成するところまでを指すが、本稿では後半のアートワーク処理は別稿⁶⁾にゆずり配置配線の自動設計に焦点を合わせて述べる。

VLSI の自動配置配線で最も大きな特長は階層的設計手法が取り入れられてきたことであろう。VLSI を 1 レベルで一気に設計するのではなく、分割とレベル分けにより自動設計を現実的なものとし、また論理変更など設計変更に対しても対応しやすくすることを考慮したものである。階層を増やすことにより、大規模化に対処してゆくことができ、将来の数十万ゲートの VLSI をも設計可能とする技術に育てゆくことが期待されている。大規模な問題の自動設計では計算機使用時間の増大も大きな問題の 1 つであるが、階層化設計手法はこれに対しても現実的な解を与えるものであ

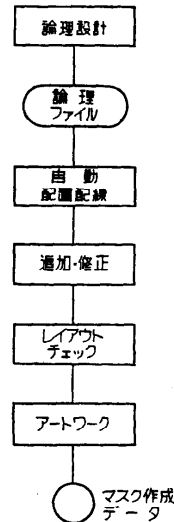


図-1 実装設計の工程

る。

以下には、VLSI の設計手法として、階層化レイアウトモデル、セル方式モデルおよびマスタスライス方式モデルについて述べ、ついで設計自動化手法について述べる。

2. レイアウト方式

DA システムにおける LSI のモデル化は、システム特性を決定する基本的な要素である。すなわち、ユーザ（レイアウト設計者）にとっては、DA システムの適用範囲と自由度を限定するものであるから、できるだけ一般的（あるいは汎用的）であることが望ましい。DA システムを開発する者からみれば、解くべき問題の内容を決定し、またモデルの記述に必要なファイルの内容や構造を左右するものでもある。このとき、処理すべき問題は、計算機の現実的な処理能力（メモリ量と処理時間）に見合う形で定式化される必要がある。

以下に、階層化方式、セル方式、およびマスタス

† Layout CAD for VLSI by Tokinori KOZAWA (Central Research Laboratory, Hitachi, Ltd.).

†† (株)日立製作所中央研究所

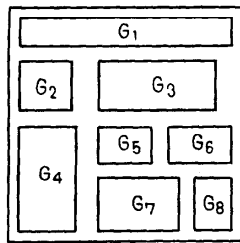
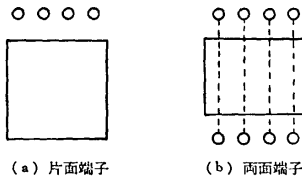


図-2 マクロ配置



(a) 片面端子 (b) 両面端子

図-3 セル・モデル

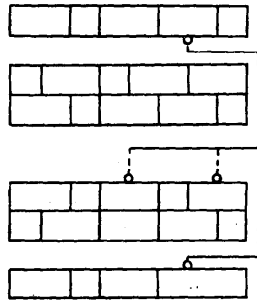


図-4 片面端子セルのレイアウト

イス方式について述べる。

2.1 階層化レイアウト方式のモデル

これはトップダウンで論理回路の分割とマクロ配置を行い、その後各分割回路の詳細な配置配線設計を行う。下位の詳細な配置配線設計が終ると、上位の配置配線を決定してゆくというようにボトムアップ的に設計を進め全体の設計を完了させるものである。したがって下位の分割された回路は各々独立に設計を進められるという利点がある。この方式による一例を図-2に示す。この方式では、階層を増やすことにより問題の細分化が可能であり、全体の問題の大きさにより階層の深さおよび分割の数が選択されることになる。

2.2 セル方式のモデル

セルには、図-3に示すごとく、片面端子セル（たとえば NMOS, ECL）と両面端子セル（たとえば CMOS, TTL）がある。それぞれの典型的なレイアウトモデルを図-4、図-5に示す。このモデルにおける配

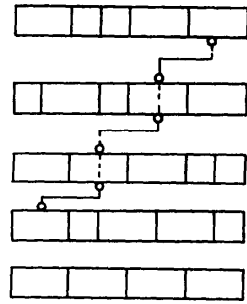


図-5 両面端子セルのレイアウト

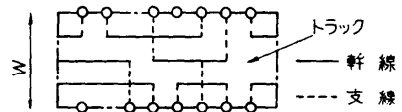


図-6 配線領域の構成

線領域の基本構成を図-6に示す。同図の実線を幹線、点線を支線と呼び幹線を割付ける格子をトラックと呼ぶ。

セル方式の特長は配線領域幅 W を可変とし最小に設定できることである。この点は、後に述べるマスタスライス方式のように配線領域があらかじめ固定されているものと異なり、面積最小化を追求できる方式である。すなわち、面積に影響を与えるのは幹線であり、トラック数最小化が目標となる。このモデルは、階層化設計の中間レベルともなり得る。

2.3 マスタスライス方式のモデル

マスタスライス方式は、拡散マスクまでは固定とし配線マスクを変更することにより幾種類もの LSI を効率よく開発しようとする方式である。この方式は、ほとんど自動配置配線で設計されている。

配置は、すでに置かれているセルにゲートを割り当てる問題となるが、後に続く配線で良い結果が得られるよう配慮が必要である。配線は、領域が固定であるから時には配線できないこともあり人手で挿入することもある。配線の良さは、配線率（成功率）で表し、この値は配置結果の影響が大きい。

3. 配 置

3.1 配置の評価基準

VLSI のレイアウト設計の大きな目標は、現実的工数で電気的な特性を満足するチップを設計することである。チップサイズはもちろん小さい方がよいが、実現可能な方法を選択しなければならない。

自動化手法により設計する場合、配線まで含めた最終結果まですべて見通したうえでセルの配置を決定することは問題があまりにも複雑になりすぎるので、配置段階での評価基準を定め、その値を最小化する配置が良い配置であるという考えのもとに、それを実現する手法が研究されてきた。

(1) 仮想配線長の総和

最も標準的なもので広く使用されているが、仮想的な配線経路の定め方はいろいろあり、代表的なものを図-7に示す。VLSIの配線手法はチャンネル配線法⁹⁾が主流となってきているので、それに沿った⑤、⑥が適していると思われる。

(2) カット数

レイアウトするときチップを幾つかに分割するカットラインを想定し、それを横切る配線数(カット数と呼ぶ)を最小にすることが、良い配置に結びつくという考え方である。

3.2 配置手法

自動配置手法は、構成的配置法と繰り返し改善法に大別できる。前者は、論理回路が与えられると、ある

考え方に基ついて配置を決定してゆくもので、多くは論理回路の性質を利用してゆくものである。後者は、なんらかの方法で決められた配置に対し、さらに改善する操作を繰り返し適用する方法である。この方法は、出発点が良い配置でないと最終解も良くなならない、すなわち局所的最適解に陥り改善が進まなくなるという欠点がある。また処理時間は、前者に較べ、後者は長時間を要することが多い。

3.2.1 構成的配置手法

(1) ランダム法: 乱数を利用して配置を決定する。

(2) ペアリンキング法 (Pair-Linking Method)

すでに配置済みのセルと接続関係の強い対のセルを近くに配置する方法。出発点の選択と決定法の影響が大きい。

(3) クラスタ成長法 (Cluster-Development Method)

配置済みのセルすべてとの接続数の多いセルを取り、そのセルと直接接続されている既配置セルの重心位置に配置する方法。

(4) 重心法 (Force Placement Method)

接続されているセル間の張力を考え、そのセルと接続するほかのセルの重心にセルを配置する方法。

(5) ミニカット法 (Min-Cut Method)⁹⁾

カット数を最小とするように分割を続け、これを細分化することによりセルの配置を決めてゆく方法。通常、左右の分割、上下の分割を交互に行ってゆく。

3.2.2 繰り返し改良法

これは初期配置の与えられたものをさらに改善してゆく方法である。

(1) スタインバーグ法 (Steinberg's Method) 共通の接続を持たないセル集合(未接続集合)を取り除き、そのセルを再配置する方法。再配置は2次元割付け問題として行列を解き求める。

(2) 緩和法 (Force-Directed Relaxation) 力学モデルにより合力ベクトルを考え、これが小さくなるように配置を変更してゆく方法。幾つかの変形がある。

(3) ペア交換法 (Pairwise Interchange Method)

2つのセルの位置を交換し、改善されていれば古い配置と置き換えるという方法。

4. 配線

配線問題は、次に述べる幾つかの問題を解くことに

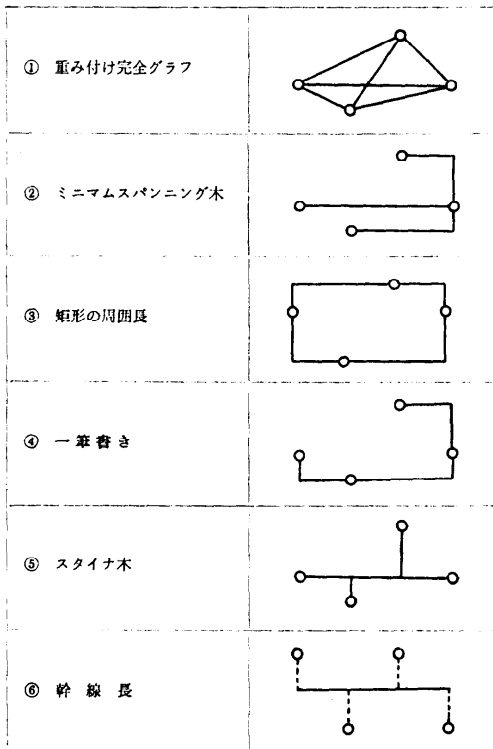


図-7 仮想配線長の計算法

なるが、やはり主題は経路決定であろう。特に VLSI では、回路規模の増大に対してどう対応してゆくかが最大の関心事であり、使用する計算機の能力に依存するが、所要メモリ量と計算時間が決め手になると考えられる。また、VLSI では、プリント板の配線と異なり 100% の結線を実現することが必須であることから、レイアウトモデルと組み合わせて研究が行われてきた。

4.1 配線問題

配線問題は、次の 4 つに分けられる。

(1) 層割付け (Layering)

配線すべきネット、またはネットの部分をもとの配線層に割り付けるかを決定する問題。配線長だけでなく物理的条件を考慮して決定される。

(2) 配線順序 (Ordering)

配線すべき端子の集まりをネットと呼ぶことにするが、配線ネットのうち、どのネットから経路決定してゆくかの順序を決める問題。

(3) 配線経路決定

配線ネットを具体的にどのような経路で接続するかを決定する問題。評価基準は配線長最小であり、配線長は、通常マンハッタン距離 (格子長) で測られる。距離は、いろいろ重みづけされることが多く、たとえば、電気抵抗、容量などが考慮される。また物理的制約条件として、層間接続の制約などの考慮も必要である。

(4) グローバル割当

大規模チップで配線の混雑度を緩和したり、部品形状が小さきままなとき空地を利用するため、概略経路を決定する問題。VLSI で重要性を増すと考えられる。

4.2 配線手法

代表的な経路決定法について以下に概略説明^{9), 7)}し、VLSI 設計に適したチャンネル割当法の改良案を紹介する。

(1) 迷路法 (Maze Method)

迷路法とは、接続すべき端子の 1 点から出発して、探索領域を波状に拡大してゆくもので、目標点に到達するまでこれを続け、目標点に到達後、これを逆にたどり経路を決定する方法。この方法は、経路があればかならず発見できるが、所要メモリ量が大きいことと、計算時間が長い欠点がある。高速化、およびメモリ量削減の試みが幾つかなされている。

(2) 線分探索法 (Line Search Method)

線分探索法は、水平および垂直線分単位で探索する

方法。この方法は大別すると 2 つある。1 つは迷路法をなるべく忠実に模擬しようとしたもので接続すべき端子対から水平、垂直線分を引き、これらの線分から層間接続を用いて接続可能な垂直、水平線分のすべてを探索する方法である。他方は、障害物で囲まれた領域から脱出する線分を端子対の両方から交互に見つけ出してゆく方法である。経路があっても発見できない欠点がある。

(3) チャンネル配線法

簡単な例では、矩形の配線領域のたとえば上下辺 (左右辺でもよい) に接続すべき端子が並べられているとき、端子列の辺と並行な配線成分を幹線、直交成分を支線と呼び (図-6 参照)、層間接続の制約条件から幹線の適切な割付けを行い配線領域 (チャンネル) の幅を最小化する。すなわち、トラック数を最小化しようとする方法である⁹⁾。幹線の制約グラフを作成して割り付けてゆくの、配線順序決定と経路決定が同時に行われることになる。配線領域可変のビルディングブロック方式 LSI で多く用いられている。

この方法では、配線不能の原因となる幹線のサイクル列を解除する方法¹⁰⁾、幹線を分割して面積を小さくする方法¹¹⁾、配線領域を矩形に限定せず凹凸のある形状とする拡張方法¹²⁾、配線経路を一定の格子に限定しない方法¹²⁾、などの改良案がある。この方法は、処理時間も短く、大局的取り扱いが可能なことから、今後の階層化レイアウトにおける配線手法として最も有望なものと考えられる。

5. 階層的配置配線手法

階層的レイアウト設計では、セルの集まりであるモジュールの配置とモジュール間配線が問題となる。モジュール内は、これまでに述べた手法で設計される。すなわち、モジュールの配置配線ではモジュールの大局的な配置を決めるのであってセルレベルの配置とか配線経路を決定するものではない。この時点ではモジュール内の配置配線は未だ決定されておらずモジュールの大きさは推定値で扱う。

まず、モジュール間の接続関係を調べ構造を木で表現する。モジュールを構成的に配置し、改善を行う。配線は、経路まで詳細に決めず、どの配線領域を通過するかを決める。これは、チップ寸法が小さくなるように各配線領域の許容量を決めようという考え方である。このため縦横のチャンネルグラフを作成¹⁴⁾⁻¹⁶⁾し、最適な組み合わせを求める方法が行われる。このあと

モジュール内の配置配線が詳細に決定されてから、再度モジュールの配置配線を詳細に決定してチップ設計完了とする。

6. あとがき

VLSI が現実のものになるという衝撃により、レイアウト DA 技術に対する要求は、より現実的な厳しいものになってきている。ここに紹介したアルゴリズムは、10~20年前のものが多いわけであるが、大型計算機の進歩により VLSI の設計を可能とするところまで拡張されてきたが、まだまだ不十分である。

20万ゲートを越える ULSI が数年のうちに実現されるであろうとみられている現在、DA 技術の一層の進歩が望まれる。

参考文献

- 1) 川島他：レイアウト設計の CAD, 信学誌, Vol. 55, No. 4, p. 526 (1972.4).
- 2) 吉田：LSI のレイアウト設計, 信学誌, Vol. 61, No. 7, p. 737 (1978.7).
- 3) 伊東：LSICAD, 情報処理, Vol. 20, No. 5, p. 404 (1979.5).
- 4) 委員会報告：電子装置の CAD (3), 情報処理, Vol. 21, No. 1, p. 50 (1980.1).
- 5) 杉山：VLSI 設計システム, 情報処理学会, 電子装置設計技術研究会 7-2 (1980.12).
- 6) 吉田：本誌.
- 7) 林訳：デジタル計算機の自動設計, 産業図書.
- 8) Breuer, M. A.: A Class of Min-Cut Placement Algorithms, Proc. DAC, p. 284 (1977.6).
- 9) 堀野：LSI 素子列間の配線手法, 信学会半トラ研資料 SSD 70-64 (1971.3).
- 10) 浅野：ビルディングブロック方式 LSI の配線の実現可能性について, 信学誌, Vol. 56-A, No. 9 (1973.9).
- 11) Deutsch, D.: A "DOGLEG" Channel Router, Proc. DAC, p. 425 (1976.6).
- 12) Hightower, D.: A Generalized Channel Router, Proc. DAC, p. 12 (1980.6).
- 13) Sato, K.: A Grid Free Channel Router, Proc. DAC, p. 22 (1980.6).
- 14) Kato, H. et al.: On Automated Wire Routing for Building-Block MOSLSI, Proc. ISCAS, p. 309 (1974).
- 15) Preas, B.: Methods for Hierarchical Automatic Layout of Custom LSI Circuit masks, Proc. DAC, p. 206 (1978).
- 16) Preas, B.: Routing Algorithms for Hierarchical IC Layout, Proc. ISCAS, p. 482 (1979).

(昭和 56 年 6 月 3 日受付)