

# MRAM

## — 不揮発性 RAM の実現に向けて —

NEC シリコンシステム研究所 田原 修一 *tahara@aj.jp.nec.com*

東芝 研究開発センター 與田 博明 *hk.yoda@toshiba.co.jp*

### ● 不揮発性 RAM への期待 ●

携帯電話や PDA に代表されるモバイル機器の普及により、場所や時間を気にせず情報にアクセスすることが可能になっている。いわゆるユビキタス社会の到来である。その時代のシステムニーズに応えるために不可欠なデバイスの1つが不揮発性メモリである。フラッシュメモリに代表される従来の不揮発性メモリは、データ等の記録が主な用途であった。しかし、今後、携帯機器の低電力化、PCの即時スイッチオン化などを実現するには不揮発性RAMの実現が強く望まれている。携帯電話やPDAに代表されるモバイル機器の動作状態は、CPUが何らかの演算を行っているアクティブな状態と、何も演算していない待機状態とに大きく別れる。現状のモバイル機器ではRAMとしてDRAMやSRAMが用いられているため、アクティブ状態ではCPUの消費電力が支配的であるが、待機状態ではメモリの消費電力が支配的となる。一般にモバイル機器では待機状態の時間が長く、その間の消費電力を低減することはバッテリー長寿命化にとって非常に重要である。もし、モバイル機器のRAMを不揮発化できれば、待機時には電源を完全にオフにできるために大幅な低電力化がはかれる。

またPCやモバイル機器の使い勝手を悪くしている要因の1つが、システム立ち上げ時の待ち時間の長さである。それらの機器では、立ち上げ時にハードディスクからOSなどを読み込んで初期化するために立ち上げに待ち時間を必要とする。もし、すべてのメモリが不揮発であり、機器の立ち下げ時の状態をそのまま保存していれば、再立ち上げの時間を著しく短縮することができる。したがってPC、携帯機器などの即時スイッチオン化が可能となり、いらいらする待ち時間を解消することができる。

一方、モバイル機器だけでなくIT機器の増加に伴い、機器本体やその部品の消費エネルギーの増大が将来の社会問題となると心配されている。IT機器の電力は現在、日本中の電力消費の20%に達しようとしており、将来にわたってその電力増加は膨大になることが予想されている。したがって、IT機器の低消費エネルギー化は、エネルギー資源の乏しい日本にとって重要な課題の1つといえる。最近では必要時だけ処理速度を上げ、必要のない時は処理速度を下げることで低消費電力化をはかるプロセッサも製品化されているが、さらに究極的には使わないときには完全オフにして、必要なときに瞬時に応答する機能を持ったIT機器が将来重要になるであろう。そのときに不可欠なアイテムが、電源が切れても情報を失うことのない不揮発性RAMである。

不揮発性メモリにはフラッシュ、FeRAMなどすでに実用化されているものもあるが、高速性、書き換え耐性などに課題は多く、理想的な不揮発性メモリを求めて各社しのぎを削っている状況である。すでに新しい材料を用いた不揮発性メモリがいくつか提案されており<sup>1)</sup>、MRAM (Magnetic RAM) はその有望な候補の1つである。MRAMは高速性、大容量性、低電圧性などのポテンシャルの高さから、その将来性が期待されている<sup>2)</sup>。**表-1**にMRAMと他のメモリの性能比較を示す。

しかしながらMRAMを実用化するためには課題も多く、作製技術もまだ研究開発段階である。特に磁性薄膜の多層構造からなるMTJは従来の半導体LSIとはまったく異なる材料系であるため、その成膜技術や加工技術を構築し、安定なプロセス技術を確立する必要がある。

ここではMRAMの動作原理とその特徴を紹介し、MRAM開発の現状と、実用化に向けた課題について述べる。

	MRAM		DRAM	NAND Flash	FeRAM
	クロスポイント型	選択トランジスタ型			
不揮発性	○	○	×	○	○
書き込み速度	10ns		50ns	200 $\mu$ s/Page	20-30ns
読み出し速度	500ns	50ns	50ns	Random Access 4 $\mu$ s	20-30ns
セルサイズ (DRAM との比較)	0.6	1.3	1	0.6	2
書き換え耐性	No-limitation		No-limitation	10 <sup>6</sup>	10 <sup>12</sup>
消費電力	100mW ~ 400mW		400mW	100mW	~ 10mW
動作電圧	<1V		2.5V	12V	2.5/1.2V

表-1 MRAM と他のメモリとの性能比較

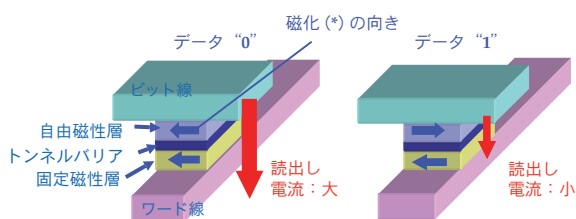
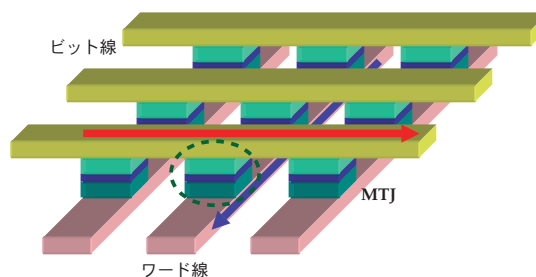


図-1 磁気トンネル接合の構造



点線で囲まれた MTJ を選択する場合には図中の矢印で示されたようにビット線とワード線に電流を流すことで選択的に書き込みが行われる。

図-2 MTJ を用いた MRAM セルアレイ

## ● MRAM の動作原理 ●

MRAM は磁気トンネル接合 (MTJ: Magnetic Tunneling Junction)<sup>3)</sup> を基本とするメモリである。MTJ の構造は自由強磁性層 (フリー層) と固定強磁性層 (ピン層) と呼ばれる 2 つの磁性層の間に薄い絶縁膜 (トンネルバリア層) を挟んだもので、トンネルバリア層として一般的にアルミニウム酸化膜が用いられる (図-1)。2 つの磁性層は外部磁界により、磁石と同様に N 極, S 極に磁化され、その磁化の方向は磁場を加えない限り安定に保存され、不揮発性メモリとして機能する。フリー層の磁化の向きを、2 つのデータ “1” と “0” に対応させる。MTJ のピン層の磁化の向きとフリー層の磁化の向きがピン層と平行か反平行かの違いによって、MTJ の垂直方向に流れる電子のトンネル確率に違いが生じ、結果として磁気抵抗値に違いが生じる。この抵抗値の変化率を磁気抵抗比 (MR 比) と呼ぶ。MTJ の磁気抵抗値の違いを検知することで、データが “1” か “0” か、を読み出すことができる。抵抗値を検出する場合は、たとえばあるビット線とワード線を選択し、設定したビット線電位に対して流れる電流を検知することで抵抗値の大小を知ることができる。

MRAM では、ビット線とワード線の交点に上述の MTJ からなるセルを配置する構造が基本となる (図-2)。セルのフリー層の磁化を反転させる外部磁界のしきい値曲線 (アステロイド曲線) を図-3 に示す。縦軸、横軸はビット線電流とワード線電流が作る磁場を示し、選択されたメモリセルすなわちビット線とワード線が交差したセルにはビット線とワード線により誘起された磁場が合成され印加されることになる。図-3 に示すように、ビット線、ワード線それぞれ単独で誘起する磁場だけではフリー層の磁化が反転するしきい値を超えることはなく、メモリセルの記憶データは変化しないが、それらの合成磁場の場合はしきい値を超え、フリー層の磁化反転を起こす。すなわち、ビット線とワード線との交点のセルだけが選択されてデータの書き込みが行われることになり、セルアレイの中で選択的に情報が書き込まれることになる。

MRAM のアレイ構成は、一般的にクロスポイント型と選択トランジスタ型の 2 通りがある<sup>4), 5)</sup>。図-4 に示すように、クロスポイント型 MRAM はワード線、ビット線の交点に MTJ が単独で配置される構成であり、単純でセル面積も小さくなる可能性があり、大容量化に向いている。しかしながら、ワード線、ビット線が交点で

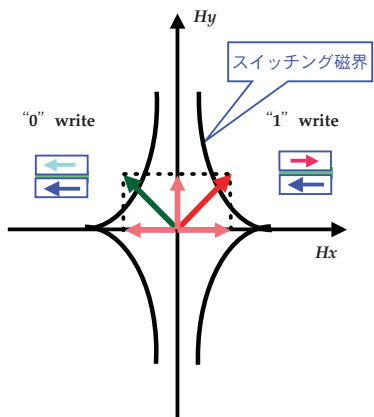
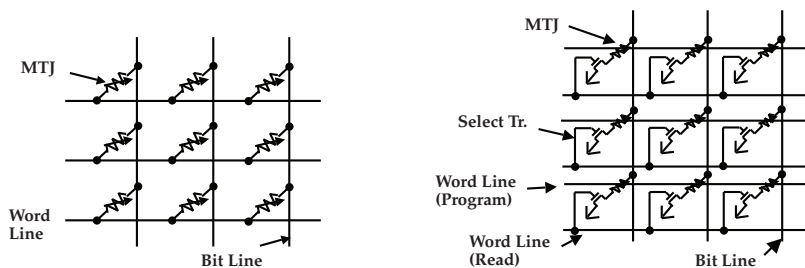


図-3 MTJのフリー層の磁化反転しきい値特性（アステロイド特性）



(a) クロスポイント型

(b) 選択トランジスタ型

図-4 MRAMのアレイ構成

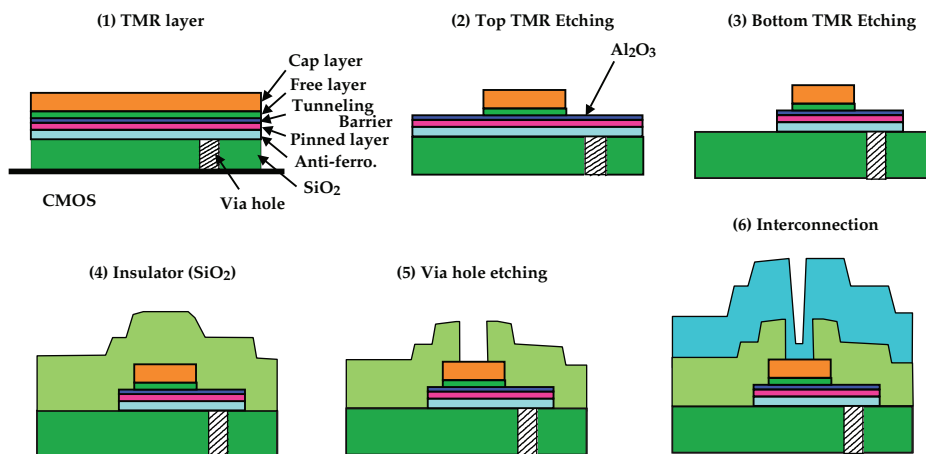


図-5 MRAMのプロセスステップ、MTJ部分（配線工程）を示す

MTJを通して電氣的に接続されているため、選択したセルの読み出し電流以外の大きな回り込み電流が発生する。そのため、大きな回り込み電流の中から読み出し電流を抽出するための工夫が必要であり、周辺回路の複雑さや読み出し時間の低下につながる。一方、選択トランジスタ型MRAMの場合は、各セルにMTJと直列に素子分離用の選択トランジスタを配置した構成となる。選択トランジスタにより各セルは電氣的に分離されているので、クロスポイント型のような回り込み電流は発生しない。したがって、周辺回路は簡単になり、高速な読み出しが可能となる。しかしながら、セルの構成要素が増えるためにセルの縮小の点でクロスポイント型よりも不利である。

## ● MRAM 開発の現状 ●

### MRAM プロセスの紹介

図-5にMRAMの代表的な作製プロセスの流れ図を示す。MRAMのキーパーツであるMTJを作製する工程を示したものである。MTJはCMOSのトランジスタ工程のあと、CMOS-LSIでいえば配線工程の一部に含まれている。ウェハ全面にMTJの基本構造であるピン層、トンネルバリア、フリー層を形成する。フリー層をパターニングした後に、ピン層をパターニングする。ピン層をパターニングする際に、トンネルバリアの周辺に金属層が付着し、トンネルバリアをショートすることを防ぐために、図のプロセスではピン層のパターンをフリー層の一回り大きく設計している。磁性体は半導体プロセスで標準に用いられる反応性イオンエッチング（RIE）を

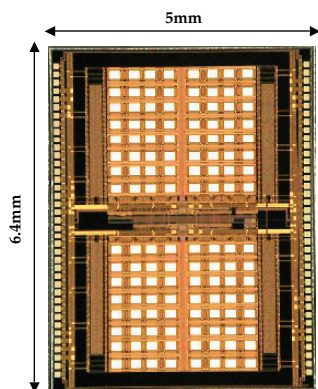


図-6 512Kbit クロスポイント型 MRAM

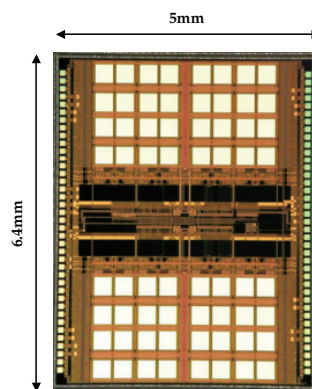


図-7 1Mbit 選択トランジスタ型 MRAM

適応することが難しい。RIE では反応性ガスにより被エッチング材料を化学的に反応させ蒸発させるが、磁性体の反応生成物は一般的に室温では蒸発しにくいためである。そのため磁気ヘッドなどの磁性体デバイスでは磁性体の加工にイオンミリングが使用されている。しかしながら、イオンミリングは加工形状制御、微細化対応など LSI への適応には課題が多い。そのために磁性体に適した加工技術が開発されつつある<sup>6)</sup>。

#### 512Kbit クロスポイント型 MRAM<sup>4)</sup>

最近、いくつかの MRAM チップが開発されている。まず 512Kbit クロスポイント型 MRAM を紹介する。開発した 512Kbit MRAM は 0.25 $\mu\text{m}$  ルールの CMOS プロセスと 0.6 $\mu\text{m}$  ルールの MRAM プロセスを用いて作製された。図-6 に作製した 512Kbit MRAM の写真を示す。チップサイズは 5mm  $\times$  6.4mm、セルサイズは 5.6 $\mu\text{m}^2$  である。使用した MTJ サイズは 0.6 $\mu\text{m}$   $\times$  1.5 $\mu\text{m}$  である。本チップはクロスポイント型 MRAM のポテンシャルを評価するテスト回路であり、セルサイズやチップサイズは比較的大きくなっている。

このチップの特徴は主に次のようなものである。

- (1) セル選択方式として、ダミーセル電流減算による非選択線非制御法を開発。セルアレイ内にダミーセルを設け、読み出し時にノイズ電流を含む信号電流からダミーセルに流れる電流を減算する(ダミーセル電流減算)ことにより、S/N 比を向上した。また、読み出し指定セル以外のセルを制御することなく読み出しを行える非選択線非制御法の採用によりセレクタスイッチの構成を簡易化することに成功した。
- (2) 選択セル電流の検知方式として、新開発のスイッチトキャパシタ型センスアンプを開発。同アンプを用いて、同一セルのデータ信号・参照信号を連続して測定

し、その測定値の違いにより、セルに記憶されたデータを検知する自己参照方式を採用した。その結果、同一のセルを使用して比較するため、セルの特性ばらつきの影響を受けず、正確なデータ読み出しが可能となった。

クロスポイント型セル構成は、配線の交点に MTJ を置くだけの構造であり、原理的には多層化も可能であり、大容量化が可能で、高速書き込みファイル応用 MRAM への期待がある。その一方、読み出し時に内部でノイズが発生するため、出力信号を効率よく読み出す工夫が不可欠である。このたび新たに提案した読み出し回路方式は、この課題を解決するもので、従来方式よりも素子数を減らして、動作マージンの広い読み出しが可能になる。

#### 1Mbit 選択トランジスタ型 MRAM<sup>7)</sup>

次に 1Mbit 選択トランジスタ型 MRAM を紹介する。開発した 1Mbit MRAM は上述の 512Kbit MRAM と同様のプロセスルールで作製された。図-7 に作製した 1Mbit MRAM の写真を示す。チップサイズは 5mm  $\times$  6.4mm、セルサイズは 6.5 $\mu\text{m}^2$  である。使用した MTJ サイズは 0.6 $\mu\text{m}$   $\times$  1.5 $\mu\text{m}$  である。本チップは選択トランジスタ型 MRAM のポテンシャルを評価するテスト回路であり、セルサイズやチップサイズは比較的大きくなっている。測定の結果、ビット線、ワード線ともに書き込み電流値として 5.2mA から 7.8mA の広い範囲で、96% 以上のビットが正常な動作を行うことが観測された(図-8)。

このチップの特徴は主に次のようなものである。

- (1) MTJ のスイッチング磁場のバラツキは MTJ の異方性の大きさに依存している。MTJ の異方性を強めることによりスイッチング磁場を低減することに成功した。

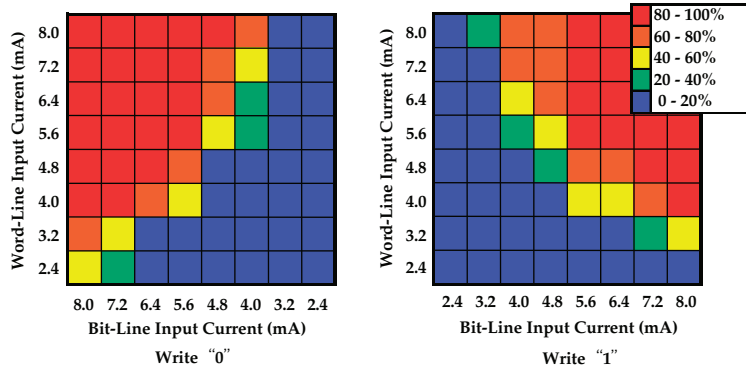


図-8 1Mbit 選択トランジスタ型 MRAM のビット歩留まり

(2) MTJの加工技術はそのショート確率に大きく影響を与えることを見だし、その加工形状を最適化することによりMTJのショート確率を大きく低減した。以上のような集積化プロセス技術を開発することで1MbitMRAMの動作実証に成功した。

### ● MRAM 高集積化への課題 ●

以上のようにMRAM開発はすでに集積化を議論するフェーズに入ってきている。しかしながら、メモリは大容量化と低コスト化が常に要求されるデバイスであり、実用化のために解決すべき課題は多い。以下、代表的な課題をまとめる。

#### (1) 書き込み電流の低減

MTJを微細化すると、反磁界効果のために磁化反転に必要なエネルギーが増大することが知られている。すなわち外部磁場の大きさ（スイッチング磁場）が増大し、スイッチングに必要な書き込み電流が増加することになる。その結果として周辺回路の面積増、消費電力の増加などが大きな問題となる。現在、開発されているMRAMの書き込み電流は約4mA～8mAと従来のメモリに比べてかなり大きい。アプリケーションにより許容される電流値の大きさは異なるが、目標として1mA～2mAにまで低減することが必要であろう。そのためには、①反磁界効果を抑制するために、微細化にあわせてフリー層の膜厚を薄くすること、②配線層とフリー層との間の層間絶縁膜の厚さを薄くすること、③書き込み電流から誘起される磁場の大きさを大きくすること、すなわち電流-磁場変換効率を高めること、などが考えられる。1つの方法で電流値の低減が達成できるわけではなく、上記の①～③をはじめとして複数の工夫を組み合わせることが必要と考えられる。

#### (2) 素子特性のバラツキ低減

MRAMを大容量化するためには回路パラメータのバラツキをいかに小さくするかが非常に重要である。たとえば磁化反転するスイッチング磁界がばらついた場合には、アステロイド曲線の幅が広がり、MRAMセルの動作領域が大きく減少することになる。同じビット線、ワード線に結合したセルのスイッチング磁場がばらつくと同じ電流で正しくデータを書き込むことができなくなる。また周辺のトランジスタのバラツキも考慮すると、さらに動作マージンが狭くなり、歩留まりの低下につながる。メモリは性能とともに低コストが要求されるデバイスであり、歩留まりの低下はコスト増の要因となり大きな問題となる。バラツキの原因としては、MTJ端部での磁性膜の磁化特性の劣化や、MTJ形状のバラツキなどが考えられるが、そのメカニズムはまだ明確でない。その原因を明らかにするとともにバラツキに強いセル構造や回路構成を考えることも重要である。

一方、読み出しの場合は、データ“1”とデータ“0”に相当する抵抗値のバラツキが読み出し時の動作マージンを決定する。MTJのトンネルバリアの厚さは1nm前後と非常に薄いことと、その抵抗値はトンネルバリア膜厚に指数関数的に依存するために、トンネルバリアのわずかなバラツキが、抵抗値の大きなバラツキとなる。したがって、均一なトンネルバリア膜厚を実現する手法が非常に重要となる。トンネルバリアはアルミニウムを均一に酸化することで作られるので、アルミニウム膜を均一に作製する技術と均一な酸化膜を作製する酸化方法の研究が重要になる。

#### (3) プロセス技術

MRAMの周辺回路（制御回路やセンス回路など）は通常のCMOS-LSIを用いて作製することができる。MTJ部分をCMOSの配線工程の一部あるいは最後に付け加えることでMRAMを作製する。MRAM作製の工

程は CMOS の配線のプロセス工程と同様であり、基本的には成膜工程、リソグラフィ工程、加工工程の繰り返しである。ただし、MRAM の場合は、材料が CMOS とは異なり磁性層を用いるため、磁性層の成膜方法の確立、磁性膜の加工方法の確立が大きな課題となる。

磁性膜以外のプロセス工程は、すでに半導体プロセス技術において確立した技術であるが、MRAM 作製にあたっては、MTJ へ与える影響を考慮する必要がある。上述したようにトンネルバリア層の厚さは 1nm と非常に薄いために、物理的、電気的ダメージに弱い。したがって、配線としての金属層の加工時、あるいはビアホール形成のための絶縁層加工時に MTJ へダメージを与えないような工夫が必要となる。また、一般的に MTJ はブロッキング温度以上の高温ではピン層を構成する反強磁性層と強磁性層との交換結合を弱めることが知られている。プロセス熱耐性の強い MTJ 構成を材料面、デバイス構造面から考えるとともに、低温で作製できる信頼性の高いプロセスを開発することも重要となる。

## ● まとめ ●

MRAM は将来の IT 機器に不可欠な不揮発、低消費電力、高速、大容量、といった特徴を持った高性能メモリとして期待されており、多くの研究機関が研究開発に

取り組んでいる。実用化への課題も明確になりつつあり、今後の技術的進展が期待される。最近、不揮発性メモリとして新しい材料がいろいろ提案されているが、磁性体を使ったデバイスは HDD ヘッドとして実用化されており、その信頼性には実績がある。その意味で MRAM の将来性に期待がかかる。ただし、MRAM は LSI としての観点でデバイス技術、プロセス技術、回路技術の最適化がまだ不十分であり今後の研究開発が必要である。また、MRAM のような半導体とは異なった新材料を LSI として用いる場合、チップ単体のみならず、実装を含めたトータルのチップ動作環境での信頼性評価が重要であり、MRAM 開発成功の鍵を握ると考えられる。その点からもメモリエルの小型化、廉価なプロセスの開発など、今後の成果に期待したい。

### 参考文献

- 1) 大石他：日経エレクトロニクス，2003年1月20日号，pp.83-105.
- 2) Tehrani, S., Slaughter, J. M., Chen, E., Durlam, M., Shi, J. and DeKerrera, M.: IEEE Trans. on Magn. 35 (1999) 2814.
- 3) Miyazaki, T. and Tezuka, N.: J. Magn. Magn. Mater. Vol.139 (1995), L231.
- 4) Sakimura, N. et al.: ISSCC Digest of Technical Papers, pp.278-279 (2003).
- 5) Durlam, M. et al.: 2002 Symposium on VLSI Circuits (2002) 158.
- 6) Nagahara, K., Mukai, T., Ishiwata, N., Hada, H. and Tahara, S.: Jpn. J. Appl. Phys. Pt. 2, 42 (2003) L499.
- 7) Tahara, S. and Yoda, H.: Technical Report of the Institute of Electronics, Information and Communication Engineers, Japan, 103, No.2 (2003) 5.

(平成 15 年 11 月 10 日受付)

用

語

集

**FeRAM** : Ferro-electric RAM 誘電体を用いたランダムアクセスメモリ。

**MRAM** : Magnetic RAM 磁性体を用いたランダムアクセスメモリ。

**磁気トンネル接合** : MTJ (Magnetic Tunneling Junction) 2 枚の磁性体薄膜で薄い絶縁膜を挟んだ構造の素子で、上下 2 枚の磁性体の磁化の方向により電子のトンネル確立が変化し、素子の抵抗値が変わる。

**MR 比** : 磁気トンネル接合における抵抗値の変化率。

**アステロイド曲線** : MTJ のフリー層の磁化が反転するしきい値曲線で、形がひとりで型であるところからアステロイド曲線と呼ばれる。

**クロスポイント型 MRAM** : ビット線とワード線の交点に MTJ を配置した構造の MRAM。大容量化に向いている。

**選択トランジスタ型 MRAM** : ビット線とワード線の交点に MTJ とトランジスタを直列に接続した構造の MRAM。高速化に向いている。

**トランジスタ工程** : トランジスタ素子部分を作製する工程。

**配線工程** : 主に配線部分を作製する工程。

**パターンニング** : 設計した素子形状を実現すること。主にフォトレジストを感光し、現像するリソグラフィ工程と感光、現像されたフォト

レジストをマスクとして加工する工程を含む。

**反応性イオンエッチング** : 成膜された薄膜を化学的に反応させながら加工する加工方法。反応性のガスとして塩素系やフッ素系が主に用いられる。材料に適したガスを選ぶことで、異なった材料を選択的に加工することができる。

**イオンミリング** : 成膜された薄膜を物理的にイオンを照射して、削り取る加工方法。イオンとして不活性ガスであるアルゴンが一般的に用いられる。材料を選ばずに加工できる利点があるが、選択加工ができない。

**ダミーセル** : クロスポイント型 MRAM で選択されたセルに流れる漏れ電流を差し引くために用意されたセル。

**異方性** : 磁性体の N 極、S 極の方向性のこと。

**ビアホール** : 配線と配線の間を電気的に接続するために層間絶縁膜にあける穴のこと。

**交換結合** : MTJ のピン層において磁化を固定するために反強磁性体を強磁性体と接するよう配置する。正確にはこの反強磁性体をピン層、強磁性体をピンド層と呼ぶ。この場合の強磁性体と反強磁性体の結合を交換結合と呼ぶ。

**ブロッキング温度** : 上記の交換結合が発生する温度で、これ以上では交換結合が失われ、MTJ のピン層は機能しなくなる。