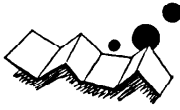


## 解説



# スーパーコンピュータの現状と展望†

元岡 達††

### 1. はじめに

コンピュータのハードウェア価格を急激に低下させることのできる技術的基盤が確立してきたことともなうて、コンピュータの新しい応用分野が各方面に拡大しようとしている。シミュレーション、科学技術計算など、巨大な数値計算能力をコンピュータに要求する分野も例外ではない。

巨大数値計算はそもそもコンピュータの誕生をうながした原動力であり、今日までコンピュータ能力の向上を絶えず要求し続けてきた。これに刺激されて科学計算用超高性能機の開発がこれまで米国を中心に精力的に進められてきたが、必ずしも経済性に基盤をおいた開発ではなかった。このため広範な分野への普及は期待できず、軍用、純科学計算用など特殊な分野に限られてきた。しかし近年のハードウェア価格の低減の結果モデル実験による測定よりもコンピュータによる計算の方が経済性の面から優位に立つ場合が多くなりつつある。今後この傾向が多くの分野に浸透してゆくものと期待されている。

このことがスーパーコンピュータの見なおしや商品化に結びついてくる。しかしハードウェアの価格の低下だけでスーパーコンピュータの存在価値が広範囲の分野で受け入れられることにはならない。それ以外にも研究・開発を介して克服することの要請されている多くの課題があり、これらの障害が克服されて初めてスーパーコンピュータが広く世の中に受け入れられることになる。これら障害として考えられるものをシステム構成の階層順に列挙すると次のようになる。

#### (1) アルゴリズムの研究

高速化の手段として並列処理を進めるためには、そこで用いられるアルゴリズム自体が十分な並列性を持っていることが必要である。従来開発されてきたアル

ゴリズムは、逐次形制御のコンピュータを前提としたアルゴリズムであったり、人間に理解しやすい表現形式をとるために、本来の問題が内包している並列性を殺したアルゴリズムになっていることが多いと思われる。並列処理を意識したアルゴリズムの研究開発がまず必要である。

#### (2) プログラム言語の研究

前項でもふれたようにプログラムの記述法自体が並列処理の記述に適していることが望まれる。データフローグラフなどもこのような目的に適した記述法として提案されたものであるが、データ構造との関連などなお改善・強化を要する事項も多いようにみえる。また応用分野によっては別の記述法が望ましい場合も多いように思われる。たとえば論理と制御を分離した記述法などいろいろなレベルで考えてみる必要がある。

#### (3) アーキテクチャの研究

データ構造やアルゴリズムと整合性のよいアーキテクチャにすることが並列処理システムでは特に重要である。この整合をどうしてとるか、幅広い応用分野に対して整合のとれる構成法を研究するといったことが必要になってくる。アーキテクチャについては後に、発展の経過の立場からも詳述するので、ここでは簡単にふれるにとどめる。

#### (4) 実装法の研究

素子や基本回路方式と並んで、実装方式の重要性が高速化が進むにつれて増してくる。CRAY-1の成功の一つに冷却法の進歩が大きく貢献している。地味な分野であるが製造技術とも関連する重要分野である。

#### (5) 高速素子の研究

基本素子や基本回路が高速になることは、これまでのコンピュータ技術の進歩の歴史からも明らかなように、システムの性能向上に最も直接的な効果を期待できる。

しかしながら基本素子がいかに高速であっても高密度実装技術をとまなわなければ、システムとしての高

† Recent Trends on Super Computers by Tohru MOTO-OKA  
(Faculty of Engineering, University of Tokyo).

†† 東京大学工学部

速化は望めない。このことが近年新しい材料や原理にもとづく素子の導入を困難にしている大きな理由といえる。

以上に列挙した5つの階層すべてにいえることは、階層それぞれが別個の技術である反面、深い結びつきのある技術であることを理解して、システム全体の開発にあたるのが、このような複雑かつ大規模なシステム実現には重要である。

以下では、これまでの発展の歴史を辿りながら、技術上の問題点について概観し、そのあとで、今日の代表的なスーパーコンピュータについて紹介することにする。

## 2. スーパーコンピュータ発展の経過

コンピュータの大容量・高速化に対する要求はコンピュータの揺ら年期より強いものがあり、素子の高速化が光速によって限界のくることは比較的初期の段階から設計者によって意識されてきた。集積回路でなく個別素子の組合せで回路が構成されていた時代の方が、より強く意識されていたとしても不思議ではない。

このため1960年までにIBMのStretch, UNIVACのLARCといったシステムの開発段階で、命令の先取りによる命令の取出段階と命令の実行段階との並列同時実行法が研究され、その後のコンピュータで広く用いられるようになった<sup>1)</sup>。

科学技術用計算機として高い評価を得たCDC 6600は1964年に最初に出荷されたが、演算装置を10台近くもうけることによって既存のコンピュータに比して5倍程度の性能が得られた。この線にそって改良を加えられたのがCDC 7600でさらに5倍の高性能化を個別部品を使って実現しているが、クロックは27.5 nsで、このような実装技術では限界といえよう。

偏微分方程式の数値計算などを目標に多数のプロセッサを二次元に並列配置して高速化を目指した最初のプロジェクトは、1950年代に提案され米国空軍の援助で研究が進められたSOLOMONであろう。この考えを発展させ、1,000台のプロセッサをSIMD方式で制御すれば1960年代初期の技術で、100 MFLOPSを実現できると考えられていた。この線に沿って計画されたのがIlliack IVであり、国防省の予算で設計・製造され、震動波の解析に用いられることが考えられていた<sup>2)</sup>。その後、NASAのAmesの研究所に設置され、空気力学の研究にも活用されることになった

が、信頼性の問題と、このような構成のコンピュータの使用法の困難さとのために、有用な計算結果が得られるまでに多くの時間を要し、この方面の研究が頓挫する原因になった。Illiack IVが独自のアーキテクチャを目指すと同時に、最新の素子技術を用いようとしたために、信頼性の点でも問題を生じたことが指摘されている。一步一步足もとを固めながら開発を進めることの重要性を示唆するものであり、他山の石とすべきであろう。プログラム作成の困難さが使いこなすのに時間のかかった主要な原因であることはいうまでもない。NASAの研究者達はその後Navier-Stokesの問題を解くのにこのIlliack IVと高速超大容量記憶との結合システムを用いて実効を上げることに成功した。この成功が最近のNASAの新しいプロジェクトに結びついてきたといえよう。

Illiack IVを製造したBurroughsはその経験を生かしてBSP(Burroughs Scientific Processor)と呼ばれるコンピュータを開発した。これについては後に述べる。

Illiack IVのような並列構造とは異なった高速演算方式としてパイプライン方式であり、いろいろなレベルでパイプライン制御方式が研究されてきた。IBM 360/90のような逐次制御マシンでも、演算器内部では徹底したパイプライン方式がとられている。米国の原子力局(AEC)の援助を受けてパイプライン方式による超高性能機を目指した実験機として、ローレンス・リバモア国立研究所はCDCにSTAR(String Array Processor)の製造を依頼した。TIも独自の判断でASC(Advanced Scientific Computer)と呼ばれる4つのパイプラインからなるシステムを開発した。

これらはいずれも大きなベクトルに対してはすぐれた性能を発揮したが、完全なベクトル化が不可能な場合には逐次制御機に比して2倍程度の性能向上しか達成できないことが多い。

CDC 6600/7600の設計者であったSeymour Crayは7600に続く8600の設計を放棄して、1972年にCray Research Inc. (CRI)を創設して、独自のベクトルマンの開発を始めた。CDC STARやTIのASCの経験を生かして、スカラ処理の高速化も同時に可能にすることを心がけたCRAY-1が生まれ、スーパーコンピュータが第2世代に入ったといわれる原動力となった。

現在活躍中のスーパーコンピュータとしては、このCRAY-1のほかに、STAR 100にスカラ処理機能を

強化した CDC の Cyber 203, 205 などがあるが、これらについては後で詳述する。

多重プロセッサ方式のものには、ビット処理に重点をおいた画像処理装置である Goodyear Aerospace Corp の MPP (Massively Parallel Processor) や、弾道ミサイルの防衛システムである PEPE など専用システムとして評価の高いシステムがある。これらを汎用化して科学計算用のスーパーコンピュータにすることには成功していないが、VLSI 技術を生かしたアーキテクチャとして今後の開発の主要対象の一つになろう。Denelcor の HEP, パロースの BSP, CDC の AFP, ICL の DAP や LLNL の S-1 などが今後の開発をまわっているシステムである。

このほかベクトル演算をする専用機構を汎用コンピュータの中に組み込むことが行われており、我が国の大形機では日立の M 280+IAP, 富士通の M 380+AP, 日電の ACOS 1000 のようにいずれもこの機構を準備している。長いベクトル演算の高速化に実効があるだけでなく次のスーパーコンピュータへの発展の一步としてベクトル演算のアルゴリズムやソフトウェア開発の経験を積むためにも有益であろう。

今後の動向としては NASA が風洞実験に代るスーパーコンピュータの開発を目指し、Burroughs と CDC に 1 GFLOPS の性能を持ったスーパーコンピュータの初期設計を行う契約を結んだという。これとは独立に LLNL の S-1 計画もある。我が国でも、1982 年から 8~9 年計画で NASA の計画を凌駕するスーパーコンピュータを目指した大形プロジェクトが発足する。これは素子の開発も前段階として含んだものである。アルゴリズム、ソフトウェア、アーキテクチャ、実装技術、素子といったそれぞれの基礎技術が順調な発展をとげ、全体としてバランスの良いスーパーコンピュータの開発が行われることを期待したい。

### 3. 素子・回路技術への期待

Si より高速に情報を処理することのできる超高速機能素子を期待することはこれまでの電子デバイスの発展の歴史からも当然である。多くの努力が各方面ではらわれてきたが、ここ 20 年程実際に Si に代って用いられる素子がコンピュータの分野では現われなかった。

この間の電子デバイスの主要な進歩は、新しい材料の開発よりも IC-LSI-VLSI と続いてきた Si の微細加工技術による高密度集積化による性能向上に負うと

ころが大きい。そして今後なお 10 年近くはこの傾向が主流をなすという予測が強い。この小形化の努力が高速化・高性能化のための重要な要素であることが、このような発展の経過を辿る要因になっている。換言すれば、素子のスイッチング速度が上って、ピコ秒 (ps) の領域に入ると共に小形化・高密度化が高速化の必須条件になったということである。また伝搬速度だけでなくスイッチング速度自体が高密度化によって向上する。このことは逆にいえば、材料的に高速化できる素質を持った材料であっても、これに Si にみられるような高密度化実装技術、あるいはそれを凌駕できるような技術をとまなわなければ、その新素子は実用されない時代に入っているということである。新素子の出現を否定するものではないが、過去の開発の歴史に比して新素子の実用化が困難な時代に入っていることは事実であろう。

Si に代る材料として半導体では GaAs が 1950 年代から研究されており、Gunn 発振の発見などによって、マイクロ波の発振器、増幅器としては確固たる地位をきずいている。Gunn 発振の源となる高電界ドメインの高速性を利用すると、20 ps 程度の遅延時間が達成できるが、電力消費が大きいために LSI 化レベルの高密度化は困難である。このため GaAs の LSI では MES FET が研究されている。FET で Si よりも GaAs を用いようとする理由は Si の電子移動度が  $700 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  であるのに対して GaAs では 4600 と 6.5 倍も大きいためである。このような観点から材料をみると InAs が 16000 といった高い電子移動度を持っているが、エネルギー・バンドギャップが小さくてデバイスを作りにくいと考えられている。

材料は同じであるが構造を変えることによって高移動度を実現する研究が各所で行われている。富士通研究所が開発を進めている HEMT (High Electron Mobility Transistor) はその代表例である<sup>3)</sup>。不純物濃度の低い ( $10^{14} \sim 10^{15} \text{ cm}^{-3}$ ) 領域を濃度の高い ( $10^{17} \text{ cm}^{-3}$ ) キャリヤが走ることができるようにして高移動度を可能にしている。HEMT は図-1 に示すような構造になっており、不純物濃度の高い n 型 AlGaAs 層とノンドープ GaAs 層とを接触させ、ドナーから供給された電子が GaAs 層に移動して高い電子濃度が得られる。

GaAs の移動度を制限している主な要因に有極性光学フォノンと、イオン化した不純物とがあげられる。前者は Ga-As 間距離の熱振動による変化で起るクー

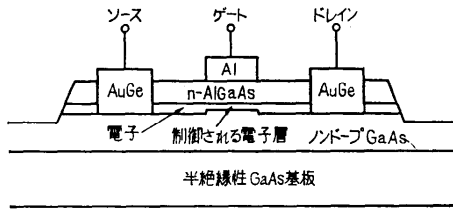


図-1 HEMT の構造例

ロン力の乱れが電子を散乱させることによる。これは低温にすることによって減少させることができる。後者は不純物密度を減らせばよい。ただし不純物密度を下げることによって電子密度が下がってしまえば  $g_m$  が下がるので HEMT のような構造上の工夫が必要になってくる。HEMT の性能を向上させるためには上記の理由から低温にするのがよい。図-1 に示した HEMT では 77°K に冷却することによって 300°K に比して移動度が 3 倍になる。さらに構造を工夫すると 7 倍になるという。

これら半導体技術とは全く異なった物理現象を利用した素子にジョセフソン接合 (Josephson Junction) 素子がある。これは 1962 年に理論的に予測され、その後実証されたジョセフソン効果を用いる素子である。図-2 のように 2 つの超伝導体の間に薄い絶縁物をサンドイッチ状にはさんだ素子であり液体ヘリウム (4°K) 中で動作させると、この絶縁物を超伝導電子が

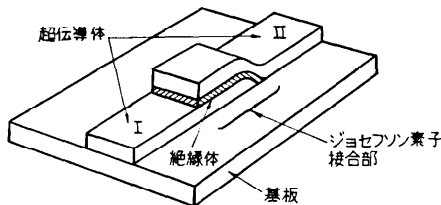


図-2 ジョセフソン素子の構造例

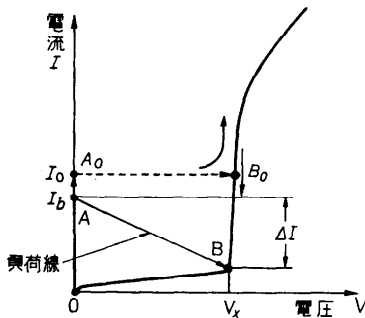


図-3 ジョセフソン素子の電流-電圧特性

トンネルする現象を用いたものである。このトンネル効果は図-3 に示すように磁界や電流値によって変化し、超伝導状態から電圧状態にスイッチするが、このスイッチ時間は 10 ps 以下にできると考えられ、IBM を中心に超高速スイッチング素子への応用が研究されてきた。

ジョセフソン素子については多くの解説があるので詳細については述べない<sup>4),5)</sup>。実験レベルではあるが、13 ps といいたゲート遅延時間を実現しており、高速化の点からはもっとも期待できる素子と考えられている。また記憶にエネルギー消費をとまなわない方式が可能でありすぐれた特性を持った素子ということができる。しかし液体ヘリウム温度といった極低温でなければ動作しないことは、研究・開発を困難にするし、調整時に必要になる多数の急激な熱サイクルが故障を誘発する恐れもある。

また回路の方向性、磁束量子の問題などトランジスタ回路からの類推だけでは解決困難な課題も多くかかえており、回路技術、実装技術からの検討を積み重ねる必要がある。

#### 4. 配列方式スーパーコンピュータ

多数の処理単位が多数の配列要素に対して同時に演算をほどこす SIMD 型マシンがこの原型であり、古くは Illiac IV がその代表であることについては既に述べた。

この方式は処理単位の数を増すことによって、原理的にはその数に比例した性能の向上を期待できる点で捨てがたい長所を持った方式である。しかし実際には処理単位相互間の結合方式の複雑さが問題であり、またアルゴリズムの構造と結合網構造との差、記憶アクセスの競合などのために処理単位に比例した性能向上を実現できないのが実体である。このことがデータ流制御などの方式が提案されるにいたった原動力となった訳であるがデータフローマシンについては後にふれることにしてここでは SIMD 形マシンの改良形である BSP (Burroughs Scientific Processor) について述べることにする。Burroughs は Illiac IV の建設を担当した会社であり、そのときの貴重な経験を生かして設計されたマシンということができる。

BSP は B 7800 のような大形ホストマシンに付置され、並列プロセッサ、制御プロセッサ、ファイル記憶の 3 サブシステムから構成されるシステムで図-4 に示すとおりである<sup>6)</sup>。代表的な応用例で FORTRAN

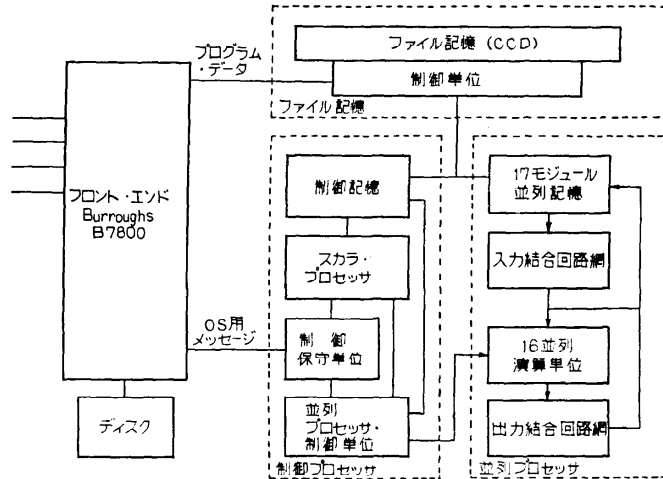


図-4 BSP のブロック図

のコードを 20~40 MOPS の速度で処理することを目指したもので、B 7800 に比して 50~100 倍の性能が得られたという。並列プロセッサがその中心であり、16 台の演算単位、17 モジュールからなる 0.5~8MW の並列記憶、両者を結ぶクロスバ・結線網からなる。これが制御プロセッサ中の並列プロセッサ制御単位においてパイプライン化された命令のルックアヘッド制御方式によって制御される。併行処理はいくつかのレベルで考えられている。代表的なものとしては、入出力に相当するファイル記憶動作とプログラムの処理動作の間の併行処理、命令の解釈段階と実行段階の間の併行処理などである。並列プロセッサ中の命令実行のパイプライン化は次の 5 段階の間で行われている。

- 第一段階 並列記憶からのデータの取出し
- 第二段階 演算単位へのデータのラウティング (routing)
- 第三段階 実行 (16 台の並列実行)
- 第四段階 並列記憶への結果のラウティング
- 第五段階 データの格納

ただ演算単位の中はパイプライン化されておらず、160 ns の CP (クロック周期) で動いている。48 ビット/語で浮動小数点の単精度加・減・乗算は 2CP、除算は 8CP で実行できる。倍精度になると加・減算に 8CP、乗算に 10CP かかる。16 台の演算単位は SIMD 制御である。並列記憶は 17 モジュールからなるので、配列の行・列・対角に対応する 16 個の連続要素を記憶競合なしに取り出すことができる。並列記憶

と演算単位間のデータ転送速度は 100 MW/s である。

この記憶と演算の両単位間に入力用、出力用の結合回路網をもうけて、結合の自由度を増したことがこのシステムの最大の特徴であるが、クロスバスイッチを用いており、価格の上昇も無視できない。このような結合回路網の気のきいた構成法を見つけることが今後の重要な研究課題の一つである。

制御プロセッサには 262 kW の制御記憶、並列プロセッサ制御単位のほかに、スカラ演算を実行するスカラ・プロセッサがあり、これは 80 ns の CP を持ち、1.5 MFLOPS の性能をそなえている。また制御・保守単位があってホストの B 7800 のシステムマネージャとの交信、性能の監視と診断制御などの役割を分担している。

ファイル記憶は CCD を用いた 4~64 MW の高速 2 次記憶と、制御単位からなり、BSP の直接管理下にある唯一の入出力システムである。プログラムやデータはこのファイル記憶を介して、ロードされる。ファイル記憶と、B 7800 との間のデータ転送速度は 250 kW/s、ファイル記憶と、制御記憶または並列記憶との間のデータ転送速度は 12.5 MW/s である。

Burroughs は BSP の商用化をあきらめたという話である。理由は明らかでないが、スーパーコンピュータの開発のむつかしさを示す一例と云えよう。

## 5. パイプライン方式スーパーコンピュータ

パイプライン制御はベクトル処理に適した制御方式

として広く受け入れられている。パイプラインプロセッサは前述の配列方式と異なり、結合回路網について心配する必要はないが、演算機能単位の構造はパイプライン化のために複雑になる傾向がある。

パイプラインプロセッサは機能パイプの種類と数、記憶構造、ベクトルアクセスの能力、ベクトルやスカラ演算の種類などによって特徴づけられる。性能劣化はパイプラインの設定・開放に要する時間やスカラ演算の相対頻度などによってきまる。

ここでは CDC の Cyber 205 と CRAY-1 についてみることにする<sup>7)</sup>。

Cyber 205 は図-5 に示すように記憶から取り出されたデータがパイプラインを流れて再び記憶に書き込まれるといった構成をとったマシンで CDC の Star 100 で得られた経験をもとに設計され、LSI 化して 20 ns のクロックを実現したシステムである。

一語 64 ビットからなり、4 M 語までの容量のある多モジュール記憶方式をとっている。1 M 語ごとに 16 モジュールに分けられ、各モジュールに 128K の半語が貯えられ、8 相のバンク構成になっている。転送速度は 1 M 語のとき 512 bits/20 ns (400 MW/s)、2 M 語、4 M 語ではその 2 倍になる。仮想記憶方式で仮想アドレス空間は 48 ビットである。

スカラ・プロセッサはスカラ演算の実行のほかスカラやベクトル命令の生成に用いられる。3 アドレス方式の命令で指定されるベクトル演算は専用機能単位によって効率よく制御される。記憶の競合がなければ複数のスカラ演算と複数のベクトル演算とが併行処理される。命令は 20 ns ごとに一つずつ発せられ、スカラ

命令は 20 ns のセグメント遅延を持つ 5 本の独立パイプライン演算単位で実行される。

ベクトルプロセッサは 1 本から 4 本までのパイプライン化されたベクトル演算単位を持ち、1 ビット要素、8 ビット要素、32 ビット及び 64 ビットの浮動小数点要素を処理できる。20 ns のセグメント遅延を持つパイプラインとベクトルデータを記憶から高速に出し入れするストリーム単位とを用いて高性能を実現している。

64 ビット語のベクトル演算で乗算と加算がリンクされ、4 本のパイプラインが用いられるときには 400 MFLOPS の性能が得られる。32 ビット語であれば 800 MFLOPS になる。しかしベクトルの加・減・乗算単独のときは 200 MFLOPS で、これもベクトル長が無限のときで長さが 25 であれば加算で 22.2 MFLOPS 長さが 200 になっても 166.7 MFLOPS にとどまる。

Cyber 205 が LSI 化してあるのに対して、CRAY-1 は IC 技術に頼っているが、冷却などの実装技術を工夫してクロック周期を 12.5 ns にすることに成功し、また、図-6 に示すようにレジスタを多用して、短いベクトルに対しても高い性能が得られる構成にすることに成功している<sup>8)</sup>。CRAY-1 のアーキテクチャ上の特徴としては、(1)多数の機能単位を用意し、これらがパイプラインとしても、また並列にも用いられるようにしたこと、(2)レジスタレジスタ構成にし、これとよく整合のとれた記憶階層システムを持っていること、(3)効率のよいスカラ/ベクトル命令セットが用意されていること、(4)ホストマシンとして各種の汎用機を使えること、などがあげられよう。

すべての機能単位が 12.5 ns のセグメント遅延を持つセグメントの固定パイプラインの構成をとるように設計されている。またすべての機能単位に演算数バッファが用意されているから、資源の競合が起らない限り、新しい演算をクロックごとに開始できる。

CRAY-1 は図-6 から明らかなように (1)命令部、(2)アドレス部、(3)スカラ部、(4)ベクトル部の 4 部からなり、このほかに主記憶がある。

命令部ではクロックごとに命令バッファ (4×16×64 ビット語、すなわち 256

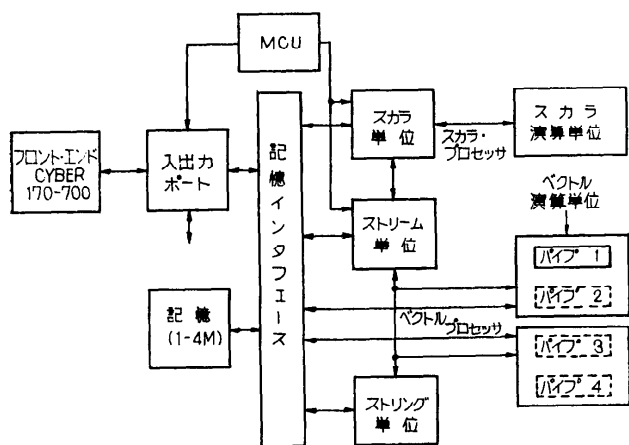


図-5 CDC CYBER-205 システムのブロック図



ロックごとに得られるから 80 MFLOPS に相当する。またベクトル演算を重ねたり、チェイニングすることができるから性能はさらに向上し、短期間では最高 250 MFLOPS, 継続的にも最高 138 MFLOPS が実現できるという。レジスタレジスタ構成の利点としては(1)命令形式が簡単, (2)ベクトル演算の立上りが早い, (3)主記憶を分離しやすいなどがあげられる。

主記憶の容量は 1M 語で 16 バンクからなり, 80M 語/s のバンド幅を持っている。

## 6. データフローマシン

データフローマシンも将来のスーパーコンピュータの候補として無視できない<sup>9)</sup>。データフローマシンは、関数間のデータの流れてに着目して制御を行うマシンであり、その原理図は図-7 に示すようなものである。同図(b)に示す PE の操作機構に複数の演算機能があれば、ここで併行処理が行われる。また多数の PE を同図(a)に示すように通信網を使って結合することによって、プロセッサレベルでの併行処理も行われる。この制御方式が注目されている理由はアルゴリズムの持つ並列性をそのまま利用できる点にある。関数すなわち演算機能として低レベルのものを選べばそれだけ並列性は増加する。しかし PE 内部のじゅん環ループの長さ、呼出し機構や更新機構での回路網制御の複雑

さ、通信網での遅延と網の複雑さなど、システム設計上研究を要する課題も多い。特定の計算モデルに束縛されないアーキテクチャになっている点で汎用性が期待される反面、特定の用途に対して十分な性能が発揮できるか否かは今後の研究の進展に負うところが大きい。個々の課題に特有なデータの流れをプロセッサ構成の形で受けとめていない点で全く新しい構成法であり、今後の発展が期待されるが、研究段階にありこれを用いてスーパーコンピュータを実現する大規模プロジェクトは今後の課題である。

## 7. おわりに

以上主としてアーキテクチャからハードウェアよりの話題を中心にスーパーコンピュータを眺めてきた。おりおりにふれたように、スーパーコンピュータはアルゴリズムやソフトウェアとの整合性を無視しては実用的な意味での高性能を期待することができない。このことがこれまでのスーパーコンピュータ開発の歴史から得られた貴重な結論であろう。これから設計されるスーパーコンピュータにはこれまでの経験が十分生かされて実効のあがるシステムとなることを期待して筆を置く。

## 参考文献

- 1) Buchholz, W.: Planning a Computer System, McGraw Hill (1962).
- 2) 加藤, 苗村: 並列処理計算機, オーム社 (昭 51 年).
- 3) Mimura, T. et al.: A New Field Effect Transistor with Selectively Doped GaAs/nAl<sub>x</sub>Ga<sub>1-x</sub>As Heterojunctions JJAP 19, 5 L 225-L 227 (May 1980).
- 4) 菅野卓雄: ジョセフソン効果とその応用素子, 情報処理, Vol. 22, No. 8, pp. 722-730 (Aug. 1981).
- 5) Anacker, W.: Computing at 4 degrees Kelvin IE<sup>3</sup> specrum, pp. 26-37 (May 1979).
- 6) Stokes, R. and Cantarella, R.: The History of Parallel Processing at Burroughs, Proc. 1981 Parallel Processing Conference, pp. 25-32(1981).
- 7) Kozdrowicki, E. W. and Theis, D. J.: Second Generation of Vector Supercomputers Computer, 13, 11, pp. 71-83 (Nov. 1980).
- 8) Russell, R. M.: The CRAY-1 Computer System Comm. ACM 21, 1, pp. 63-72 (Jan. 1978).
- 9) Dennis, J. B.: Data Flow Supercomputers Computer, pp. 48-56 (Nov. 1980).

(昭和 56 年 11 月 9 日受付)

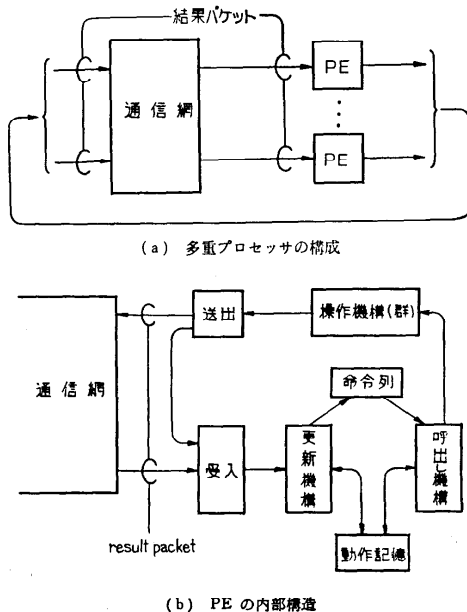


図-7 データ・フローマシンの原理図