

5.2 ■ 情報処理技術 — 過去十年そして今後の十年 —

半導体プロセス技術

小林 敏夫 ソニー（株）コアテクノロジー&ネットワークカンパニーLSI事業開発本部
 松永 準一 （株）東芝 セミコンダクター社メモリ事業部先端メモリ開発センタ
 小澤 時典 （株）半導体理工学研究センター

半導体プロセス技術は、3年を1世代として過去20数年集積密度を高めてきている。それに伴いデバイスの進歩はめざましいものがある。さらにそのデバイスの進歩がLSIの進歩へと結びつきLSIが単なる部品という位置づけから大きく飛躍して、システムを構成するような時代へと突入してきた。携帯電話など移動無線の端末はLSIの進歩なしには実現できなかったものである。本稿では、こうした半導体のプロセス・デバイス技術の進歩の歴史を振り返るとともに、システムLSI時代におけるさらなる発展の予測について述べる。特に、テクノロジーロードマップの技術予測を紹介し、システムオンチップの将来の姿を予測する。

■はじめに

半導体技術の進歩によるエレクトロニクス産業全体の進歩は21世紀に入っても継続するものと予測されている。その基盤ともなる半導体技術の進歩と予測については米国半導体工業会（SIA）から米国半導体ロードマップ（NTRS）として1992年、1994年、1997年と3回発行され、昨年11月末には日本で開催されたITRS（International Technology Roadmap for Semiconductors）1999 Japan Conferenceで初めて国際半導体ロードマップITRS1999 Edition¹⁾が公開された。ITRS1999では、従来のテクノロジー世代という考えを改めテクノロジー・ノードという概念を導入し、同じ時代に複数のテクノロジー・ノードが共存するという現実と近未来のビジネスイ

メージへの対応を示している。ここでいうテクノロジーとは、その時期に量産を開始する半導体製造工程に使用されるマスクの最小寸法を実現する技術である。これら半導体ロードマップ（TRS）の各年代での予測を併記すると表-1^{2), 3)}のようになる。TRSの発行年代とともにテクノロジーは前倒しになっていることが分かる。一昔前に限界ではないかといわれた0.1ミクロン（100nm）をあっさり超えて2014年には35nmの領域へ到達するとの予測が示されている。図-1はTRSに示されたテクノロジーの進歩とトランジスタの集積数を示している。今後10年ほぼ直線的に増加するものと予測されている。

一方ではこうした製造技術の進歩に対してはたして設計技術の進歩が追いつくのであろうかとの疑問が提

Version	350	250	180	150	130	100	70	50	35	nm
1994	1995	1998	2001		2004	2007	2010			年
1997		1997	1999	2001	2003	2006	2009	2012		
1999			1999		2002	2005	2008	2011	2014	

表-1 TRSの変遷（テクノロジーの実現年代）

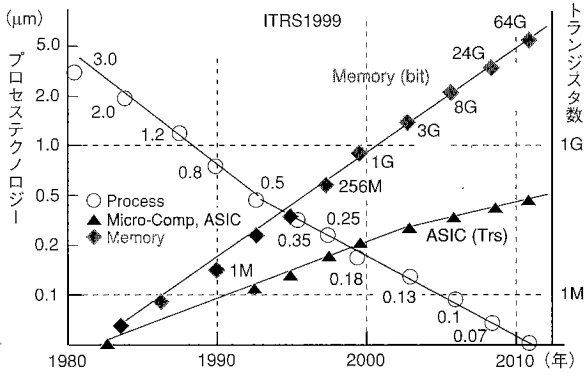


図-1 集積度の推移

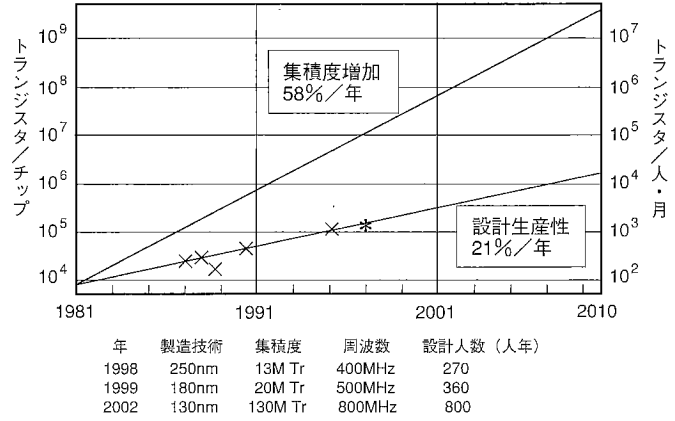


図-2 設計生産性の危機

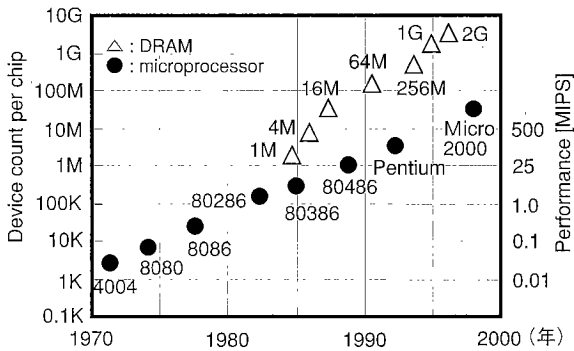


図-3 ムーアの法則

	1980	1990	2000
Technology (μm)	3	0.8	0.18
Performance (MIPS)	5	40	2000
Clock (MHz)	20	80	500
Power (mW/MIPS)	250	12.5	0.1
Num. of Transistors	50K	500K	5M
Price	\$150.00	\$15.00	\$1.50

表-2 DSPの技術トレンド

示され、設計が開発のネックになるいわゆる設計危機が懸念されている。これは微細加工が進めば、1チップに搭載されるデバイスの数は飛躍的に増加して、コンピュータの中央処理装置 (CPU) だけでなく、周辺制御装置、メモリ、信号処理 (DSP) のような専用処理装置、さらにはアナログ装置などまで集積化できるようないわゆるSoC (System on a Chip) の時代になるが、果たしてこうした大規模システムを従来のLSIのような限られた人数で短期間に設計・開発できるかという問題である。図-2はITRS 1999に示された設計生産性と集積度とのギャップである。こうした危機感から米国・欧州においては企業のみならず大学においても設計技術の研究が盛んに行われている。

本稿では、こうした半導体の進歩を支えるデバイス技術、プロセス技術に焦点を当てて最初にムーアの法則とスケーリング則をベースに技術

進歩の世代とそれによってもたらされたLSIのインパクトを世代ごとにクローズアップし、ディープサブミクロンといわれるプロセス技術の進展を概観し、サブ100nmのテクノロジー・ノードが与えるLSIへの影響を予測し、2010年のシステムLSIの課題を予測してみる。

■ムーアの法則とスケーリング則

ムーアの法則は、Intelの創業者の一人であり、名誉会長であるGordon E. Mooreが1965年に見出した法則である⁴⁾。彼は、18~24カ月でほぼ倍のトランジスタ数を集積した新チップが市場に現れることを見出した。この法則はDRAMのトレンドにも成り立ち、3年で4倍の集積度の向上がみられることが知られている。図-3に示すように、Intelのマイクロプロセッサは、このトレンド

にのり1975年の4004からPentium IIまでの20数年間でトランジスタ数が3200倍になっている。これに伴いマイクロプロセッサの性能もほぼ5年で10倍のペースで向上してきている。5年で、チップの単位面積当たりの価格が変わらなるとすると約3倍、チップ価格が変わらなるとすると10倍のCPUパワーが、同じコストで使えることになる。この間、MOSデバイス技術においては1985年頃にNMOSからCMOSへの移行があり、DRAMにおいては1980年代中頃から、それまでの2層ポリシリコン構造 (64~256K) からドレン構造 (1~16M) にスタックキャパシタへ移行してきて、1990年代中頃から多層フィン構造 (64~256M) へと移行してきた。

他のLSI、たとえばDSPの場合は、10年でおおよそ1桁集積トランジスタ数が増えている (表-2)。DSPの場合、価格は10年でおおよそ1/10となっており、このことは、ムーアの法則が利

用できる回路の価格が10年で1/100になったことを意味している⁵⁾。

このようにLSIは、品種によって多少の差はあるものの、過去10年間で、回路コストが大幅に低下したため、かつては大型計算機かワークステーションでしかできなかった処理、たとえば音声認識、文字図形認識、自動翻訳さらにCGなどが個人のパソコン、ゲーム機上でも可能となり、社会のさまざまな分野で多くの計算機資源が安価に利用されることとなった。

計算能力をMIPSで表すと（MIPS; Million Instruction Per Second, 毎秒ごとの演算回数）、2000年における汎用MPUの演算能力は2000～3000MIPS程度といわれており、このままのトレンドで能力が向上すると2010年には 10^5 MIPS（100GIPS）にも達すると予想される。この時代には、音声翻訳、高度の認識処理（自動運転など）が日常生活の中で可能となり、LSIが社会インフラの中核を担うことになる。

このLSI技術の発展はMOSトランジスタ（あるいはMOSFET）というデバイスと微細化技術の進歩によってもたらされた。MOSトランジスタは、R. H. Dennardによって示されたスケーリング理論によって微細化を行えば性能が向上することが示されている³⁾。また、微細化を進めれば1チップに集積されるトランジスタ数が増すのに対して、1チップ当たりの製造コストは、量産を行えばほぼ同じになる^{6), 7)}。したがって、トランジスタ1個当たりの単価が下がり、性能あるいは機能対コストの比が改善される。

また、MOSLSIの高集積化は、単体トランジスタの性能を向上させることにとどまらず、システム全体の性能向上にも大きく寄与する。大型計算機を数チップに集積することによって、単体トランジスタの速度性能として優れているバイポーラトラン

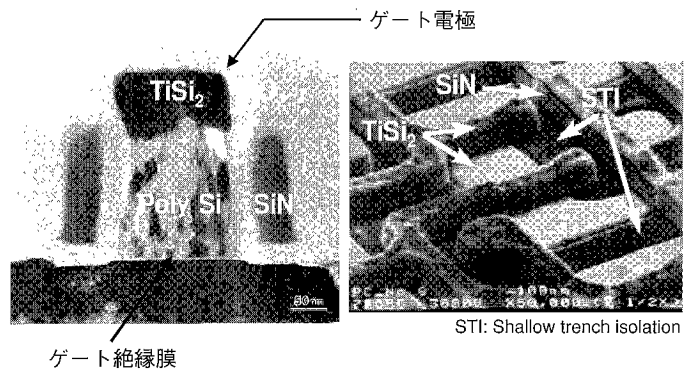


図4 現状のTiポリサイドMOSFET構造断面図

ジスタよりも、システム全体としては、MOSLSIの方がより優れた性能を実現できることが知られている⁸⁾。実装に伴うインタフェース間でのパワーとスピードの損失を小さくできるためである。このため、システム全体の低エネルギー化にも有効である。

このように、素子を微細化すること、あるいはLSIをさらに高集積化することは、LSI性能の改善と低コスト化をもたらす、システム全体の性能向上にも寄与する。このため、素子の微細化、LSIの高集積化に寄与する技術はLSI産業においてきわめて重要な技術と位置づけられ、精力的に研究が行われている⁹⁾。

今後の10年、 $0.1\mu\text{m}$ 以下の微細な領域においてなおムーアの法則に従ってLSIは発展しつづけるのか否かは、次の2点にかかっている。

(1) スケーリング則がなお成り立つのか：種々の物理限界が顕在化し、スケーリング則そのものが成り立たなくなる可能性がある。あるいは、スケーリング則に何らかの修正が必要になる。

(2) SoCがPCと同様の商品サイクルを必要とするのか：先に示したDSPのように必ずしもムーアの法則にのらないLSIもある。SoCの具体的な商品としてのイメージはなお不透明である。

■ディープサブミクロンの与えるインパクト

現在から近未来にかけてのプロセス・デバイス技術の動向について述べる。現在の技術世代（ノード）は、いわゆる「ディープサブミクロン」といわれるノードにあたり、具体的には、 $250\sim 180\text{nm}$ の微細化レベルにあたる。今や半導体LSI技術の本流は疑いもなくCMOSシリコン技術である。もちろん、BiCMOSを含めたバイポーラ・シリコン技術やGaAs技術も超高速デジタル処理や高周波アナログ用途向けにLSIやICが生産されているが、ダイナミックRAMやフラッシュEEPROMなどのメモリもマイクロコンピュータやDSPも主要な半導体LSIはすべてCMOS技術によって製造されている。この流れは当分の間変更はないと考える。1980年代台初頭からのCMOSシリコン技術の進歩は 250nm ノードに至りシリコンチップ上に集積可能なトランジスタ数がついに10メガ個/チップを超え、まさに、SoCと呼ぶにふさわしいレベルにまで達した。ディープサブミクロンがLSIにもたらした最大のインパクトはまさにこのことに尽きる。LSIにこのような変革をもたらしたシリコン技術の現状を紹介する。

CMOSスケーリング則をプロセス面で支えてきたのが微細化技術である。なかでも光リソグラフィ技術

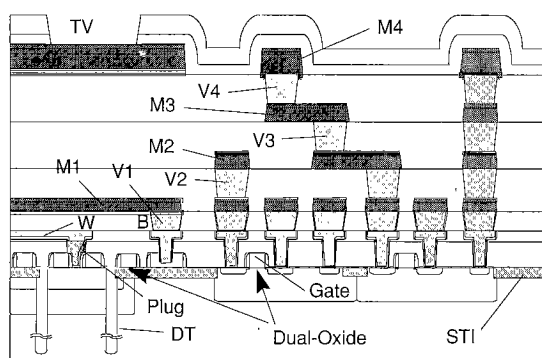


図-5 現状の配線構造の断面図

である。現在、本格的な量産段階にある250nm、量産段階に入った180nmのプロセスでは、KrFエキシマ・レーザ光源（波長248nm）を用いたリソグラフィ技術が回路パタンの焼き付けに用いられている。回路パタンの幅・間隔が光源の波長より短くなると、解像度の低下、露光量や焦点深度のマージン低下、光近接効果などが顕著になり、これらの問題を1つ1つ解決するために総合的なリソグラフィ・プロセス技術が必要となる。たとえばデバイス表面の凹凸を極力少なくし焦点深度の余裕を増やすことが要求される。この点ではCMP技術（Chemical mechanical polishing: 化学的機械研磨）が大いに貢献した。また、OPC（Optical proximity correction: 光近接効果補正）技術も導入された。この技術は回路設計に携わる技術者とリソグラフィ技術者、デバイス技術者が協調して開発された。リソグラフィ技術の開発では、単に新しい露光装置の開発だけでなく、マスク技術、レジスト技術、超解像技術など、総合的な技術を駆使して、プロセスwindowを広げる努力がなされてきた。こうした努力によりKrFエキシマレーザ光源を用いたリソグラフィ技術も250nm、180nmノードのみならず150nm、130nmノードまでも視野に入れて開発が行われている。

図-4に現状のMOSFET断面図を

示す。MOSFETに期待される性能はその駆動能力である。スケーリング則は微細化によって駆動能力が向上することを示したが現実には適切な最適化が行われないと微細化した割には駆動能力の向上がみられなくなる。寄生抵抗・寄生容量の存在が性能向上を阻害する。ゲート電極、ソース・ドレイン拡散層の抵抗成分を低減する工夫が随所に施されている。たとえば、n型、p型拡散層上にはTiやCoのシリサイド層が貼つけられている。また大きな問題の1つに消費電力の低減がある。このために電源電圧を下げる。しかし電源電圧は下げても駆動能力は向上させなければならずゲート絶縁膜の薄膜化が必須となる。これまで使用されてきたSiO₂ゲート絶縁膜の薄膜化の限界は直接トンネリングによるゲートリーク電流で決まる。現状SiO₂ゲート膜厚は4nm近辺であるがさらなる薄膜化は今後の技術ノードにおいても最も重要な技術的課題である。その他、電源電圧、しきい値のスケーリングによってチャネルリーク電流の低減、寄生容量の低減も解決が求められており、SOI（Silicon on Insulator）の検討も進められている。

シリコン技術においてMOSFETと同様に重要な技術が配線技術である。MOSFETの性能は注意深いスケーリング則の適用によって向上してきた。しかしLSI全体の性能は

MOSFETだけでは決まらない。特に17mm角大のシリコンチップ上に10M個以上のMOSFETが集積したSoCチップではMOSFETからI/O端子までの間の配線がLSI性能に与える影響は大きい。配線層数、配線断面積、配線材料（比抵抗）、配線層間絶縁膜（比誘電率）、配線層間接続材料（比抵抗）などが性能に効いてくる。図-5に現在の配線構造の一例を示す。配線層数は多いもので5～6層にもなり配線形成の工程数はLSI全製造工程に占める割合が1/3近くになる。配線材料はAl-Cuが中心であるが今後一部の製品ではCuも適用される。配線層間絶縁膜は比誘電率が3.5近辺のガラス膜が使用される。これらの配線材料、構造で配線遅延時間が決まる。今後も配線技術がLSI性能を決めるキー技術である。

■テラビット時代のシステムLSI（2010年以降の姿）

現状のCMOSシリコン技術を将来に向けて発展させていくとどういうイメージになるか。現状の250～180nmノード、近未来の150～130nmノード、これらギガビット時代からさらに100nm以降のテラビット時代に繋がるテクノロジーはどんなものか。すでにサブ100nmゲート長を有する極超微細MOSFETを動作させたという報告は多い。ITRSでは、2014年頃には、約300mm²シリコンチップ上にゲート長35nm MOSFETを300M個集積するとある。これはどの集積度をチップ上で実現するとなれば設計・製造両面で多くの要素技術のブレークスルーが必要となる。現時点では次のようにロードマップを描いている。

図-6に近未来の130nmノードからサブ100nmのノードまでのリソグラフィ技術のロードマップを示

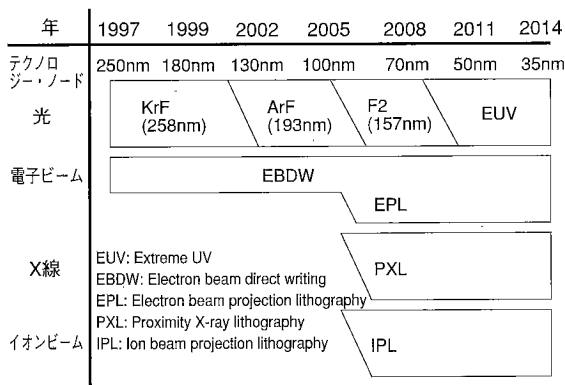


図-6 リソグラフィ技術のロードマップ

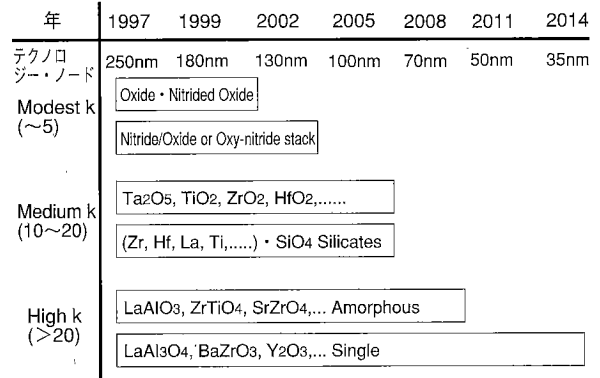


図-7 ゲート絶縁膜技術のロードマップ

す。KrF以降の露光技術ロードマップには、波長193nmのArF、波長157nmのF2エキシマ・レーザなどさらなる短波長光源を用いた露光技術、そして縮小投影を含めたX線、電子ビームを用いた露光技術など、5~6種類もの技術が示されている。いずれも多額の開発投資が必要であり、また、開発効率をあげるためにも、国際的な協調開発で選択肢を絞り込んでいくことになる。そして、このような短波長光源、それらを用いた露光装置の開発のみでは100nm以下の超微細パターン形成は実現できず、従来にも増して、マスク技術、新レジスト材料、超解像技術、さらにこれらの技術と回路設計、CAD技術の連携があつてはじめて実現されるのである。

MOSFET性能を向上させる上で最も懸案となる開発項目はゲート絶縁膜である。シリコン基板との界面が電気的に問題が少なくキャリア移動度が劣化しないという点で最も好ましいのはSiO₂膜であるが前章で述べたように直接トンネリングという現象の存在からいよいよサブ100nm以降では純SiO₂膜の使用は困難となる。トンネリング電流が少なく、かつ、MOSFETの駆動能力を向上させるゲート絶縁膜材料の候補に、高誘電率絶縁膜の採用が検討されている。図-7にSiO₂ゲート膜とポ

ストSiO₂膜のゲート絶縁膜技術のロードマップを示す。10前後以上の高誘電率膜を実膜厚で厚く使用してトンネル電流を抑制していこうとの計画である。新材料としては、TiO₂, Al₂O₃, ZrO₂, HfO₂, Ta₂O₅など広範な材料検討が行われている。SiO₂膜からこれら新材料膜への過程では当然SiON膜、SiN膜の検討も行われている。1960年初頭にSiO₂/Si界面の安定化が解決されて以来約半世紀もの間、SiO₂膜がゲート絶縁膜として使用されてきたが、サブ100nmノードへ向けて、MOSFETは大きなブレークスルー技術の登場を待っている。

図-8に現状から2010年代にかけての配線材料と低誘電率層間絶縁膜のロードマップを示す。このロードマップの特徴は、すでに一部のLSIには使用が検討されているCu配線がさらに積極的に使用されていくとともに配線層間絶縁膜の一層の低比誘電率化が進められることである。配線総数も2010年前後には10層を超える。図に示されるように上層配線は下層配線に較べ逆スケールングされた配線幅・間隔・膜厚となる。現在3.5前後の比誘電率は2005年前後には2.0を割り、2010年前後には1.5以下を目指す。これらの比誘電率を実現する新材料として、有機材料、無機材料の両面から検討が進ん

でいる。多孔質膜が比誘電率を下げるのに有効であることが知られているが、反面、これら多孔質膜は密度が小さいため機械的強度が劣化したり、熱の放散が悪くなったり、吸湿性や透湿性が増したり、さらには、不純物拡散に対するバリア効果が減少するなど問題点も多く、他の技術開発と同様、材料、プロセス、デバイス、設計の各分野の技術者の協調開発が期待される。

■まとめ

最後にテクノロジー・ノードに対応する技術課題、システムオンチップに与える影響について若干の考察を行い纏めとする。

過去10年以上に渡って半導体市場を引っ張ってきたPCが変わって、これからの10年はSoCが半導体市場を牽引することが期待されている。しかしながら、SoCとは何なのか。PCのような具体的な商品イメージを指すものではない。このため、設計を含めた半導体技術に要求される仕様、技術項目もPC(MPU, DRAM)を対象とした場合と異なり、より曖昧なものになっている。

チップとしてでき上がったSoCの価値を評価する項目は、Performance, Cost, そしてPower Dissi-

年	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
テクノロジー (nm)	180			130			100	70	50	35
メタル層数	6~7	6~7	7	7~8	8	8	8~9	9	9~10	9~10
比誘電率	3.5~4.0	3.5~4.0	2.7~3.5	2.7~3.5	2.2~2.7	2.2~2.7	1.6~2.2	1.5	<1.5	<1.5
層間絶縁膜	Fluorinated silicate glass		Hydrogen silsesquioxane-type		Organic polymer Inorganic dielectris		Xerogel Fluoropolymer Porous SiO ₂		Porous dielectrics and air gap	

図-8 配線技術のロードマップ¹⁰⁾

pation であると考えられる。したがって、SoCを作る技術も、これらの評価項目を意識して構築されるべきである。

SoCを作る技術にはシステム設計、回路設計、プロセス・デバイス技術があり、今まで述べてきた通り、それぞれに課題がある。ここでは、半導体プロセス技術の立場から最も本質的な課題であると考えられる Power についての問題を指摘する。

システム、回路の設計が十分に最適化されたとした場合、最後に残るのはデバイス固有の消費電力と配線による消費電力である。10年後のSoCを想定すると、技術的には1チップ上に数億個のトランジスタを集積することが可能になると考えられる。デバイスとしてMOSFETを想定するとデバイスを動作させるためのエネルギーは $(1/2) CV^2$ で決まる。このことから、パワーに制限を設けると動作周波数（単位時間当たりのオン・オフの回数）と、同時に動作できるトランジスタの個数の関係が決まる（図-9）。当然のこととして、同時に動作できるトランジスタの数には限りがある。システム全体の性能を上げるために、従来は個々のトランジスタ性能を高めると同時に集積トランジスタ数を増大させてきたが、パワー制限のために集積度が制限されかねない。今後は、パワー制限の下で引き続きシステム性能

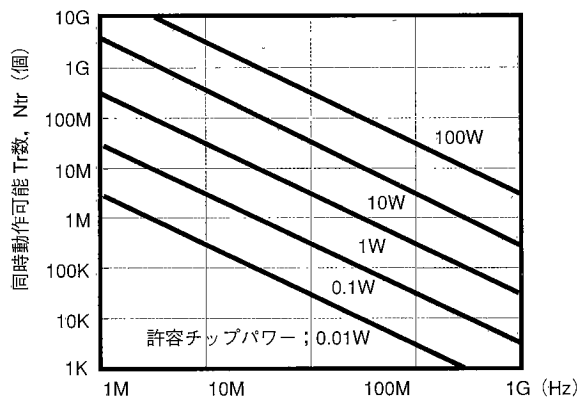


図-9 動作周波数と集積規模

を向上させる方策を模索する必要がある。そのためにはデバイスの低電力動作技術がきわめて重要となる。極論するならば、デバイス的高速化を抑えてでも低電力化が必要になる。たとえば、電源電圧を1/2にすることによって、仮に動作速度が1/2になったとしてもPowerが1/4になるため、4倍の数のトランジスタを同時に動作させることができる。トランジスタ1個の能力が1/2になっても全体としては2倍の仕事が可能となる。このように十分に多くのトランジスタを集積できる時代には、システム全体のPerformanceを上げるためデバイスに要求される要件が変る可能性もあり、並列処理を多用するアーキテクチャが重要となると考えられる。今後の10年は、デバイス・プロセスのみならず、システム設計に対しても大きな変革が要求されると予想される。

参考文献

- 1) International Technology Roadmap for Semiconductors by International SEMATECH.
- 2) The National Technology Roadmap for Semiconductors Technology Needs 1997 Edition, Semiconductor Industry Association.
- 3) The National Technology Roadmap for Semiconductors 1994 Semiconductor Industry Association.
- 4) Intel Museum Home Page, <http://www.intel.com/intel/museum/25anniv/hof/moore.htm>
- 5) Frantz, G. A.: SOC: A Systems Perspective, 1999 Iedm Short course.
- 6) Dennard, R. H., Gaensslen, F. H., Yu, H., Rideout, V. L, Bassons, E. and LeBlanc, A. R.: Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions, IEEE J. Solid State Circuits, Vol.9, pp.258-267 (1974).
- 7) Lepselter, M. P. and Sze, S. M.: DRAM Pricing Trends - The p-Rule, IEEE Circuits and Devices Magazine, pp.33-34, Vol.1, No.1 (1985).
- 8) Tarui, Y.: From the p Rule to the Bi Rule, Nikkei Microdevices, No.27, pp.155-167 (Written in Japanese) (July 1987).
- 9) Masaki, A.: Possibilities of CMOS Mainframe and Its Impact on Technology R&D, 1991 Symposium on VLSI Technology, pp.1-2.
- 10) 若井 洋, 大見俊一郎: 総合報告「微細シリコンデバイスに要求される各種高性能薄膜, 応用物理, Vol.69, No.1, p.4 (2000). (平成12年3月24日受付)