

# 情報処理を担う CMOS LSIの話

桜井 貴康

東京大学 国際・産学共同研究センター

## < CMOS への歴史 >

1947年に米国ベル研究所のショックレーらによってトランジスタが発明された。ここから、今の半導体産業が始まる。その意味で昨年は50周年にあたり、半導体関連の学会ではいろいろな催し物が行われた。1950年代になるとキルビーやノイスらの発想によってIC（Integrated Circuit：集積回路）が発明され半導体産業が大きく花開く基礎が築かれた。半導体産業は、昨年は世界で売上げが約15兆円規模であり、西暦2000年には20兆円規模になると予測されるなど、今後ともさらなる成長が期待されており、日本では「産業の米」、米国では「crude oil of industry」と呼ばれるまでになっている。そして現在、集積回路産業の発祥の地カリフォルニアのシリコンバレーでは、Semiconductor Avenueという通りもあり、半導体ベンチャー企業が新しい技術とビジネスを追い求めている。また、技術的には、3cm角のシリコンチップに40億素子を0.15 $\mu\text{m}$ の配線幅で集積することができるようになり、進歩はとどまるところを知らないように見える。

さて、話は戻って1960年代になると、まずバイポーラトランジスタをシリコンチップに集積化したバイポーラ型

集積回路が続々と製品化され、遅れてMOS形（Metal Oxide Semiconductor）の集積回路が出現した。MOSトランジスタには、PMOS形とNMOS形がある。PMOSは正の電荷が電流を運ぶキャリアであり、制御電極であるゲートに正の電圧をかけるとオンするが、NMOSは、負の電子がキャリアでゲートに負電圧をかけるとオンする。最初のMOS集積回路は製造上、しきい値電圧制御の比較的容易だったPMOSのみによって作られていた。その後イオン打込み技術などが開発され、精度のよいしきい値電圧制御がNMOSでも可能になると、キャリア移動度の差からPMOSより2~3倍高速動作が可能なNMOS集積回路に主流が変わっていった。

この間の1963年にCMOS論理ゲートの基本回路が発明されている。CMOSインバータの回路図を図-1に示す。PMOSとNMOSの両方を組み合わせることによって、どちらかがオンしているときには、どちらかがオフするため、電源とグランドの間に直流電流が流れない。このため、PMOS LSIやNMOS LSIに比べて低消費電力になるという特徴がある。また、PMOSとNMOSが完全にオンオフしながら使われるCMOS回路は、NMOS形やPMOS形に比べ動作余裕度が大変大きいため、製造条件や動作条件が多少狂っても動くという特徴がある。

1970年代、CMOS回路はその低消費電力性を生かして電卓や時計LSIなどの特殊用途のみに使用されていた。製造工程が複雑なためコストが高んだからだ。しかし、1980年代、ワンチップに10万素子が集積されはじめると、CMOSはその低消費電力性と高い動作余裕度を武器に高集積化LSIの主流になっていった。高速なバイポーラ素子や安価なNMOS LSIを押さえて主流になった理由は、高集積化することによってシステムとして高性能化や低コスト化が達成できたことが大きい。

低消費電力を武器に高集積化できれば、多少デバイス単体の速度が下がっても機能が増す分、高性能になるし、

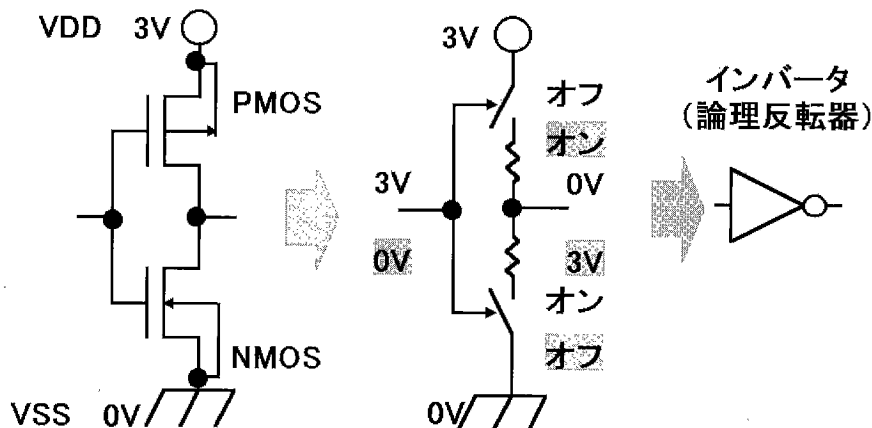


図-1 CMOS論理回路（インバータ）の回路図

チップ間の信号のやり取りはチップ内の信号速度より10倍程度遅いため、ワンチップ化することによってシステムとしての速度は向上する。また、多少デバイス製造コストは上がっても、高い動作余裕度によって歩留りが上がったたり、低消費電力で安いパッケージが使えれば価格はほとんど変わらない。

このように、歴史的にはデバイス単体でのコストやスピードではなく高集積化に向く消費電力性や高い動作余裕度がテクノロジートレンドを決めてきたといえる。消費電力は地味な指標のように見えるが実際には大きな影響力を持っている。

### <「ムーアの法則」と「スケーリング則」>

このように高集積化が追求されるゆえんは、微細化すればするほど、LSIが安価で高性能になるという事情があるためだが、これに関して半導体産業が追い求める1つの法則がある。

1965年、インテル社のゴードン・ムーア氏は大好きな釣りに来ていた。半導体プロセスチップに使われるトランジスタ数が指数関数的に増加するだろうことを直感していたムーア氏はどのくらいの速さで集積度が向上するのか、釣りをしながら考えていた。そして、その日に釣れた魚が18匹だったため、「半導体プロセスチップに使われるトランジスタ数は18カ月で2倍になる」と予測した。これは「ムーアの法則」と呼ばれる。上述の逸話の信憑性はさることながら、ここ30年間ワンチップに搭載されるトランジスタ数は、多少傾きに変化はあるものの指数関数的に増大している。これ以上に微細化の速度が速くならないのは、関連エンジニアの努力目標が「ムーアの法則」を実現することとなっているからだ。微細化を実現するには製造装置や工場などインフラの改良が必要で、これにはあらゆる産業が努力目標を合わせないと達成できないという背景がある。

1965年に2千個程度だったワンチップ上のトランジスタ数は1億個を超えるまでになった。性能も1秒間の演算実行数が1万回だったものが、10億回程度にまでなった。この「ムーアの法則」が当分続くと仮定しよう。すると、11年後の2010年には現在の64倍のトランジスタ数がワンチップに搭載できることになり、その時の性能は現在の数十倍になるはずである。これからも続きそうな1つの根拠は0.014 $\mu\text{m}$ のゲート長のトランジスタが動作可能なことが実験的に確認されていることだ<sup>1)</sup>。現在の主流のゲート長が0.25 $\mu\text{m}$ であることを考えると、少なくとも今後20年程度は技術革新がありそうだ。もちろん、以下に示すように問題も山積しており、いつ何によって「ムーアの法則」が終焉するのかは誰にも分からない。

業界トレンドを示す「ムーアの法則」に対して、技術的な指針となるのが、「スケーリング則」だ。スケーリング則は比例縮小則とも呼ばれる。MOSトランジスタのサイズ

を縦、横、高さともに1/kに縮小したときに、電源電圧も1/kに比例縮小すると、素子中の電界は一定となり、この原理に従っている限り信頼性が破綻することはない。また、このようにするとトランジスタを流れる電流は、横/縦/高さ $\times$ 電源電圧<sup>1.3</sup>に比例するため1/k<sup>0.3</sup>で小さくなる。しかし、静電容量が1/kで小さくなるため、静電容量 $\cdot$ 電源電圧/電流に比例する遅延は1/k<sup>1.7</sup>で小さくなる。したがって速くなる。このように比例縮小を仮定すると、LSIに関するいろいろな量が、どのように変わってゆくか予測できる。これがスケーリング則だ。

### < CMOS LSIの3つの危機 >

スケーリング則を検討すると、微細化してトランジスタのスイッチング・スピードがよくなるなど好ましい効果があることが分かる。しかしその一方で好ましくない効果もみえてくる。好ましくない効果には、LSI中の素子サイズを1/2に縮小するたびに1.6倍になってしまう消費電力密度、3.2倍になる配線電流密度、3.2倍になる配線の電圧ノイズなどがある。また、素子数密度も4倍になるので当然設計評価の複雑度が4倍になる。配線が細くなり、抵抗が高くなるために信号が通りにくくなりトランジスタ遅延に比べて、配線の遅延は3.2倍になる。

以上をまとめるとCMOS LSIの3つの危機がみえてくる。第1が「消費電力の危機」、第2に「配線の危機」、第3が「複雑さの危機」だ。これらの危機は最近、顕著になってきたために脚光を浴びている。

### <消費電力の危機>

昨年、ワンチップで72Wという消費電力のLSIが発表されている。このままゆくと2010年には200W級のLSIが登場するともいわれる。これでは空冷下のセラミックパッケージの放熱の限界を超えそうな時代に突入した。このような熱の問題もさることながら、これから増える電池式の携帯機器への応用には絶対向かない。

ここで、ちょっと半導体の大きなアプリケーションとしてコンピュータの流れをみてみよう。コンピュータの第一世代は1950年代で、真空管が使われ、1台30億円というような高額だった。1960年代、コンピュータはトランジスタを使う第二世代に入り、主流はいわゆる大型コンピュータで1台3億円程度になった。さらに1970年代になると、ICで作られた3000万円程度の中型のコンピュータが、1980年代ではLSIを使ったワークステーションが1台300万円程度で主流となった。1990年代、VLSI(超大規模集積回路)で作られた30万円程度のパソコンが主流になったのは記憶に新しい。日本でも1993年にパソコンの生産規模がその他の汎用コンピュータの生産規模を抜いた。このトレンドでは2000年代は3万円と予測される。

このように10年ごとに半導体の進歩と歩調を合わせた形でコンピュータのパラダイムシフトが起こってきている。

## やさしいハードのはなし

大きな流れはダウンサイジングと低電力化。したがって、21世紀には、いちいち机に座らなければ使えないパソコンから、いつでもどこでも手軽に簡単に使える、もっとライフスタイルに密着したコンピュータの需要が増すと考えられている。実際、この走りともいえるパームパイロットという160グラム、299ドルのハンドヘルド・コンピュータは昨年約500万台を出荷した。このようなコンピュータは低価格を武器に世界の大人口を抱える地域で新しい市場を創造し大幅に台数を伸ばす期待が持たれる。ここでは、電池や太陽電池で動作する低消費電力技術が決定的に重要になる。

LSIの消費電力は電源電圧の2乗に比例するため、電源電圧を低くすれば急速に低消費電力化される。残念ながら、電源電圧を下げるだけだと遅くなってしまふ。そこで、低電源電圧でも高速に動作する新しい回路の研究開発がさかんだ。電源電圧が0.5V程度になると、今までの集積回路は動かなくなってしまふ。0.5Vで高速動作するLSIを作るには新たなアイデアが必要で、学会などで盛んに議論されているホットな話題である。

回路レベルより上のシステムレベル、アーキテクチャレベルでも低消費電力化でできることは多々ある。LSIの中で使用していない部分の電源をきめ細かく切るなど電力のムダを排除するというシステムの工夫が低電力化に有効だ。その他、ここに面白い観察がある。MPEG2のデコーディングはいろいろなLSIアプローチで実現できる。マイクロプロセッサもたとえばPentium IIクラスではMP@MLのMPEG2デコードがほぼできる性能には達してきたが、消費電力的には25W程度とまだ高い。それに比べて、メディアプロセッサMpackでは4W程度、専用MPEGデコーダでは0.7W程度と効率よく低消費電力化が達成できる。このようにするべき仕事が明確に定まっている場合は専用エンジンの方が面積的にも消費電力的にも効率よく実現できる。したがって、将来のLSIは、低消費電力化の観点から有利なシステムLSIの重要性も増してくると考えられる。

また、私見ではあるが、自分が何をやりたいのかよく知っているソフトウェアとどのようにすれば低電力化できるかを公開したハードウェアが協調して低電力を達成する方式も重要になってくると思われる。たとえば、電源電圧、動作周波数、しきい値電圧などを木目細かく制御するインストラクションセットを持ったプロセッサをハード側が提供する。低速でよいときには電源電圧などをソフト側が下げる。ワークロードが高くなれば電源電圧や周波数を下げるインストラクションを発行する。しかし、電源電圧の調整には数百サイクル以上かかるので、十分先を見込んで制御せねばならない。このような考え方の萌芽はAPCIなどにもみられる。

### <配線の危機>

初期には1層しかなかった配線層も現在では5層のものも現れ、LSIの製造コストも製造時間もトランジスタを作る部分ではなく、配線を作る部分が決める時代になりつつある。また、微細化してゆくと配線の断面積が小さくなり電気抵抗が上がってくるため信号が伝わりにくくなる。速度もトランジスタではなく配線が決める時代になってきた。たとえば断面が0.1 $\mu$ m角で長さが10mmの配線では信号遅延は30ナノ秒になり、トランジスタの遅延が0.1ナノ秒なのに比べると格段に遅い。長い配線は高速な信号には不向きということになる。しかし、マイクロプロセッサは6桁も遅いハードディスクと情報をやり取りしながら有用な仕事をこなしている。このように、記憶作用を分散することで、遠くとの通信には時間がかかっても有用な仕事ができるシステムを作ることができる。この原理をまねれば、配線遅延の問題は解決できそうだ。

現在までトランジスタが面積や遅延、コスト、消費電力などを決めてきたが、今後は配線が速度や電力、面積を決めるようになる。ちょうど今、LSI設計ではトランジスタ支配から配線支配へのパラダイムシフトが起こりつつあり、配線の問題は今後のLSIの技術的課題の要となる。配線のその他の問題としては、電流密度の上昇による信頼性の低下、電源線の電圧ノイズによる動作不安定化、隣の配線とのカップリングによるクロストークの増加などが挙げられる。これを受けて、アルミニウムだった配線も信頼性と低抵抗性にすぐれた銅になりつつあり、配線間を容量の低い気体で絶縁するといった工夫もなされるようになってきた。

### <複雑さの危機>

2010年のLSIを考えてみよう。0.05 $\mu$ mの線幅で作られた10層配線、100mm<sup>2</sup>程度のLSIの場合、このシリコンチップを世界の陸地に例えると、配線幅は10m程度になる。したがって、このようなLSIの設計は世界の陸地に10m道路を張り巡らせる設計図を書くという大変複雑な問題になる。数十億個のトランジスタを含むシステムLSIの設計はどうしたらよいだろうか。トランジスタ単位で設計しているのは、多大な労力が必要となり不可能だ。大きな回路ブロック(仮想部品)を組み合わせてつくる手法に頼らざるを得ない。これにしても自分1人ですべてを設計するのは不可能で、設計資産を「使い捨てからリサイクルへ」転換することが必須になっている。

今まで、たとえばある会社がマイクロプロセッサを作っても、その設計図は開発した会社だけが独占し他の会社が同じマイクロプロセッサを元にシステムLSIを作ることにはできなかった。世界規模で設計力に余裕のある頃はそれでもよかったが、複雑さの壁と戦い始めた昨今では、みんな設計資産を共有したり再利用したりすることによつ

## やさしいハードのはなし

て、設計労力のムダを排し、複雑なシステムLSIも効率よく作ってゆく必要がある。

そのため回路ブロックの設計情報を世界的に再利用、共有することが必須となっている。このような回路ブロックの設計情報はIP (Intellectual Property : 知的財産) と呼ばれる。この回路ブロックを動かすソフトウェアまで含めてIPと呼ぶこともある。知的な情報の集積体であるIPは付加価値の源泉でもあり、IP立国なる言葉も出てきた。IPの規格化やIPの流通なども一部すでに現実のものになりつつある。

### < 2010年のLSI >

これまでに消費電力、配線、複雑さの危機にふれた。これら問題以外にも、2010年に到達すると考えられる0.05 $\mu$ m程度のリソグラフィなどLSIを製作する上での課題も多い。光に変わるものとして波長の短いX線や電子線が考えられているがまだ見通しが立ったわけではない。また、バラツキの問題というもある。トランジスタ単体では0.014 $\mu$ mの線幅のもの動作が確認されている。しかし、100G個以上の素子を作ろうとすれば、最悪の素子は標準偏差の7倍程度平均値からずれる。中にはまともな速度では動作しない落ちこぼれ素子があってもおかしくない。物理の原則のみならず、このように製造上の統計的なバラツキによる限界もある。

また、経済的な問題もある。現在でも半導体の工場を1つ建てるのには1千億円程度の投資が必要といわれる。「投資規模の壁」というのは、微細なトランジスタを作ろうとすればするほど工場の立ち上げコストが高くなり、微細化されたLSIが途方もない値段でないと売れなくなったとき、微細化競争は終わるといえるものである。

いつ、どんな原因でCMOS LSIの高集積化のトレンドが終わるのが正確なことは誰にも分からない。今までにもいくつもの限界説があったが乗り越えられてきた。ここ数年

で限界だという人、まだ何十年かは伸びるという人さまざま。しかし、1つ言えるのはたとえ微細化競争が終わっても、情報社会を形作るコンピュータやコミュニケーションの鍵を握る部品であるシステムLSIは今後もシステム的あるいは回路的に進化し続けるということである。生物の神経系の振舞いを模擬したニューラルチップ、アナログ回路とデジタル回路を組み合わせたアナデジ融合回路、クロックの不要な非同期チップ、1、0の2値ではなく一度に多値の信号を処理する多値回路など新しい技術が育ちつつある。

2010年にワンチップ当たり数十億個使えるトランジスタ数はどのような世界を開いてくれるだろうか。これほど集積度が増すと、今まで多数のLSIを使って作ってきたシステムが、すべてワンチップで実現できるようになってしまう。このようにワンチップで高いシステム機能を実現するLSIをシステムLSIと呼ぶ。当然のことながらシステムLSIにはマイクロプロセッサやメモリ、アナログ回路など、現在ボードで使われているLSIの要素がすべて混載される。センサ、特にイメージセンサなども混載されれば、ワンチップのデジタルカメラ用システムLSIなども実現できる。マイクロアクチュエータも載る可能性がある。図-2にこれらを図示した。

このようなシステムLSIの流れはシステムと半導体産業がより結びつきを深めていくことを意味しており、上述の問題も多くの技術分野の研究者やエンジニアと一緒に解いてゆくことが期待されている。

#### 参考文献

- 1) Kawaura, H., Sakamoto, T., Ochiai, Y., Fujita, J. and Baba, T.: Fabrication and Characterization of 14-nm-Gate-Length EJ-MOSFETs, Extended Abstracts of SSDM, pp.572-573 (1997).
- 2) 一般的なCMOSの教科書: 菅野卓雄編著, 「CMOS超LSIの設計」, 培風館(1999).
- 3) 最近のトピック: 桜井貴康編著, 「低消費電力、高速LSI技術」, リアライズ社 (1998).

(平成11年1月11日受付)

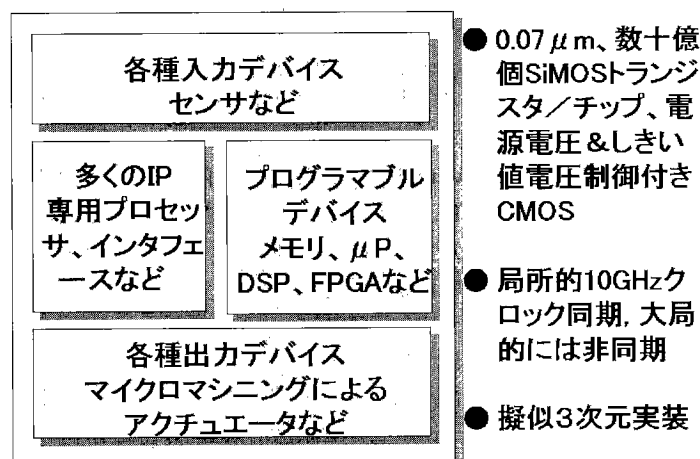


図-2 2010年のCMOS集積回路の予想図