

## VSP プロセッサ用パイプラインレジスタ (LDS-cell) の 低電力化手法の提案と評価

中 林 智 之<sup>†1</sup> 佐々木 敬 泰<sup>†1</sup>  
大 野 和 彦<sup>†1</sup> 近 藤 利 夫<sup>†1</sup>

近年, モバイル端末等の高性能化に伴う消費エネルギーの増大が問題となっており, 低消費エネルギーと高性能の両立が要求されている. そこで我々は, 低消費エネルギーと高性能を両立する手法として可変段数パイプラインアーキテクチャ (VSP; Variable Stages Pipeline) を提案している. VSP はパイプラインレジスタに LDS-cell という特殊なセルを導入し, パイプライン段数を動的に変化させることで実行時間を削減すると同時に, ステージ統合によって増加する組合せ回路内のグリッチを削減することで低消費エネルギーと高性能の両立を目指す手法である. しかし, LDS-cell は特殊な構成の DFF で, 一般的な高性能 DFF や低電力 DFF を容易に LDS-cell に適用することはできない. そのため従来の VSP では LDS-cell のベースに単純な構成のマスタースレーブ型 DFF を使用しており, 低電力化が十分とはいえなかった. そこで, 本稿では高性能セミスタティック TSPC (True-single-phase clocking) DFF 技術を用いて LDS-cell を設計することで VSP の低電力化を目指す. 本稿ではさらに, 細粒度クロックゲーティングを適用することで VSP を低電力化する手法を提案する. これら 2 つの手法を併用することにより, 従来の VSP と比較して低電力モードにおいて消費エネルギーを平均 11%削減できた.

### Evaluation of Low Energy Pipeline Register for VSP Processor

TOMOYUKI NAKABAYASHI,<sup>†1</sup> TAKAHIRO SASAKI,<sup>†1</sup>  
KAZUHIKO OHNO<sup>†1</sup> and TOSHIO KONDO<sup>†1</sup>

Recently, the increase of the energy consumption of mobile computers caused by performance enhancement becomes one serious problem. So many researches for low energy and high performance computing are performed. In order to reduce the energy consumption, variable stages pipeline architecture (VSP) that improves execution time by unifying pipeline stages dynamically is proposed. VSP processor adopts special pipeline register called LDS-cell (Latch DFF Selector - cell). LDS-cell unifies pipeline stages and prevents glitch prop-

agation caused by unified the stages on low energy mode. At first, this paper improves VSP processor by introducing High-performance Semi-static TSPC (True-single-phase clocking) DFF into pipeline registers including LDS-cell. Additionaly, this paper proposes low energy method that introduce fine-grain clock gating technique into VSP. According to the evaluation results, the proposal VSP can achieve 11% lower energy consumption than conventional VSP.

#### 1. はじめに

近年, モバイルコンピューティングの分野において消費エネルギーの増大が問題となっており, 低消費エネルギーと高性能の両立が求められている. 現在広く用いられている低消費エネルギー化手法の 1 つである DVS (Dynamic Voltage Scaling)<sup>1)</sup> は, 動的に電源電圧と動作周波数を変化させることで消費エネルギーを低減する. DVS は消費エネルギーを低減する手法としては有効であるが, プロセス技術の進歩により電源電圧が年々低下しており, 将来的に電源電圧変化幅が減少するため消費エネルギーの削減効果の低下が予想される. また, 動作周波数の低下に比例して性能が低下するという問題点もある.

そこで我々は電源電圧に依存しない低消費エネルギー化手法として, 可変段数パイプラインアーキテクチャ (VSP; Variable Stages Pipeline)<sup>2)3)</sup> を提案している. VSP はパイプライン段数を動的に変化させることで, 低消費エネルギーと高性能の両立を目指す手法である. また, VSP は一部のパイプラインレジスタに通常の DFF (D Flip Flop) ではなく, LDS-cell (Latch DFF Selector - cell) という特殊なセルを用いることでパイプラインステージ統合時に増加する組合せ回路内のグリッチを緩和し消費エネルギーを削減している.

しかし, 従来の VSP では LDS-cell のベースとして単純な構成のマスタースレーブ型 DFF を用いており低電力化が十分とはいえなかった. そこで, 本稿ではまず, LDS-cell のベースとなる DFF としてより低電力な高性能セミスタティック TSPC DFF<sup>4)</sup> を用いることで LDS-cell を低電力化する. また, LDS-cell の更なる低電力化として, 機能ユニットが使用されないためグリッチがあまり発生しないサイクルに LDS-cell を停止させる細粒度クロックゲーティングを提案する.

この 2 つの低電力化手法を実装し, 評価を行ったところ, 従来の VSP と比較して低電力

<sup>†1</sup> 三重大学大学院工学研究科情報工学専攻  
Graduate School of Engineering, Mie University

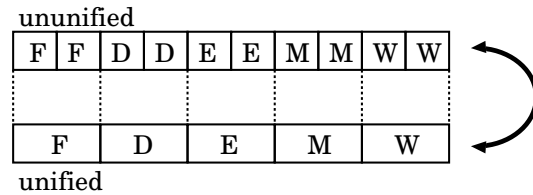


図 1 可変段数パイプライン

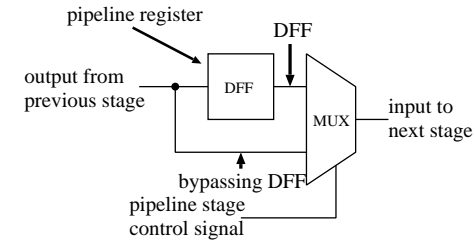


図 2 DFF+MUX

モードにおいて消費エネルギーを平均 11%削減できた。

## 2. 関連研究

本節では、プロセッサの低消費エネルギー化手法に関連する研究について概括する。現在の代表的な低消費エネルギー化手法の 1 つとして DVS があげられる。DVS は動的に電源電圧と動作周波数を制御することによって消費エネルギーを削減する。消費エネルギーは電源電圧の 2 乗に比例するため、電源電圧を低下させることは消費エネルギーを大きく削減することにつながる。しかし、プロセスの微細化により LSI の電源電圧は年々低下しており、将来的に閾値電圧の制御などの問題から電源電圧を低下させることのできる変化幅は小さくなり、DVS による消費エネルギーの削減効率は低下する。

そこで、電源電圧に依存しないアーキテクチャレベルの低消費エネルギー化手法が多く提案されている。アーキテクチャレベルの低消費電力化手法として、PSU (Pipeline Stage Unification)<sup>5)6)</sup> や DPS (Dynamic Pipeline Scaling)<sup>7)</sup> のように動的にパイプラインステージを変化させる手法がある。これらのプロセッサのパイプライン構造の例を図 1 に示す。PSU は動作周波数に応じて動的にパイプラインステージを統合する。このことにより以下の利点がある。

- 分岐ペナルティとデータ依存による待ちサイクルの削減によって実行時間を削減することが可能である。
- 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費エネルギーを削減できる。

以上の利点により低消費エネルギー化が可能である。また、非同期のプロセッサにおいてパイプラインラッチコントローラを制御することでパイプライン段数を削減し、低消費エネルギー化を実現する手法も提案されている<sup>8)</sup>。

しかしながら、いずれの手法もパイプラインを統合することにより、巨大な組合せ回路が

でき、その結果多大なグリッチが発生するという問題点がある。これは、パイプライン統合時に消費エネルギーが増大する一因となり、低消費エネルギー化の阻害につながる。一方、我々の提案する VSP ではパイプラインステージ統合時に増加する組合せ回路内のグリッチを LDS-cell という特殊なセルを用いて緩和している。次節では提案手法の説明に先立ち、まず VSP について述べる。

## 3. VSP ( Variable Stages Pipeline ) の概要

VSP は PSU と同様にパイプライン段数を動的に変更し、HS (High Speed) モードと LE (Low Energy) モードの 2 つのモードを使いわけることによって低消費エネルギーと高性能の両立を目指す手法である。パイプラインステージの統合はパイプラインレジスタを図 2 のようなユニット (以下「DFF+MUX」と呼ぶ) に変更することで実現している。DFF+MUX は HS モードでは DFF として動作することでパイプラインレジスタとして動作し、LE モードでは DFF をバイパスすることでパイプラインステージを統合する。

しかし、パイプライン統合には、統合によって組合せ回路が巨大化し、発生するグリッチが増加するという問題点がある。ここで、グリッチとは回路にあらわれる無駄な電気信号の変動のことであり、ゲート遅延、配線遅延のばらつきなどで生じる無駄な信号変化のことである。また、グリッチには一度発生すると次の回路に伝播され、後段の回路ではさらにグリッチが発生するという特徴がある。我々の行った予備評価により、グリッチによる電力消費はおおよそ回路規模の 2 乗に比例することがわかっている。

そこで、VSP では統合するパイプラインステージのパイプラインレジスタを全て DFF+MUX に置換するのではなく、一部を LDS-cell という特殊なセルに置換することでグリッチの伝播を緩和する。LDS-cell は図 3 のような構成になっており、HS モードでは

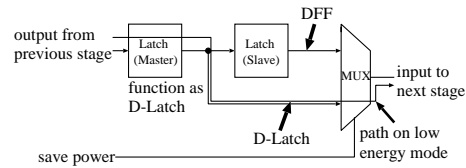


図 3 LDS-cell

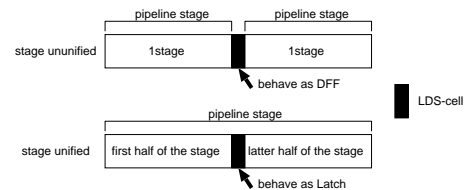


図 4 LDS-cell を導入したパイプラインの動作

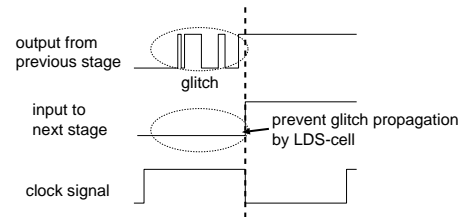


図 5 グリッチの緩和

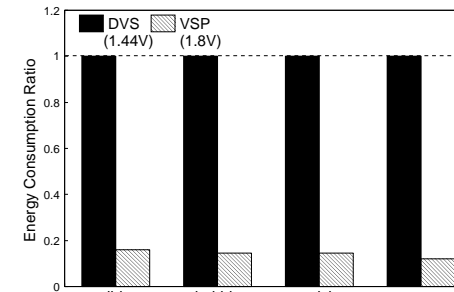


図 6 LE モード消費エネルギー比

- 9 段パイプライン構成であり，LDS-cell はパイプラインレジスタとして動作する．

#### LE モード

- 3 段パイプラインであり，LDS-cell はグリッチの緩和を行う D ラッチとして動作する．また，DFF+MUX では DFF を停止し，MUX で信号をバイパスすることでパイプラインを統合する．
- 周波数を低下させること，バイパスされて使用しなくなったパイプラインレジスタのクロックを止めることから消費エネルギーを削減することが出来る．
- 分岐予測ミスペナルティの低下，データ依存による待ちサイクルの低減により，HS モードに比べ IPC が向上する．

著者らはこれまでに VSP を詳細設計し，その有効性を示している<sup>2)</sup>．図 6 に DVS と VSP の LE モード時の消費エネルギーについて評価した結果を示す．図中の縦軸は DVS を 1 とした時の消費エネルギー比，横軸は使用したベンチマークプログラムである．図 6 より，VSP は DVS と比較して 20%以下の消費エネルギーで動作することがわかる．この理由としては，実行時間が DVS と比較して 50%以下に短縮できること，使用しなくなったユニットを停止させることで電力が 30%以下に削減できることがあげられる．一方，紙面の都合上グラフは省略したが，HS モードでは DVS と比較して 1%から 3%程度消費エネルギーが増加する．

VSP は，パイプライン統合時に PSU では動作を停止させる一部のパイプラインレジスタを LDS-cell として駆動することでグリッチを削減している．そのため，LDS-cell を駆動することによる消費エネルギーの増加がグリッチ削減による消費エネルギーの低減を上回る

DFF として動作させ，LE モードではラッチとして動作させることによりグリッチの発生を緩和する．また，LDS-cell は DFF+MUX と同じトランジスタ数で実装可能という利点がある．LDS-cell はパイプライン統合時において図 4 のような動作をする．

図 5 に LE モード時の LDS-cell によるグリッチの緩和の様子を示す．図 5 で示すように LDS-cell はクロックが High の間は保持している値を出力し，クロックが Low に立ち下ると前ステージの出力を次ステージへの入力とするというように，ラッチとして動作することで組合せ回路の巨大化により増大するグリッチの発生を緩和する．

VSP の HS モードと LE モードのそれぞれの特徴は以下に示す通りである．

#### HS モード

と消費エネルギーが増加してしまう。特に機能ユニットへの命令が NOP，つまり何もすることがない場合発生するグリッチが少なく，消費エネルギーが増加してしまう公算が高い。

そこで，本稿では LDS-cell のベースとなる DFF の低電力化と LDS-cell への細粒度クロックゲーティング適用による低電力化によって LDS-cell を低電力化し VSP の有用性を高める。

#### 4. ベースとなる DFF の改良による LDS-cell の低電力化

##### 4.1 DFF の LDS-cell 化に関する考察

従来の VSP では，LDS-cell に単純な構成のマスタースレーブ型 DFF を用いていた。マスタースレーブ型 DFF は LDS-cell のベース DFF とする際に内部にラッチとしての機能を含んでいるため，LDS-cell が DFF+MUX と同じトランジスタ数で実装可能であるという利点がある。その一方で，単純なマスタースレーブ型 DFF は消費エネルギーが高いという問題点がある。

そこで，様々な DFF について LDS-cell との適合性を評価する。

AMD K6 プロセッサで用いられている HLFF (Hybrid Latch Flip Flop)<sup>9)</sup>，Alpha 21264 で用いられている DFF<sup>10)</sup>，Sun UltraSPARC-3 で用いられている SDF (Semi-Dynamic Flip Flop)<sup>11)</sup> 等の DFF は，クロックの前半ステージがプリチャージを行うための回路となっており，ラッチ相当の出力を引き出すことができない。そのため，これらの DFF から LDS-cell を実装すると DFF+Latch+MUX という構成になり，DFF+MUX と同じトランジスタ数で実装できるという LDS-cell の利点が活かせない。さらに，これらの DFF はプリチャージの実行により消費エネルギーが大きい傾向にある。

一方，高性能セミスタティック TSPC DFF はクロックの前半ステージにラッチ相当の出力をする回路を含んでおり，LDS-cell を実装する際に DFF+MUX と同じトランジスタ数で実装できる。また，単純なマスタースレーブ型 DFF，従来のセミスタティック DFF，従来の TSPC DFF と比較して消費電力が低いことが文献<sup>4)</sup>で証明されている。これらの理由から我々は高性能セミスタティック TSPC DFF を LDS-cell を含めたパイプラインレジスタに適用し，VSP を低電力化する手法を提案する。次項では高性能セミスタティック TSPC DFF についての詳細および，LDS-cell への適用方法について説明する。

##### 4.2 高性能セミスタティック TSPC DFF の LDS-cell 化

高性能セミスタティック TSPC DFF の一般的な特徴は以下の通りである。

- クロックの片相のみを使用するので，クロックで駆動されるトランジスタ数が本質的に

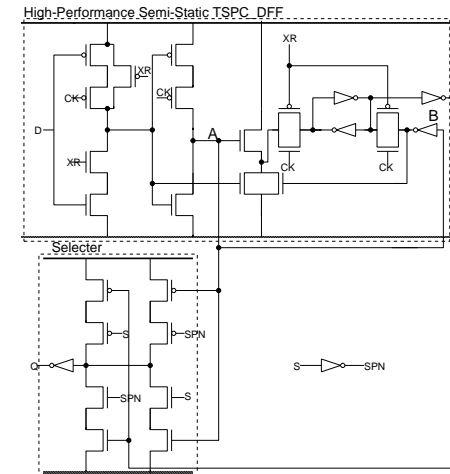


図 7 提案 LDS-cell

少なく，低消費電力である。

- クロックが Low レベルの時に定常的にデータを保持できるセミスタティック回路なので，クロックを停止させた場合にデータが消失するダイナミック回路の使用上の制約を解消できる。

以上の利点に加え，LDS-cell に適用する場合には回路内の前半ステージがラッチ相当の回路となっており，LDS-cell が DFF+MUX と同じトランジスタ数で実装できるという利点がある。高性能セミスタティック TSPC DFF を用いて実装した LDS-cell の回路図を図 7 に示す。図 7 から LDS-cell が DFF+MUX と同じトランジスタ数で構成できていることがわかる。

##### 4.3 電力評価

高性能セミスタティック TSPC DFF の消費電力に関する単体評価を行った。評価環境は，テクノロジーに ROHM0.18 $\mu$ m CMOS プロセス，比較対象のマスタースレーブ型 DFF および LDS-cell のベース DFF には VDEC 京都大学版ライブラリの ROHM18DFRP010 を用いた。また，消費電力は Synopsys HSPICE を用いて測定した。

一般にクロックの遷移に対するデータの遷移率は低いので，データ遷移率 20%までに対して 500MHz 消費電力評価を行った。その結果を図 8 に示す。図 8 の Conventional static

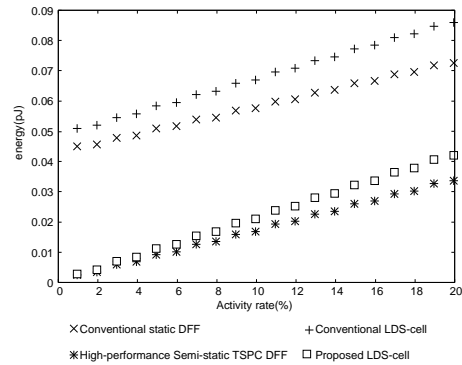


図 8 DFF, LDS-cell 単体評価

DFF は従来のマスタースレーブ型 DFF, Conventional LDS-cell は従来のマスタースレーブ型 DFF を用いて実装した LDS-cell, High-performance Semi-static TSPC DFF は高性能セミスタティック TSPC DFF, Proposed LDS-cell は高性能セミスタティック TSPC DFF を用いて実装した LDS-cell である。また、図 8 の縦軸は消費電力、横軸は入力データの遷移率である。図 8 から従来の DFF, LDS-cell と比較して提案手法の DFF, LDS-cell は遷移率 5% の時に 20%, 遷移率 20% の時に 50% の消費電力で動作することがわかる。

## 5. 細粒度クロックゲーティング適用による LDS-cell の低電力化

### 5.1 概要

現在実装している VSP には、乗除算を行う MDU とそれ以外の演算を行う ALU の 2 つのユニットが実行ステージに存在する。この 2 つのユニットに LDS-cell が導入されており、LE モード時にラッチとして動作することでグリッチの伝播を緩和している。現在の VSP はシングルパイプライン構成で、LE モード時における ALU と MDU の使用率は、アプリケーションによるが、それぞれ使用率が高いアプリケーションで ALU が 90%, MDU が 3% 程度である。従来の VSP ではそれぞれのユニットの動作に関わらず毎サイクルクロックを供給している。それぞれのユニットが動作するサイクルでは大量のグリッチが発生し、LDS-cell による消費エネルギー削減効果が LDS-cell 駆動による消費エネルギーの増加を上回る。しかしながら、ユニットが動作しないサイクルではグリッチがあまり発生しないために LDS-cell を駆動する消費エネルギーが無駄になってしまう。そこで、それぞれのユニッ

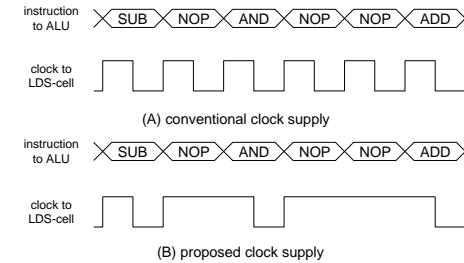


図 9 LDS-cell へのクロック供給の様子

トが動作しないサイクルでは LDS-cell へのクロック供給を停止する細粒度なクロックゲーティングを行うことで LDS-cell の消費エネルギーを低減する手法を提案する。この細粒度クロックゲーティングは LDS-cell が LE モード時にラッチとして動作するという特性を利用することで簡単に実現できる。次項にその詳細を述べる。

### 5.2 実装

第 3 節で述べた通り、LDS-cell は LE モードではラッチとして動作する。そこで、ALU と MDU それぞれのユニット内の LDS-cell に与えるクロックを当該ユニットが使用されない時には High で固定し、ユニットが使用される場合にはクロックの後半ステージで Low になるようにクロックゲーティングを行う。従来 VSP の ALU 内の LDS-cell の動作を図 9(A) に、提案する LDS-cell の動作を図 9(B) に示す。図 9 での NOP とは、使用しない実行ユニットに発行される演算無効信号のことである。例えば、乗算命令を行っているサイクルでは ALU に NOP が発行される。逆に、加算命令を行っているサイクルでは MDU に NOP が発行される。図 9(A) のように、従来の VSP ではユニットへの命令が NOP のサイクルでも LDS-cell にクロックを供給している。ユニットへの命令が NOP の場合、値が変化せず発生するグリッチが少ないため、LDS-cell の駆動は無駄になってしまう。そのため、図 9(B) のようにユニットへの命令が NOP のサイクルにクロックの供給を停止することで消費エネルギーを削減できる。このことにより、LDS-cell 自体の消費エネルギーに加え LDS-cell を駆動するためのクロックパルファの消費エネルギーを低減することができる。また、この機能はトランジスタ数 80 個以下という非常に小規模なハードウェアの追加によって実現できる。

この細粒度クロックゲーティングを DFF を低電力化する前の VSP に適用したところ、5% 程度消費エネルギーを低減できた。

## 6. 提案手法併用時の問題点と解決方法

本節では、第4節と第5節で提案した2つの低電力化手法を併用する方法について述べる。高性能セミスタティック TSPC DFF は SP (Static P-stages) と呼ばれる PMOS のみのクロックインバータを2段直列に接続することでダイナミック型のマスター部を構成している。このマスター部がラッチ相当の動作となっており、図7のノード A が LE モードでの LDS-cell の出力となる。ノード A はクロックが High の時浮遊状態になる回路構成となっている。そのため、入力 D が High の場合にクロックを High で固定するとノード A は時間の経過と共に電荷が自然放電し電圧降下を起こす。ノード A の電圧が閾値電圧付近まで降下すると図7のインバータ B に貫通電流が流れすぎて消費エネルギーを増大させてしまう。Synopsys HSPICE にてこの現象を検証したところ、ノード A の電圧が貫通電流が流れ始める電圧にまで降下するには  $400\mu$  秒近くかかることが判明した。このことは通常の運用上では問題が発生しないことを意味する。しかし、今回提案する細粒度クロックゲーティングでは、ユニットが使用されない間クロックが High で固定されるため、アプリケーションによってはこの電圧降下が問題となる。実際にいくつかのアプリケーションにおいて検証を行ったところ、消費エネルギーが著しく増大した。

そこで、我々はこの問題を LDS-cell を図10のように PMOS のキーパーを回路内に導入することで解決している。この PMOS のキーパーを追加することにより、クロックが High の間もノード A に電荷が補充されるため、細粒度クロックゲーティングを行う際問題となる電圧降下が発生しない。しかしながら、キーパーを追加することにより消費エネルギーが増大してしまう。表1にキーパー追加によって増加する消費エネルギーの割合を第4.3項と同じ条件で評価した結果を示す。表1から LDS-cell の単体消費エネルギーがキーパー追加前と比較して5%~6%増加することがわかる。しかし、この消費エネルギーの増加はプロセッサ全体の消費エネルギーの0.1%以下である。よって本研究では提案手法併用時に問題となる電圧降下の解決方法として、キーパー付き LDS-cell の導入を採用する。

## 7. 評価

本節では、2つの低電力化手法の効果について評価する。従来の VSP、高性能セミスタティック TSPC DFF をパイプラインレジスタとして用いた PSU、および VSP、2つの提案手法を併用した VSP の4つのプロセッサのそれぞれの詳細設計を行い、消費エネルギーについて評価を行う。詳細設計には、論理合成に Synopsys Design Compiler を、テクノ

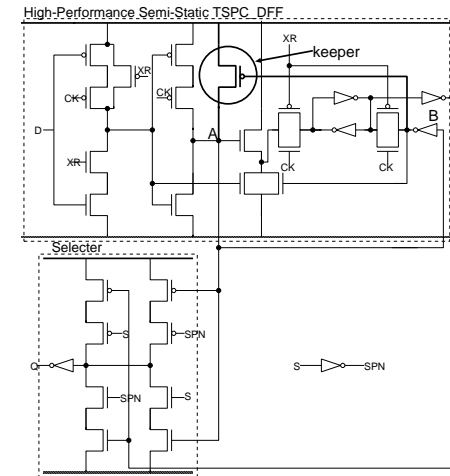


図10 キーパー付き LDS-cell

表1 キーパー付き LDS-cell 単体電力評価

入力データ遷移率	消費電力の増加
5%	4.93%
10%	5.68%
15%	5.49%
20%	5.73%

ロジには ROHM0.18 $\mu$ m CMOS プロセス、高性能セミスタティック TSPC DFF および、LDS-cell 以外のセルライブラリに京都大学版ライブラリを用いた。また、消費エネルギーは Synopsys Nanosim を用いて測定した。ベンチマークプログラムは MiBench<sup>12)</sup> にて配布されているものの中から、整数の2乗を求める int sqrt, long 型の変数中で1のビット数を数える bit count, 文字列の検索をする string search, 文字列をクイックソートする quick sort を用いた。また MiBench に含まれる quick sort のアルゴリズムには Newlib<sup>13)</sup> のものを利用した。表2にベンチマークプログラムの実行サイクル数を示す。評価において HS モードの動作周波数を 100MHz, LE モードでの周波数を 25MHz とした。

各モードにおける消費エネルギーの評価結果を図11, 図12に示す。各図の縦軸はそれぞれの動作周波数の条件下での評価結果において、従来の VSP の値を1とした時の消費エネ

表 2 ベンチマーク

ベンチマーク	実行サイクル数	
	HS モード	LE モード
int sqrt	171844	72726
bit count	151403	58484
string search	136760	59972
quick sort	172592	134820

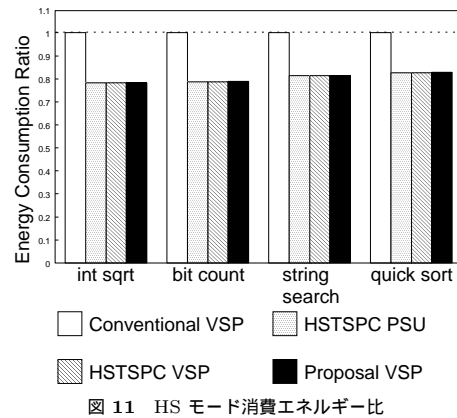


図 11 HS モード消費エネルギー比

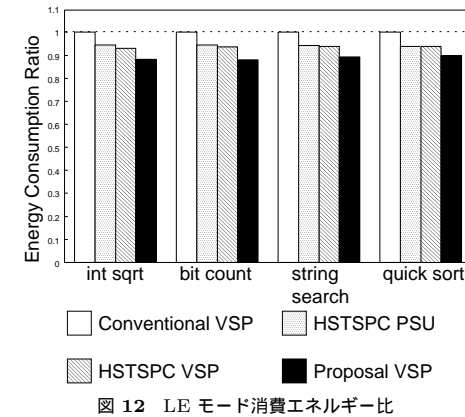


図 12 LE モード消費エネルギー比

表 3 分岐命令割合とエネルギー削減率の関係

ベンチマーク	分岐命令の割合	エネルギー削減率
bit count	6.8%	1.7%
int sqrt	8.1%	0.9%
string search	10.7%	0.6%
quick sort	15%	0.0%

ルギー比，横軸は使用したベンチマークプログラムである．図 11，図 12 中の VSP は従来の VSP，HSTSPC PSU (High-performance Semi-static TSPC PSU) と HSTSPC VSP (High-performance Semi-static TSPC VSP) はそれぞれ高性能セミスタティック TSPC DFF をパイプラインレジスタに用いた PSU と VSP，Proposal VSP は HSTSPC VSP に第 6 節で述べたキーパー付き LDS-cell を導入し，細粒度クロックゲーティングを実現した VPS である．

図 11 は HS モードにおける消費エネルギー比の評価結果である．HS モードでの消費エネルギーについては従来の VSP と比較して，HSTSPC VSP は 20%程度消費エネルギーの低減を実現している．HSTSPC VSP と Proposal VSP の消費エネルギーに差が見られないことから LDS-cell にキーパーを追加することとクロックゲーティングを実現することにより増加する消費エネルギーは非常に小さいことがわかる．

図 12 は LE モードにおける消費エネルギー比の評価結果である．HSTSPC VSP は従来の VSP と比較して 6%程度消費エネルギーを低減できている．HS モードと比較して消費エネ

ルギーの下げ幅が小さいのは，LE モードでは使用しないパイプラインレジスタを停止しているため，プロセッサ全体の消費エネルギーに対する DFF の消費エネルギーの割合が低下しているためだと考えられる．HSTSPC VSP は HSTSPC PSU と比較して int sqrt では 2%程度消費エネルギーを削減できているが，quick sort では同等の消費エネルギーとなっている．この原因を調査したところ，ベンチマーク内の分岐命令の割合と消費エネルギーの削減率が相関関係にあることがわかった．表 3 に分岐命令の割合と消費エネルギーの削減率をまとめたものを示す．表 3 から分岐命令の割合が多ければ多いほど VSP の PSU に対するエネルギー削減率が下がっていることがわかる．この原因として，現在の VSP はシングルパイプライン構成なので，分岐命令を実行しているサイクルでは ALU および MDU は使用されず，あまりグリッチが発生しないため，分岐命令が多いベンチマークほど HSTSPC VSP は LDS-cell の駆動により消費エネルギーが増大しているのだと考えられる．

Proposal VSP は HSTSPC VSP と比較して 5%以上消費エネルギーを削減している．

HSTSPC VSP では HSTSPC PSU と同等の消費エネルギーであった quick sort に関しても 5%ほどの改善が見られる。HSTSPC PSU と Proposal VSP の比較から、適切なゲーティングを行うことで 32bitALU 程度の回路に LDS-cell を挿入しグリッチを緩和すれば消費エネルギーを低減できるということがわかる。また、従来の VSP と比較すると消費エネルギーを平均 11%消費エネルギーを削減している。

これらの結果から HSTSPC VSP は従来の VSP と比較して、HS モードと LE モードの両方でより低消費エネルギーを実現しているといえる。また、Proposal VSP は HS モードでのペナルティなしに LE モードでさらに消費エネルギーの低減を実現しているといえる。

## 8. ま と め

本稿では、VSP をさらに低電力化するために高性能セミスタティック TSPC DFF を LDS-cell を含めたパイプラインレジスタに適用する手法と、LDS-cell に細粒度クロックゲーティングを適用する手法を提案した。この 2 つの低電力化手法を VSP に適用することにより、従来 VSP と比較して LE モードにおいて平均 11%消費エネルギーを削減できた。

今後の研究として、配線遅延や配線容量の影響を考慮した評価を行った場合、配線遅延やクロストークノイズにより発生するグリッチの影響も緩和できるため、LDS-cell によるグリッチの削減効果としてさらに高い効果が期待できる。

また、近年モバイルプロセッサでも用いられている 64bit アーキテクチャやスーパースカラアーキテクチャに VSP 手法を適用していく予定である。

謝辞 本研究の一部は科研費補助金 (19700042) の援助を受けている。また、LSI 設計は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、ローム (株) および凸版印刷 (株) の協力で行われたものである。

## 参 考 文 献

- 1) J. Pouwelse, K. Langendoen, H. Sips, "Dynamic Voltage Scaling on a Low-Power Microprocessor", 7th ACM Int. Conf. on Mobile Computing and Networking (Mobicom), pp.251-259, July 2001.
- 2) 市川 裕二, 佐々木 敬泰, 弘中 哲夫, 谷川 一哉, 北村 俊明, 近藤 利夫, "可変パイプラインを用いた低消費エネルギープロセッサの設計と評価", 情報処理学会論文誌。(コンピュータシステム) Vol.47, pp. 231-242, 2006 年 5 月
- 3) Takahiro Sasaki, Yuji Ichikawa, Tetsuo Hironaka, Toshiaki Kitamura and Toshio

Kondo: Evaluation of Low Energy and High Performance Processor using Variable Stages Pipeline Technique, IET Journal of Computer and Digital Techniques, Vol.2, No.3, pp230-238 (2008/4).

- 4) 草場 律, 近藤 利夫, "高性能セミスタティック TSPC DFF の検討" 電子情報通信学会論文誌 C Vol.J81-C2 No.5 pp.469-476, 1998 年 5 月
- 5) 嶋田 創, 安藤 秀樹, 島田 俊夫, "パイプラインステージ統合: 将来のモバイルプロセッサのための消費エネルギー削減技術", 2003 年先進的計算基盤システムシンポジウム SACSI2003, pp.283-290, 2003 年 5 月
- 6) Hajime Shimada, Hideki Ando, and Toshio Shimada, "Pipeline Stage Unification: A Low-Energy Consumption Technique for Future Mobile Processors", The International Symposium on Low Power Electronics and Design 2003, pp.326-329, August 2003.
- 7) Koppanalil, J., Ramrakhiani, P., Desai, S., Vaidyanathan, A. and Rotenberg, E., "A Case for Dynamic Pipeline Scaling", Proc. of Int. Conf. on Compilers, Architecture, and Synthesis for Embedded Systems 2002, pp.1-8, 2002.
- 8) Efthymiou, A. and Garside, J. D., "Adaptive Pipeline Depth Control for Processor Power-Management", Proc. of Int. Conf. on Computer Design 2002, pp. 454-457, 2002.
- 9) Partovi, H., Burd, R., Salim, U., Weber, F., DiGregorio, L. and Draper, D., "Flow-through latch and edge-triggered flip-flop hybrid elements", IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.138-139, February 1996.
- 10) B. Nikolic, V. Stojanovic, V. G. Oklobdzija, W. Jia, J. Chiu, M. Leung, "Sense Amplifier-Based Flip-Flop", IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.282-283, February 1999.
- 11) Nedovic, N., Oklobdzija, V.G., "Dynamic flip-flop with improved power", Proc. Int. Conf. on Computer Design, pp.323-326, September 2000.
- 12) MiBench. <http://www.eecs.umich.edu/mibench/>
- 13) Newlib. <http://sourceware.org/newlib/>