

## 新しい不揮発性機能デバイスと革新的 計算機システム実現の可能性について

安藤 功 児<sup>†1</sup> 児玉 祐 悦<sup>†1</sup> 工藤 知 宏<sup>†1</sup>

不揮発性デバイス技術は従来フラッシュメモリにより HDD を置き換えたストレージ的機能を中心に発展してきたが、近年高速性・大容量性・無限回書き込み耐性を有する不揮発性機能素子の開発が進んでおり、主記憶やオンチップレジスタの不揮発化をも視野に入れつつある。これを用いれば、低消費電力で新しい機能を持つ計算機システムが実現できる可能性がある。本報告では、不揮発性機能デバイス開発の現状を紹介し、不揮発性機能デバイスがアーキテクチャやシステムソフトウェアにもたらすインパクトと将来展望についての議論を提起したい。

### New non-volatile function devices and their impact on computer systems

KOJI ANDO,<sup>†1</sup> YUETSU KODAMA<sup>†1</sup>  
and TOMOHIRO KUDOH<sup>†1</sup>

Up to now, the most popular non-volatile device is flash memory which has been mainly used to replace hard disk drives. Recently, new non-volatile function devices with fast access, large capacity and an infinite number of write accesses are being developed. Such devices will possibly be used for main memory and on-chip registers in future computing systems. Use of such devices will realize ultra low power consumption computer systems with new features. This report introduces the current state of development of non-volatile devices, and tries to lead to the discussion about the impact of such new non-volatile devices on the future architecture and system software.

<sup>†1</sup> (独) 産業技術総合研究所

National Institute of Advanced Industrial Science and Technology (AIST)

### 1. はじめに

電気を切っても情報が消失することのない不揮発性機能デバイスは、計算機システムにおいて大きな役割を担っている。現時点における不揮発性機能デバイスの役割は、ほぼ全面的に、ストレージの機能の実現に限定されており、それらは磁気テープ、ハードディスクドライブ (HDD)、フラッシュメモリなどとして実現されている。これらの不揮発性機能デバイスの動作速度は数マイクロ秒～数ミリ秒であり、数 10 ナノ秒程度の高速度動作が必要な DRAM に比べて数桁も遅いため、その役割がストレージ的な機能に限定されているといえる。

一方、近年、多様な新規不揮発性メモリの開発が活発化してきた。強誘電体メモリ FeRAM や磁気メモリ MRAM などのように数ナノ秒～数 10 ナノ秒程度の高速度動作の潜在能力を持つ不揮発性メモリの市販が開始されるとともに、相変化メモリ PRAM や抵抗メモリ ReRAM などの新不揮発メモリの可能性も検討されている。不揮発、大容量、高速、無限回書き換え耐性の全ての長を併せ持つユニバーサルメモリの実現は、いまだ夢のレベルにあるものの、計算機システムにおける不揮発性機能デバイスの役割がストレージ的機能からワークメモリの機能へと拡大しつつあることは確かであり、さらには不揮発性機能を持つラッチや論理回路の試作も報告されるようになってきている。

このような不揮発性機能デバイス技術の進展を背景に、不揮発性機能デバイス開発にかかわる研究者・技術者は新たな応用システムの夢を思い描き始めている。一例を挙げると、キーボード入力において、一つのキーから次のキーに移動する間 (数 10 ミリ秒) に完全に電源を切ることが出来れば、ユーザにとっては動作しているように見えても、じつはほとんどの間、電源が切れている計算機が出来るのではないかなどである。

その実現のためには、理想のユニバーサルメモリと比べてまだまだ物足りない現在の不揮発性メモリ技術を高度化していくことが必要なことは言うまでも無いものの、その他にも多くの検討課題がありそうである。一つには、不揮発性機能デバイスを実装した計算機システムによって、どのような新しい利用形態・マーケットが開けるのかという応用イメージの明確化が挙げられる。しかし、その前段階として、高性能不揮発性機能デバイスが実現されたとしても、それがそのまま現在の計算機システムに受け入れられるかも明確でない。

研究開発の長期的方針を設定するためには、これらの点をなるべく早期に議論しておくことが望まれるものの、このような議論は明らかに材料屋、デバイス屋の範疇を超えている。このような観点から我々は、デバイスとシステムをまたぐ議論の必要性を感じている。

表 1 各種メモリの代表的な特性

	SRAM	DRAM	FLASH	MRAM	FeRAM	PRAM
不揮発性	×	×				
書き換え時間	1ns ~80ns	50ns	30ms/64kB	数 ns ~50ns	数 ns ~100ns	100ns
読み出し時間	1ns ~80ns	50ns	50ns(シリアル) 25μs(ランダム)	数 ns ~50ns	数 ns ~100ns	20ns ~80ns
読み出し形式	非破壊	破壊	非破壊	非破壊	破壊	非破壊
書き換え可能回数			10 <sup>5</sup>		10 <sup>13</sup>	10 <sup>13</sup>
待機電流値	100μA ~1mA	100μA ~1mA	< 1μA	< 1μA	< 1μA	< 1μA

(NEDO ロードマップ 2007<sup>1)</sup> を元に作成)

今回は、不揮発性機能デバイス開発の現状を紹介するとともに、不揮発性機能デバイスがアーキテクチャやシステムソフトウェアにもたらすインパクトと将来展望についての簡単な検討結果を示すことにより、さらなる議論の契機としたい。

## 2. 不揮発性機能デバイスの現状と発展可能性

現在の計算機システムで使用されている不揮発性機能デバイスは、ブート処理用のROMを別とすれば、HDD、フラッシュメモリ、光ディスク、磁気テープなどの二次記憶装置、三次記憶装置に限定されている。これはCPUが直接アクセスするレジスタ、キャッシュ、ワークメモリなどの一次記憶装置ではナノ秒単位の高速なアクセスが要求されるものの、一次記憶装置として使用可能な高速な不揮発性機能デバイスが存在しないためである。HDDやフラッシュメモリのアクセス時間はマイクロ秒からミリ秒単位と大幅に遅く、オフラインストレージとして使用される光ディスク、磁気テープのアクセス速度はさらに遅い。

一方、HDDとフラッシュメモリはそれぞれ2兆円~3兆円程度と巨大な世界市場規模を持つため、その高性能化や代替を狙った研究開発が活発に行われてきた。不揮発、高速、大容量、無限書き換え耐性を併せ持つユニバーサルメモリ技術の実現には、まだまだ時間がかかりそうであるものの、最近、高速性などのいくつかの点で、一次記憶装置に適用可能な不揮発性メモリ技術の可能性も見えてきている。以下に、各種の不揮発性メモリ技術の現状を述べる<sup>1),2)</sup>と共に、表1に各種メモリの代表的な特性を、図1に各種メモリの位置付けを示す。

- フラッシュメモリ

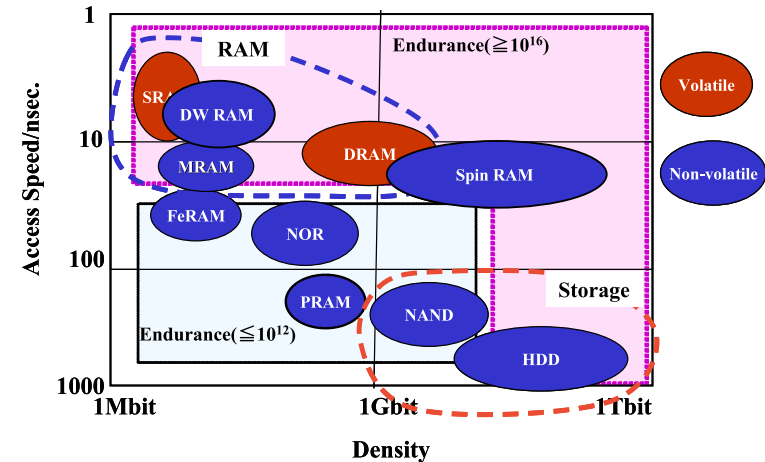


図 1 各種メモリの位置付け(参考文献<sup>3)</sup>を元に作成)

現状で産業的にもっとも重要な不揮発性メモリであり、絶縁された浮遊ゲートと呼ばれる領域に電荷を閉じ込めることにより不揮発性機能を実現している。

NAND型は、特に大容量に適した構造を持ち256Gビット製品も実現されている。一方、データ書き込み数10マイクロ秒、データ消去数ミリ秒と遅いこと、ページ単位、ブロック単位で読み書きするためにランダム書き込みが出来ないこと、書き換え回数が10<sup>5</sup>回程度に制限されるなどの問題点も有している。そのため、一次記憶装置には適していない。最近ではSSD(Solid State Drive)としても利用されており、高い耐衝撃性を活かしたモバイル用小型HDDの代替や、読み出しレイテンシが比較的速い特性を活かしたオンラインストレージへの適用が進んでいる。しかし、さらなる大容量化には、書き換え耐性の低下、書き込み速度の低下、消費電力の増大などの課題の解決が必要であり、より高速な不揮発性メモリをキャッシュとして用いる構造やOSによる安定化などが検討されている<sup>4)</sup>。

NOR型は、データ読み出しが100ナノ秒程度の高速ランダムアクセスで可能なため、CPUから直接アクセスする一次記憶装置の性格をもち、モバイル機器のためのプログラム格納用に使用されてきた。セルサイズが大きく大容量化が困難、データの書き込み速度がNAND型よりさらに遅い、消費電力が大きいなどの問題がある。

- 相変化メモリ PRAM (PCRAM, OUM)  
様々な名称で呼ばれるが同一の不揮発性メモリである。DVD 記録原理と同一の、加熱急速冷却によって起こる結晶と非晶質の間の相変化 (phase change) による大きな電気抵抗値の変化を利用している。セル構造が簡単なため高集積化に適していると期待されている。書き換え耐性も  $10^{13}$  回、読み込み速度 50 ナノ秒程度、書き込み速度 100 ナノ秒等の特性はフラッシュに比べて優れており、その大きな抵抗変化率はメモリセルの多値化に向いている。そのため、フラッシュメモリの代替候補として期待されている。一方、書き込み電流 (電力) が大きいことや、加熱を動作原理としているために高速動作にはビットセルの熱設計が必要とされるなど懸念材料も抱えている。小規模なサンプル出荷が行われているものの、なかなか本格的な生産段階へと移行できないことから、プロセス的な問題点を解決できていない可能性もある。
- 抵抗メモリ ReRAM  
名称自体は抵抗変化を用いる RAM 全般を表しているが、実際には酸化物薄膜を金属電極で挟んだ構造に、電圧パルスを印加したときに、その抵抗値が大きく変化する現象を利用するメモリを意味している。高い抵抗変化率が得られるため、安定に動作すれば高集積化に向き、これもフラッシュメモリの代替として期待されている。ただし、抵抗変化の機構の詳細は依然として明確でなく、現象の安定性などにも不安があるため、集積化の試みを行う段階には至っていない。現時点では実際にメモリデバイスとして動作しうかどうかは全く不明である。
- 強誘電体メモリ FeRAM  
強誘電体の残留分極電荷を利用してデータを記憶する不揮発性メモリであり、RFID、IC カードおよびマイクロコントローラ IC 用途に量産されている。4M ビット品が量産されている。数 10 ナノ秒の高速動作と低消費電力に優れるが、データ読み出しによりデータが失われることや、書き換え耐性が  $10^{12}$  程度に限られる問題も持つ。また微細化により残留分極電荷量が減少して読み出しマージンが低下する問題を抱えているため大容量化にも懸念がある。
- 磁気メモリ MRAM  
強磁性体の磁化方向を情報とする磁気的な RAM である。磁化反転の速度は原理的には 1 ナノ秒程度と高速であることから不揮発性でありながら高速動作が可能となる。また書き換え回数の制限が無くなると考えられている。既に EverSpin 社により 16M ビット製品が量産され、低消費電力タイプ SRAM と端子互換の製品が出されている。

また NEC はシステム LSI 用の 500MHz でランダムアクセス可能な MRAM<sup>5)</sup> や、非同期汎用 SRAM 互換の 32M ビット MRAM<sup>6)</sup> の試作を報告している。従来、磁気デバイスのエレクトロニクス応用における電気・磁気変換にはコイルが使用されてきたが、MRAM は磁気 電気情報変換 (読み出し) をコイルフリーで行うトンネル磁気抵抗素子 (MTJ) の開発により可能になった。しかしながら、現在量産されている MRAM の電気 磁気変換 (書き込み) には依然としてコイルが使用されていることが、MRAM の大容量化の障害となっており、256M ビット程度が上限とされてきた。しかし、最近、コイルを介することなく直接、電流で情報を書き込むことの出来る新技術が発展している。NEDO スピントロニクス不揮発性機能プロジェクトでは、DRAM 代替を目指した G ビット級大容量スピン RAM 技術<sup>7)</sup> や、SRAM 代替を目指した磁壁移動メモリ技術<sup>8)</sup> の開発を行っている。

以上のように、多様な不揮発性メモリ技術の開発が行われているが、現状では一次記憶用には MRAM および FeRAM が有望と考えられる。そのため、これらを用いたフリップフロップや論理回路の不揮発化技術が開発されている。

- FeRAM 技術を用いた不揮発性フリップフロップ回路<sup>9)</sup>  
すでに RFID タグとして実用化されている富士通の 6T4C-FeRAM である。10 ナノ秒程度の高速アクセスが可能で、電源オン/オフサイクルを 10 秒と想定した場合には 10 年間の無限回書き換え耐性が実現されている。FeRAM セルを用いながらこのような優れた特性が出るポイントは、CMOS フリップフロップ SRAM 回路 (6T) と FeRAM (4C) の組み合わせ回路にある。通常は高速 SRAM として動作するが、電源オン/オフ時に FeRAM セルへの読み書きが行われる。ただし、この回路構造には部品が 10 個あり、配線も電源線、ビット線、ワード線のほかに FeRAM セル用に 2 つのプレート線が必要なことから、高集積には向いていない。6T4C-FeRAM は不揮発性メモリであるとともに、不揮発性ロジックの性格も持つ。
- FeRAM 技術を用いた不揮発性レジスタ<sup>10)</sup>  
ロームは通常のレジスタ回路に FeRAM メモリセルを付加することにより、待機電力ゼロの不揮発性レジスタを試作した。CMOS レジスタの情報を、電源オン/オフ時にリストア/ストアして保持する。Z80 CPU コアに集積し、14 ミリ秒周期のうち 10 ミリ秒は電源を遮断することにより、消費電力が 70 % カットされることをデモンストレーションした。2009 年には量産の予定とされている。
- MRAM 技術を用いた不揮発性フリップフロップ<sup>11)</sup>

NEC もロームと同様な手法で、不揮発性フリップフロップの試作を行った。ただし、使用した不揮発性技術は MRAM である。データフリップフロップ (DFF) 回路に、MRAM の心臓部である MTJ 素子を付加した。DFF 回路は通常は MTJ 素子を介さずに動作して 3.5GHz の動作速度を維持する。待機モードに入るときに MTJ 素子に情報を書き込むことにより、チップ全体を不揮発化して、待機電力ゼロのシステム LSI が実現可能としている。MRAM 技術を用いているために、書き換え回数が無限で、かつ 0.5V の低電圧動作が可能という利点を持つ。MTJ には従来型のコイルによるデータ書き込みが使用されている。

● MRAM 技術を用いたメモリインロジック<sup>12)</sup>

東北大学はコイルを使用することなく直接データを書き込むことの出来るスピン RAM 技術を利用して、ロジックインメモリ型アーキテクチャの不揮発性フル加算器を 1 ビット実現し、その動作を確認した。通常の全 CMOS 型の揮発性フル加算器との性能比較をシミュレーションにより行った結果によれば、ダイナミック消費電力が 1/4 になるとともに、待機時の電力消費がゼロになるとしている。

● 不揮発性トランジスタ

以上の不揮発性レジスタ回路などは、いずれも CMOS (三端子デバイス) と不揮発性メモリ素子 (二端子デバイス) を組み合わせるものであるが、集積回路にとって最大の要求事項である集積度の点で不利である。そのため、単一の三端子デバイス (トランジスタ) 自体に不揮発性機能を付加しようとする研究も活発化している。強誘電体ゲートをもつ強誘電トランジスタ (1T-FeRAM)<sup>13)</sup> や、MTJ 素子をベースとした利得を持つ不揮発性ダイオードなどの実験が進められているとともに、強磁性金属をソースドレインとするトランジスタ構造<sup>14)</sup> が提案されている。ただしこれらの技術が、デバイス応用レベルにまで成長するには、まだしばらく時間がかかりそうである。

### 3. 応用システム：現状と将来の可能性

以上のように、不揮発性技術はようやく一次記憶装置の中に入り込む可能性を議論するレベルに到達しつつある。

一方、ニーズ面からも、不揮発性機能デバイスが必要とされるいくつかの理由をあげる事が出来る。図 2 に不揮発性機能デバイスの役割を示した。

その第一の理由は、情報通信機器の消費電力の低減に対する要請が強まったことである。情報通信機器による電力消費は急増しているが、これは素子の密度と絶対数が増大したこ

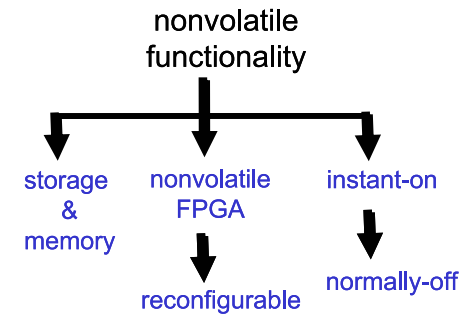
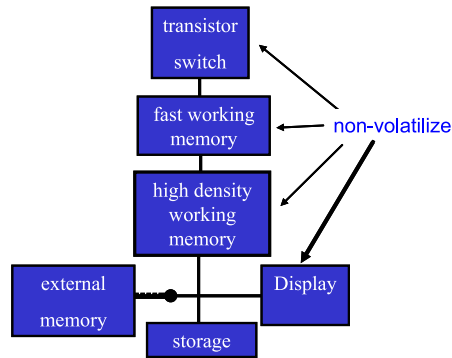


図 2 不揮発性機能デバイスの役割

と、CMOS 素子の微細化によるリーク電流 (スタンバイパワー) が増大したことによる。素子密度の向上はデバイス技術の絶対命題であるので、これはある意味如何ともしがたい。CMOS 技術が集積回路において主流になった最大の理由も、スタンバイパワーがゼロに近いという意味において、その低消費電力性にあった。この前提が微細化によるリーク電流の急増で崩れてきている。リーク電流を抑えるには、CMOS と同じ機能を持ち、かつ低電力で動作するスイッチ・トランジスタが必要となる。これは実際、現在のナノエレクトロニクス分野の大きな研究テーマであるが、残念ながら CMOS に変わる具体的なデバイスが見えていない状態ではない。

となると、まずはシステムレベルで、電源電圧や動作周波数を下げるなどして、不要な電力を削減していくことが重要である。しかしながら、この手法も限界に近づきつつある。次の手段として、完全に電源を遮断すればリーク電流の問題は解決される。しかし揮発性の CMOS ではこの手段が使えない。ここに一次記憶装置としての不揮発性機能デバイスの大きな役割がある。現在の DRAM を想定した計算機では、常に電源がオンであることを想定した設計 (ノーマリオン) がされている。しかしながら、ほとんどの応用にとっては、現在の非常にパワフルな計算能力をフルに使うことは無いのが現状である。よって、使用しないときには電源を切ることが重要である。不揮発性メモリのキラーアプリとして、インスタントオンコンピュータが考えられている。計算機が瞬時に立ち上がることを知っているユーザは、気軽に電源を切るはずである。そしてその延長上には、使用していないときには、マイクロ秒単位で電源が自動的に切れる図 3 に示すようなノーマリオフコンピュータも実現されるであろう。ユーザにとっては動いているように見えても、実は大部分の時間は電源が切



高速・大容量・無限回書き換えの不揮発性機能デバイスによる  
全部品を不揮発化したコンピュータの実現が期待される。

図3 ノーマリオフコンピュータ

表2 Core2 アーキテクチャの C ステイト制御

	通常	C0	C1	C3	C4	C6
状態	active	混在	停止	-	-	完全停止
コア電圧	定格	低下	さらに低下	-	-	大幅に低下
クロック	動作	-	停止	-	-	-
PLL	動作	-	-	停止	-	-
L1 キャッシュ	動作	-	-	flush	flush	停止
L2 キャッシュ	動作	-	-	-	flush	停止

くの検討課題を含んでいるように思われる。デバイス屋はコンピュータのアーキテクチャが変わる可能性もあるのではと思っているが、そのようなことが実際ありえるのか、また望ましいことなのかなどは、理解できていない。

#### 4. 現在のアーキテクチャからの考察

プロセッサ技術においては、これまで動作周波数向上と命令レベル並列性による性能向上を実現してきたが、チップあたりの消費電力の限界により更なる動作周波数向上は困難な状況をかえ、近年はマルチコア型のプロセッサが一般的になりつつある。マルチコアでも消費電力の問題は重要な課題であり、クロックゲーティングにより細かな単位で不要な回路の動作を抑制するのももちろんのこと、クロックを動作周波数をコア毎に変更したり、動作周波数に応じて電圧を変更したりといった工夫が行われている。

また、Cステイトと呼ばれる状態を持ち、段階的にアイドル時の消費電力を削減可能としている。表2に最新のインテル Core2 アーキテクチャの C ステイトの制御<sup>15)</sup>を示す。OS がプロセッサがアイドルだと判断すると、MWAIT 命令を実行することにより C ステイトへの遷移を開始する。割り込みなどにより C ステイトからの復帰が開始され、OS やアプリケーションからは透過的に処理される。どの C ステイトまで遷移するかは、PM UNIT と呼ばれるハードウェアで割り込み頻度などをもとに自動的に制御される。電源電圧などはチップ全体で制御される (Package C ステイト) が、それ以外のコアの状態 (Core C ステイト) はコア毎に制御される。最近発表されたインテルの Core i7 プロセッサでは、コア毎に電源オフ等の制御が可能となり、更なる低消費電力化が図られている。

C6 ステイトでは、コア毎に 8K バイトのバッファに状態を待避して完全停止する。このバッファは別電源で内容を保持している。復帰する場合は、このバッファをリストアする必要等があり、200 マイクロ秒ほどの時間がかかる。ただし、C6 の遷移へは状態待避など余分な消費電力がかかるため、C6 ステイトが C4 ステイトよりも消費電力が少なくなるのは、

れているようなコンピュータシステムである。

不揮発性機能の有用性のもう一つの理由は、その利便性にある。インスタントオンコンピュータはその一例であるが、ポケットに入る小型機器が必要に応じて異なる機能を実現するリコンフィギャラブル機能は役に立ちそうである。

このような超低消費電力性と利便性が実現されれば、それらの機能をあわせて、新しい市場が開けると期待できる。たとえばセンサネットワークにおいては無数の機器が 1 年 24 時間動作する必要があり、その駆動電源が大きな問題となる。また超々低消費電力の小型コンピュータが実現されれば、災害や開発途上国などのインフラが崩壊した環境下でも高度な計算機能が使用できるかもしれない。先進国ではバッテリーの性能の向上によってかなりの問題が解決できるが、開発途上国などでは、運営コストの観点からは電子機器の低消費電力化技術のほうに重きがありそうである。

新しい不揮発性機能素子技術を実らせるためには、適切な応用を見つけていく必要があるが、この種の試みの常として、なかなか見通せないものである。すでに見つかっているのかもしれないが、実際にそうなるまでには、それとは気がつかないものなのだろう。

それと同時に、デバイス屋・材料屋が単に不揮発性メモリ技術の高度化を地道に行っていれば、全て解決がつくというわけでもないのであろう。SSD においても、OS レベルの対応が重要であるように、一次記憶装置レベルに不揮発性機能を入れるということは、もっと多

割り込み頻度が3-4ミリ秒であるとのデータがある。このバッファを不揮発メモリに置き換えれば別電源が不要になるが、アクセスの消費電力は同程度と考えられるため、C6ステイトとC4ステイトとのトレードオフとなる割り込み頻度は変らない。もしコアの状態レジスタそのものが不揮発デバイスとなれば、この待避の電力や時間が不要となるため、効果は大きいと考えられる。

C3ステイトでL1キャッシュのフラッシュが行われる。マルチコア間でキャッシュのスヌーププロトコルによりコヒーレンスが維持されているが、この維持にコアのアクティブ電力の最大30%ほどが消費されている。L1キャッシュをフラッシュしてコア内のスヌープ機構をオフすることにより、この消費電力を削減できる。また、C4ステイトでL2キャッシュのフラッシュを行い、C6でキャッシュを停止しデータが破棄されてもコヒーレンス的に問題が起きないようにしている。

C6から復帰する時にはキャッシュアクセスがミスするために、性能の低下とともに、上位メモリ階層への余分なアクセスによる消費電力のオーバーヘッドが存在する。キャッシュを不揮発メモリに置き換えることにより、これらのオーバーヘッドを軽減できるようにも思えるが、実はそう簡単ではない。一つはキャッシュの高速アクセスが実現できるか、という問題であるが、これは技術の進化により可能になるであろう。もう一つはデータ共有に関する問題である。C3ステイトの説明でもあったように、現在のマルチコアプロセッサは共有メモリアーキテクチャであり、スヌープキャッシュを用いてキャッシュ間のコヒーレンスを維持している。そのため、一部のコアだけが停止している場合、共有しているデータの無効化要求に対応して正しくフラグの管理を行う必要がある。データ部のみを不揮発化してオフにして、フラグの管理のみを継続するという方式も考えられるが、通常のメモリで全体をオフする場合との得失は詳細な評価が必要であろう。

OSレベルでの動作を考えると、主記憶にデータを保持したままプロセッサをオフにするサスペンドと、主記憶データをハードディスクに待避して主記憶もオフするハイバネーションとがある。ハイバネーションではシステム全体の電源をオフするため、復帰時にはまずハードディスクを立ち上げ、それから待避したデータを主記憶にリストアする必要がある。この内、ハードディスクの立ち上げには機械的な部分を含むため他の時間よりも多大の時間を要し、最大20秒ほどかかる。この待避エリアとして不揮発メモリを用いることにすると、復帰時間を大きく削減することができるものと思われる。さらに、主記憶を不揮発化できればそもそも待避する必要がなく、現在のサスペンドと同等の復帰時間で、ハイバネーションと同じく消費電力0を実現できる。ただし、この場合も、ハードディスクを始め、各

種I/O装置の復帰時間が律速とならないような実装が必要になるであろう。

また、サスペンド時も主記憶と一部の周辺機器以外は電源オフとなるため、電源およびクロック発振器の安定復帰に100-200ミリ秒ほど必要である。より迅速な電源オフおよび復帰を目指す場合には、CステイトのようなOSからは透過なプロセッサの機能が必要である。その場合でも、プロセッサ以外の消費電力を抑える必要があり、新たなOSレベルのサポートも必要であろう。また、現在のCステイトへの遷移は、OSにより起動されるが、OSのプロセス切替粒度は1-10ミリ秒であるため、これ以下でプロセッサのオン/オフを制御する場合には、新たなサポートが必要となる。

さらに、不揮発性機能デバイスを最初から考慮した、現在のアーキテクチャを革新するアイデアも、有効であろう。必要なときのみデータを交換するという観点からは、非同期回路やデータ駆動プロセッサなど古くから研究されてきたアイデアが再度見直される可能性もある。ただし、全ての回路を非同期で、とか全ての命令をデータ駆動で、というのではなく、各コアや演算ユニットの中は同期回路で、それらの間是非同期回路というGALS(Globally Asynchronous Locally Synchronous)という考え方や、スレッド内は命令レベル並列を用い、スレッド間はデータ駆動のような同期を考慮する方式などが現実的ではないだろうか。

## 5. ま と め

本報告では、高速性・大容量性・無限書き込み体制を有する不揮発性機能素子の開発状況を紹介した。このような不揮発性機能素子を用いれば、今後は主記憶やオンチップレジスタを不揮発化して、回路を動作させる必要がない時にはレジスタの内容を保持したまま完全に電源断するシステムの実現が可能になると考えられる。この技術は、携帯装置やセンサの低消費電力化、サーバシステムの低消費電力化など、様々な応用の可能性を秘めている。このような不揮発機能素子の採用は、計算機システムの構成法にもインパクトを与える可能性がある。今後、計算機アーキテクチャやシステムソフトウェアではどのような対応が必要なのかを議論していく必要があると考える。

謝辞 本研究の一部はNEDOスピントロニクス不揮発性機能技術プロジェクトによるものである。

## 参 考 文 献

- 1) 新エネルギー・産業技術総合開発機構(NEDO) 電子・情報技術ロードマップ2007(ストレージ・メモリ分野), [http://www.nedo.go.jp/denshi/roadmap/2007/saku\\_memory.pdf](http://www.nedo.go.jp/denshi/roadmap/2007/saku_memory.pdf)

- 2) 「大容量化が急進展 SRAM や NOR 代替へ」, 日経エレクトロニクス, 2007 年 7 月 16 日, p.97, 2007.
- 3) H. Yoda et al., "Scalable Spin Torque Transfer MRAM with Perpendicular Magnetization TMR Elements", IEEE Nanotechnology Materials and Devices Conference, Invited paper TuC III-4, Oct. 21, 2008.
- 4) 竹内健, 「SSD の将来像」, 日経エレクトロニクス, 2008 年 4 月 21 日, p.67, 2008.
- 5) 「混載用超高速 MRAM マクロの 500MHz 動作実証に成功」, 日本電気プレスリリース, 2008 年 11 月 5 日,  
<http://www.nec.co.jp/press/ja/0811/0503.html>.
- 6) 「システム LSI への組み込みが可能な 32Mb MRAM を開発」, 日本電気プレスリリース, 2009 年 2 月 12 日,  
<http://www.nec.co.jp/press/ja/0902/1203.html>.
- 7) T. Kishi et al., "Lower-current and Fast switching of A Perpendicular TMR for High Speed and High density Spin-Transfer-Torque MRAM", IEDM Tech. Digest, p.309, 2008.
- 8) T. Koyama et al., "Control of Domain Wall Position by Electrical Current in Structured Co/Ni Wire with Perpendicular Magnetic Anisotropy", Appl. Phys. Express 1, 101303, 2008.
- 9) S. Masui et al., "A ferroelectric memory-based secure dynamically programmable gate array", IEEE J. Solid-States Circuits, 38, 715, 2003.
- 10) 「ロームが不揮発性レジスタ開発 個別回路の電源遮断で電力削減」, 日経エレクトロニクス, 2008 年 6 月 2 日, p.12, 2008.
- 11) 「待機電力ゼロのシステム LSI を実現可能にする不揮発性磁気フリップフロップを開発」, 日本電気プレスリリース, 2009 年 1 月 5 日,  
<http://www.nec.co.jp/press/ja/0901/0504.html#01>.
- 12) S. Matsunaga et al., "Fabrication of a Nonvolatile Full Adder Based on Logic-in-Memory Architecture Using Magnetic Tunnel Junctions", Appl. Phys. Express 1, 091301, 2009.
- 13) 「自己整合ゲート強誘電体トランジスタで長期データ記憶に成功」, 産業技術総合研究所プレスリリース, 2004 年 12 月 15 日  
[http://www.aist.go.jp/aist\\_j/press\\_release/pr2004/pr20041215\\_2/pr20041215\\_2.html](http://www.aist.go.jp/aist_j/press_release/pr2004/pr20041215_2/pr20041215_2.html)
- 14) 菅原聡, 「スピン機能 MOSFET による新しいエレクトロニクスの展開」, 応用物理, Vol.78, No.236, 2009.
- 15) Varghese George, "45nm Next Generation Intel Core Microarchitecture (Penryn)," Proc. of Hot Chips 2007.