

# 高精度RTLタイミングモデルの一検討

中嶋 将太 福井正博

立命館大学大学院 理工学研究科 創造理工学専攻  
〒525-0058 滋賀県草津市野路東 1-1-1  
E-mail: mfukuil@se.ritsumeai.ac.jp

あらまし 近年、LSIの微細化、高性能化に伴い、設計時間の短期化や高性能を維持したままでの低消費電力化といったことが求められるようになった。これらの要求をかなえるために、デザインプロセスにおいて、高いレベルですばやく電力や遅延時間を見積もることが非常に重要である。本稿ではRTLにおける遅延マクロモデルの提案を行っている。このモデルは $V_{dd}$ 、 $V_t$ のばらつきに対してトランジスタレベル並みの精度を目標としている。モデル化の手法、及び寄生容量の考慮などに関する検討内容と実験結果について示す。

キーワード 遅延マクロモデル

## A study for accurate RTL timing modeling

Shota Nakajima and Masahiro Fukui

Department of Advanced Science and Engineering, Department of VLSI System Design, Ritsumeikan University  
1-1-1 Noji-Higashi, Kusatsu, Shiga 525-0058, Japan  
E-mail: mfukuil@se.ritsumeai.ac.jp

**Abstract** Recent, due to the rapid progress of LSI technology, efficient and low-power designs have been highly required to keep high performance. To satisfy these requests, it is very important to be able to explore the value of power and delay at a high-level early in the design process. This paper proposes a new efficient RTL delay macro-model to address these recent problems. The goal is to provide transistor-level accuracy at the RTL with  $V_t$  and  $V_{dd}$  variability. The Modeling algorithm that considers parasitic capacitances and experimental results are discussed.

**Keyword** delay macro model

### 1. はじめに

近年、VLSIの微細化、高性能化が進むにつれて、高性能を維持したまま消費電力の低減をしなければいけないという問題に直面している。 $V_{dd}$ 、 $V_t$ をうまく制御することにより電力を低減することができる。しかし、同時に遅延時間が変化するため、効率よく精度の高い遅延評価が求められる。本文では、RTLにおいて $V_{dd}$ 、 $V_t$ を可変とする遅延のマクロモデルの提案を行う。2章では、遅延のモデル式についての説明、3章ではトランジスタレベルにおける遅延の見積もり方法について、4章ではRTLブロックにおける遅延の見積もり方法について、5章ではRTLにおけるモデルの検証のための実験とその結果を、6章でまとめと今後の課題について述べる。

### 2. 遅延のモデル式

#### 2.1. 遅延のモデル式で使う、 $\alpha$ 、 $\mu$ について

NANDやNOR、INVのような基本的な論理ゲートの

遅延を以下の簡単なモデル式で表現する。

$$\Delta t = \frac{C_i \cdot V_{dd} / 2}{K \cdot (V_{dd} - V_t)^\alpha} \quad (2.1)$$

$$K = \mu \cdot C_{ox} \cdot \frac{W}{L} \quad (2.2)$$

$W$ はチャネル幅、 $L$ はチャネル長、 $V_{dd}$ は電源電圧、 $V_t$ は閾値電圧、 $C_i$ はゲート及び配線容量、 $C_{ox}$ は酸化膜容量である。 $\alpha$ は一般的に $I_{gs}-V_{gs}$ 特性を表現するために用いられるが[1]、我々は $\alpha$ 、 $\mu$ をフィッティングパラメータとして用いる[2]。 $\alpha$ 、 $\mu$ の値はサンプル回路に対してHSPICEを用いた事前実験により、各 $V_{dd}$ に対してテーブル参照の形で蓄えられていて、回路の遅延を求める際に、参照される。

この $\alpha$ と $\mu$ の値以外の値( $W$ 、 $L$ 、 $C_{ox}$ 、 $C_i$ )は基本的に固定値である。本文ではこの $\alpha$ 、 $\mu$ の2つの値のみをパラメータとして変化させ、様々な回路に対して対応

できるモデルであるかを検証していく。

$\alpha$  と  $\mu$  の値を正確に算出することはモデル全体の正確さに関係している。従来は  $\alpha$  の値を各  $V_{dd}$  で求めた後に、各  $V_{dd}$  に対して求めた  $\alpha$  の平均値を算出して、それをパラメータとして使用し、 $\mu$  の値のみ  $V_{dd}$  に対してテーブル化して参照する形で行っていたが、本文においては各  $V_{dd}$  に対して求めた  $\alpha$  の値もテーブル化し、 $\alpha$ 、 $\mu$  の両方の値をテーブルとして参照する。以上により高精度な値を算出できるようにした。

## 2.2. $\alpha$ と $\mu$ の定義

$\alpha$  と  $\mu$  の値は HSPICE の実験結果より求める。これらの値は RTL ブロックにおける遅延の見積もりを目的としている。これらのフィッティングパラメータの算出方法を以下に示していく。まず  $\alpha$  の値を求めていく。まず初めに、10 個、11 個、12 個の NAND チェーン回路の遅延を HSPICE にて求める。 $\Delta t_{NMOS}$  は  $V_{dd}$  から  $V_{dd}/2$  まで移行するまでの遅延量であるので、11 個の NAND チェーン回路の遅延量から 10 個の NAND チェーン回路の遅延量を減算することで求めることができる。同様にして  $\Delta t_{PMOS}$  の値は 0 から  $V_{dd}/2$  まで移行するまでの遅延量であるので 12 個の NAND チェーン回路の遅延量から、11 個の NAND チェーン回路の遅延量を減算することで求めることができる。式に表すと以下ようになる。

$$\Delta t_{PMOS} = \tau_{12} - \tau_{11} \quad (2.3)$$

$$\Delta t_{NMOS} = \tau_{11} - \tau_{10} \quad (2.4)$$

$\Delta t$  と  $V_t$  との特性はこの方法で求めることができる。図 1 は NMOS と PMOS における  $\Delta t$  と  $V_t$  の関係を表したグラフである。次にこのグラフから 2 点 ( $V_{t1}$ ,  $\Delta t_1$ )、( $V_{t2}$ ,  $\Delta t_2$ ) を各  $V_{dd}$  ごとに選び  $\alpha$  の式(2.5)に代入して、NMOS, PMOS の各  $V_{dd}$  に対する  $\alpha$  の値を算出する。この 2 点の選び方は従来任意の点を選んでしたが、それでは法則性が見出せない為、今回は  $V_{dd} = 3V_t$  となる点を中心とし、その値の前後 2 点をプロットするという手法を使用した。それにより、ある程度統計的に  $\alpha$  の値を算出することが可能である。値を求めた結果を図 2 に示す。その後各  $V_{dd}$  に対して求めた  $\alpha$  の値を、テーブル化する。 $\alpha$  のテーブルを表 1 に示す。 $\alpha$  を求めるための式を以下に示す。

$$\alpha = \frac{\log(\Delta t_1 / \Delta t_2)}{\log((V_{dd} - V_{t2}) / (V_{dd} - V_{t1}))} \quad (2.5)$$

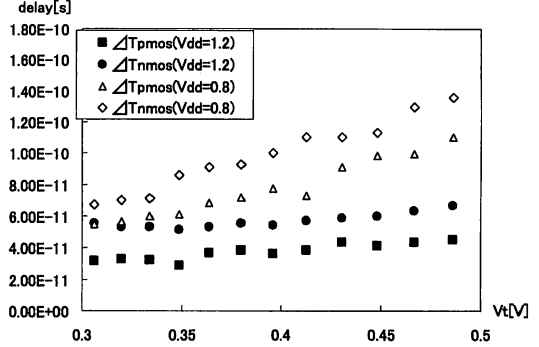


図 1  $\Delta t_{PMOS}$ ,  $\Delta t_{NMOS}$  と  $V_t$  の関係

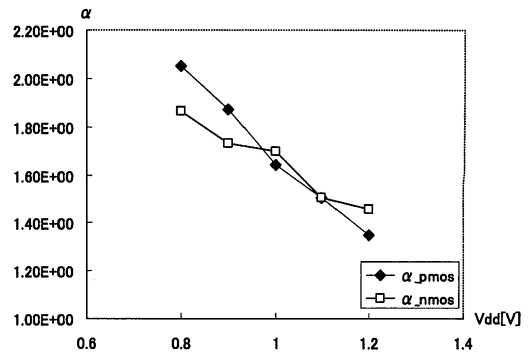


図 2 NMOS, PMOS の各  $V_{dd}$  に対する  $\alpha$  の値

表 1  $\alpha$  の各  $V_{dd}$  に対するテーブル

Vdd[V]	0.8	0.9	1	1.1	1.2
$\alpha_{pmos}$	1.97	1.87	1.64	1.51	1.35
$\alpha_{nmos}$	1.86	1.73	1.7	1.56	1.46

次に  $\mu$  の値を求める。 $\alpha$  の値、 $\Delta t$  の値を下記の式(2.6)と式(2.7)に代入して各  $V_{dd}$ 、 $V_t$  に対する  $\mu$  の値を算出する。 $\mu$  の値は各  $V_{dd}$ 、 $V_t$  に対して求めることができるが、それではテーブル数が増えてしまい計算時間の増大につながる。 $\mu$  の値は  $V_t$  にはあまり依存しないが、 $V_{dd}$  には深く依存している。そこで  $\mu$  の値は式(2.8)のように NMOS, PMOS の各  $V_{dd}$  に対して  $V_t$  を変化させたときの値の平均値をとり、テーブル数を減らして表 1 のように  $V_{dd}$  に対するテーブルとして参照できるようにする。各  $V_{dd}$  に対する  $\mu$  の値を表したグラフが図 3 のようになる。

$\mu$  の値を求める式を以下に示す。

$$\mu_{PMOS} = \frac{1}{2} \cdot \frac{C_i}{C_{OX}} \cdot \frac{L}{W} \cdot \frac{V_{dd}}{(V_{dd} - V_t)^{\alpha_{PMOS}}} \cdot \frac{1}{\Delta t_{PMOS}} \quad (2.6)$$

$$\mu_{NMOS} = \frac{1}{2} \cdot \frac{C_i}{C_{OX}} \cdot \frac{L}{W} \cdot \frac{V_{dd}}{(V_{dd} - V_t)^{\alpha_{NMOS}}} \cdot \frac{1}{\Delta t_{NMOS}} \quad (2.7)$$

たとえば  $V_{dd}=1.2V$  のとき

$$\mu = Avg.(\mu_{(V_t=0.4)}, \mu_{(V_t=0.38)}, \dots, \mu_{(V_t=0.25)}) \quad (2.8)$$

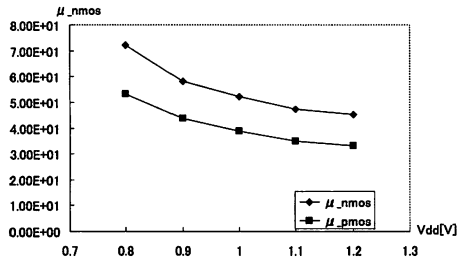


図3 NMOS, PMOS の各  $V_{dd}$  に対する  $\mu$  の値

表2  $\mu$  の各  $V_{dd}$  に対するテーブル

Vdd	0.8	0.9	1	1.1	1.2
$\mu_{pmos}$	50.9	43.8	38.8	35.1	33.2
$\mu_{nmos}$	68.3	58.2	52.4	47.5	45.2

上記の表1, 2のLUTをモデル式で計算する際に, 各  $V_{dd}$  に対して参照する形で使用するようになる。

$\mu$  の値を各  $V_{dd}$  ごとに有効範囲内で平均をとる。有効範囲は,  $V_t < 1/3 V_{dd}$  としている。これは閾値電圧が電源電圧の1/3程度が一般的で, また大きな閾値電圧や, 大きな遅延量は, 高速化や低電力化が重要とされる現在の低電力のプロセスにおいて必要ないと考えるからである。

### 3. トランジスタレベルにおける遅延の見積り

$V_{dd}$ ,  $V_t$  が原因で起こる遅延のばらつきをモデル式から算出して求める。モデルを使用する際に特別な制限はないが, あまりに大きい遅延量というものは, 精度が悪いということになる。また前章でも少し述べたが現在, 小型化, 低電力化, 高性能化が進む現在において, 大きすぎる電源電圧, 閾値電圧の値は低電力化, 高性能化を考える上で考える必要がないであろうと考えられる。そこで有効範囲を定め, その範囲におけるモデル式で求めた値と, シミュレーションによって求められた値の誤差を算出し, モデル式の精度を検証することにする。今回, トランジスタレベルにおける検証においては有効範囲を  $V_{dd}=0.8\sim 1.2$ ,  $V_t < 1/3 V_{dd}$  とし, その範囲におけるモデル式の精度検証を行った。例として, NAND, NOR, INV を考慮したサンプル回路で

実験を行う。実験は HSPICE でのシミュレーションで求められた値とモデル式で算出した値とを比較してその誤差を測定, 検証を行う。

#### 【実験する回路】

- Circuit1:NAND:INV:NOR=6:1:3, ゲート数 30
- Circuit2:NAND:INV:NOR=6:1:3, ゲート数 60
- Circuit3:NAND:INV:NOR=6:1:3, ゲート数 90

この3つの回路において, HSPICE で測定した遅延量と, モデル式で計算した遅延量の比較, 検証を行う。結果を表したグラフを以下に示す。

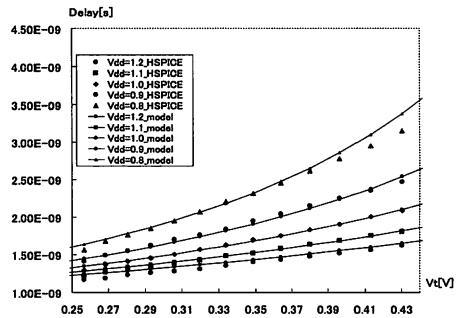


図4 circuit1 で HSPICE と提案モデルを比較したグラフ

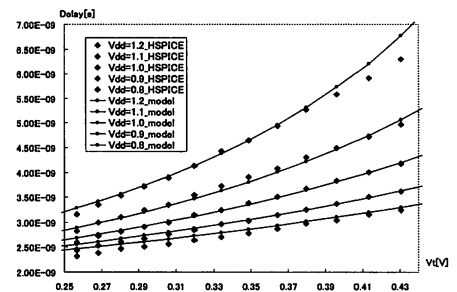


図5 circuit2 で HSPICE と提案モデルを比較したグラフ

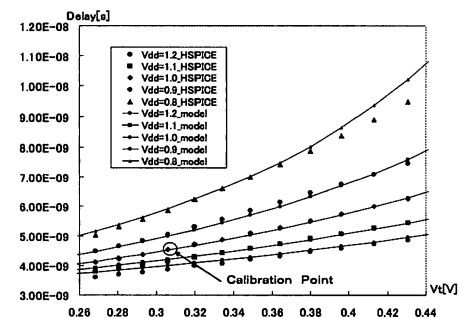


図6 circuit3 で HSPICE と提案モデルを比較したグラフ

結果を見てみると、モデル式にて求めた値は、 $V_{dd}=0.8 \sim 1.2$ ,  $V_t < 1/3 V_{dd}$  の範囲において、誤差が約 3% 以内であり、十分適応していることがわかる。更に  $V_{dd}=0.8 \sim 1.2$ ,  $V_t < 1/4 V_{dd}$  の範囲においては 2% 以内の誤差であり、非常に高精度に見積もりされた。初めにモデル式で計算した値では、HSPICE でシミュレーションして求めた値にあまり適応していないが、図 6 のように calibration point(較正点)を決めて ( $V_{dd1}$ ,  $V_t1$ )、その点に対して ( $\text{Delay\_model}/\text{Delay1}$ ) を求めて、モデル式で求めた各遅延量に乗算することで較正する。この Calibration Point は  $V_{dd}=1.0\text{V}$ ,  $V_t=0.33$  で行なう。

#### 4. RTL ブロックにおける遅延の見積もり

我々は RTL において、 $V_{dd}$ ,  $V_t$  の変動に対応した遅延の見積もりを目標としている。HSPICE のようなシミュレータで  $V_{dd}$ ,  $V_t$  のばらつきに対して遅延を測定すると、回路の規模が大きくなるにつれて、シミュレーションに莫大な時間がかかりすぎてしまう。しかしモデル式を利用することで時間の短縮をすることができる。RTL ブロックの回路のクリティカルパスの遅延をモデル式で求めるために、そのクリティカルパスの遅延量を  $n$  個の NAND チェーンの遅延量と近似して求める。RTL ブロック回路においては、一般的に直列とはならず、並列、直列など様々な形で接続されている。また、キャパシタンス ( $C_i$ )、ゲート長、ゲート幅なども様々な値をとると考えられる。その回路の遅延をモデル式で算出するわけだが、実回路と同じように様々な値を変化させ対応させることは難しい。そこで本論分では、トランジスタレベルでの検証と同じように、ゲート長、ゲート幅、キャパシタンスは固定値とし、更に回路の接続方法も直列で近似するものとする。その上で、精度をよりよいものにするために、 $\alpha$ ,  $\mu$  のパラメータを使用して、なるべく高精度な値を算出できるようにしていく。有効範囲については、前章で説明したように  $V_t < 1/3 V_{dd}$  とする。

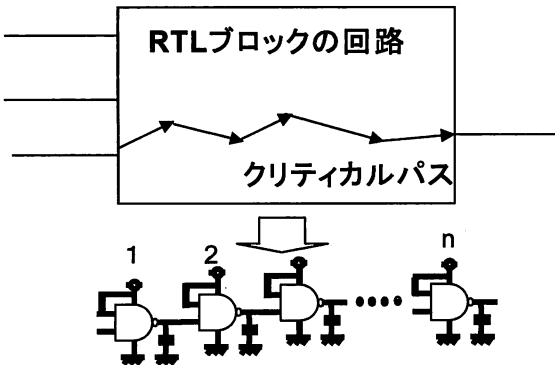


図 7 NAND チェーンでの近似のイメージ

$n$  個の NAND チェーンで近似する場合の  $n$  を求める方法を以下に示す。

$N$  が偶数の場合：

$$\text{Delay1} \approx \sum_{i=1}^{n/2} \Delta t_{PMOS} + \sum_{i=1}^{n/2} \Delta t_{NMOS} \quad (4.1)$$

より

$$n = \frac{2 \cdot \text{Delay1}}{(\Delta t_{pmos} + \Delta t_{nmos})} \quad (4.2)$$

$n$  が奇数の場合：

$$\text{Delay1} \approx \sum_{i=1}^{n/2+1} \Delta t_{PMOS} + \sum_{i=1}^{n/2} \Delta t_{NMOS} \quad (4.3)$$

より

$$n = \frac{2 \cdot \left\{ \text{Delay1} - \left( \frac{\pm \Delta t_{pmos} \mp \Delta t_{nmos}}{2} \right) \right\}}{(\Delta t_{pmos} + \Delta t_{nmos})} \quad (4.4)$$

考えられるパターンは 3 つあり、 $n$  が偶数の場合、 $n$  が奇数で NMOS が多い場合と PMOS が多い場合である。この 3 パターンに対して、HSPICE で求めたターゲットの回路の遅延量のうち任意の点の遅延量 ( $V_{dd1}$ ,  $V_t1$ ,  $\text{delay1}$ ) を上記の式 (4.2), (4.3) に代入して、最も適切な値を  $n$  として近似する。今回、任意の点は  $V_{dd}=1.0$ ,  $V_t=0.33$ , バルクの電圧が 0 の時の点として計算している。その結果、算出した  $n$  個分の NAND チェーンの遅延量をモデル式にて計算し、ターゲット回路の遅延量を計算する。さらにその値を calibration point を定め、その値で較正して算出した値と、HSPICE で求めた値とを比較して、精度の検証を行う。同じく Calibration point は  $V_{dd}=1.0$ ,  $V_t=0.33$ , バルクの電圧が 0 の時の点としている。

#### 5. 実験、及びその結果

3 章、4 章で述べてきた方法を用いて、RTL におけるモデルの精度検証の実験を行う。

【実験に用いる回路】

- ISCAS ベンチマーク C17
- 4bit Full adder
- 8bit Full adder

クリティカルパスについては、今回求める手法は提案していないので、adder については桁上げの場合の

遅延を計測し、 $C_{in}$  から桁上げされた場合の  $C_{out}$  までの遅延量をクリティカルパスとしてベンチマーク C17 のクリティカルパスは、全入力と全出力で考えられるすべてのパターンの遅延量を HSPICE にて計測しその結果を元に定め、クリティカルパスはわかっている状態であるという前提で実験を行う。

まず、HSPICE にて各ターゲット回路の遅延を測定する。4章で述べたように NAND チェーンでの遅延量に近似して、その値をさらに定められた Calibration point の値を乗算することで較正した値と、HSPICE で求めた値とを比較し、その誤差の計測を行う。有効とする範囲は  $V_{dd}=1.2\sim 0.8V$ 、 $V_i < 1/3V_{dd}$  の値をとる範囲とする。実験の結果を示したグラフを以下に示す。

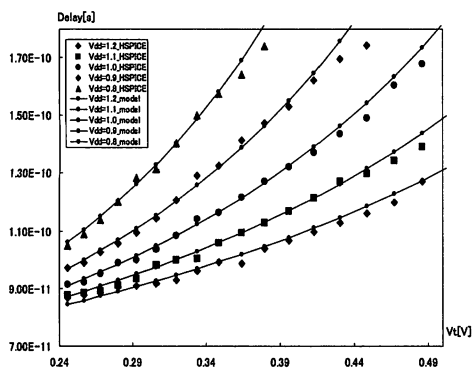


図 8 C17 において HSPICE と提案モデルを比較したグラフ

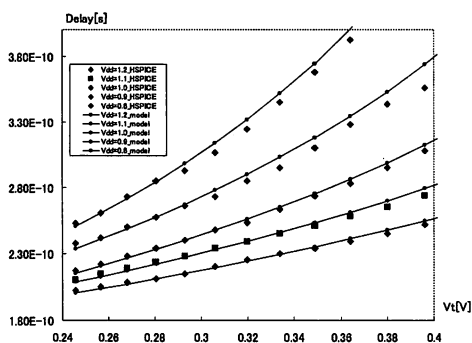


図 9 4bitFulladder において HSPICE と提案モデルを比較したグラフ

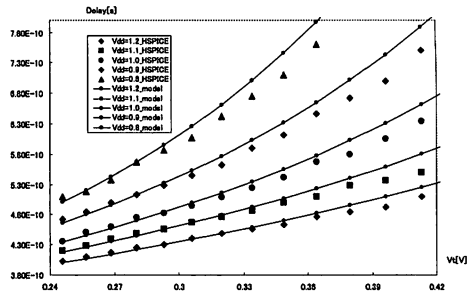


図 10 8bitFulladder において HSPICE と提案モデルを比較したグラフ

実験結果を見てみると、有効とする範囲において、多少トランジスタレベルで実験したときよりも精度は落ちるものの、NAND チェーンでの遅延量で近似した値と HSPICE で測定した値を比較すると、 $V_i < 1/3V_{dd}$  の範囲においては約 7% 以内の誤差で計算することができた。更に  $V_i < 1/4V_{dd}$  の範囲においては約 5% 以内の誤差で計算することができた。また今回、ターゲットとする回路のキャパシタンスの値が変化した場合に対しても、モデル式が対応できるものであるか検証するために、ターゲットの回路のキャパシタンスの値を変化させて同様の実験を行った。実際 RTL ブロック回路においては、キャパシタンスの値は回路によって様々であり、それに対応したモデルであることが必要とされることが考えられる。実験方法は先ほどの回路(4bit fulladder, 8bit fulladder, ISCAS のベンチマーク C17)においてそれぞれ回路の配線容量の値を 1ff, 5ff, 10ff, 15ff, 20ff という 5 つの値をランダムに与える。そしてそのランダムに配線容量を与えた回路 5 パターンに対してモデル式との誤差がどのようになるかを検証した。各回路の配線容量の変化に対するの誤差の違いを、平均誤差で表に表す。

表 3 配線容量の変化に対する  $V_{dd}, V_i$  を変化させたときの各回路の平均誤差(%)

	一定値	パターン1	パターン2	パターン3	パターン4	パターン5
C17	2.29	2.05	5.57	5.6	5.87	4.1
4bitFulladder	5.48	3.78	5.76	5.48	5.37	4.78
8bitFulladder	5.63	3.92	5.98	5.58	5.43	4.92

表 4 配線容量の変化に対する  $V_{dd}, V_i$  を変化させたときの各回路の最大誤差(%)

	一定値	パターン1	パターン2	パターン3	パターン4	パターン5
C17	6.44	5.17	7.13	7.21	7.45	6.87
4bitFulladder	6.87	5.29	7.51	7.45	8.13	7.22
8bitFulladder	7.11	5.31	7.74	7.71	8.24	7.13

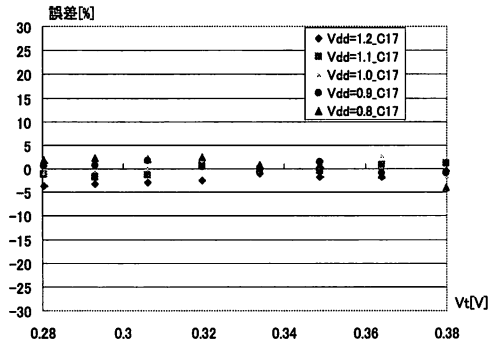


図 11 C 17 における誤差の分布

結果を見てみると、配線容量の値をランダムでばらつかせても、誤差は大きくなるといったことはなく、固定値を与えている場合の誤差との差はそれほどないことがわかる。ランダムで配線容量の値を与えた場合の遅延量は、固定値を与えたときの遅延量とは異なる。しかし Calibration point で校正していることで、配線容量の値がランダムでばらついていても、誤差はほとんど変わらないことがわかる。平均誤差や分布的には表 3、図 11 からわかるように約 7% 程度以内の誤差となった。また最大誤差も表 4 からわかるように、約 8% 程度であることがわかる。この結果から、ある程度配線容量の値の変化に対しても、モデル式は対応できると思われる。

## 6. まとめと今後の課題

RTL における遅延マクロモデルの提案とその精度の検証を行った。我々が以前提案した方法 [2] では、CMOS180nm プロセスにおいて、フィッティングパラメータとして  $\alpha$ 、 $\mu$  を用いており、本文では CMOS45nm プロセスにおいて、この二つのパラメータをテーブルとして参照する手法を新たに提案し、高精度な遅延量の算出を目指した。モデルについてはトランジスタレベルにおいては有効とした範囲において誤差 5% 以下で算出することができ、更に  $V_{dd}=0.8\sim 1.2$ 、 $V_i < 1/4 V_{dd}$  の範囲においては約 2% 以内の誤差で計算することができモデル式の精度の信頼性を示すことができた。また RTL ブロックの回路においても、その回路のクリティカルパスの遅延量を、NAND チェーンでの遅延量に近似してモデル式に当てはめて計算することにより、 $V_i < 1/3 V_{dd}$  において約 7% 程度以内の誤差で算出することができ、更に  $V_{dd}=0.8\sim 1.2$ 、 $V_i < 1/4 V_{dd}$  の範囲においては約 5% 以内の誤差で計算することができた。しかしながら、一般的な回路やレイアウトの諸条件に対して十分な実験評価が行えたとは言えず、今回

は一つの検討の指針を与えるのみとなった。今後の課題としては、RTL において、様々な回路においても高精度な値を算出することができるようモデル式の改善を行い、一般的な回路やレイアウトの諸条件に対して十分な実験評価を行い、モデルの信用性を高めるようにしていきたい。

## 謝 辞

本研究の基本部は平成 19 年度まで立命館大学院 VLSI 最適化学研究室にて共に研究を行った小八木達也による。また、共同研究者のプリティッシュコロンビア大学 Saleh 教授には種々の助言を得た。ここに感謝する。

本研究の一部は科学研究費補助金 基盤研究 (C)(2)19560360(平成 19 年～20 年)「次世代超小型電池駆動電子システム最適化設計のための基盤技術の研究」によってなされた。

## 文 献

- [1] "Supply and Threshold Voltage Scaling for Low Power CMOS", *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 8, August 1997.
- [2] T. Koyagi, M. Fukui, and R. Saleh, "Delay Macromodeling and Estimation for RTL", in *Proc. IEEE International Symposium on Circuits and Systems*, pp.2430-2433
- [3] D. Sengupta, R. Saleh, "Power-Delay Metrics Revisited for 90nm CMOS Technology", *IEEE International Symposium on Quality Electronic Design*, Mar. 2005.
- [4] D. A. Hodges, H. G. Jackson and R. A. Saleh, *Analysis and Design of Digital Integrated Circuits In DeepSubmicron Technology*, Third Edition, McGraw-Hill, 2004.
- [5] T. Sakurai and R. Newton, "A simple MOSFET model for circuit analysis," *IEEE Trans. Electron Devices*, vol. 38, no. 3, pp. 887-894, Apr.1991.
- [6] Jean Michel Daga and Daniel Auvergne, "A Comprehensive Delay Macro Modeling for Submicrometer CMOS Logics", *IEEE J. Solid-state Circuits*, vol. 34, no. 1, pp. 42-55, January 1999.