

デュアルV_{th}技術を用いた動的リコンフィギャラブルプロセッサの低消費電力化

平井啓一郎[†] 佐野 徹[†] 加東 勝[†] 天野 英晴[†]

[†] 慶應義塾大学理工学部

〒 223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: †muccra@am.ics.keio.ac.jp

あらまし Dual-V_{th} を用いて動的リコンフィギャラブルプロセッサのリーク電力を削減する手法を提案する。動的リコンフィギャラブルプロセッサは、PE のアレイから構成されており、その動作周波数は問題をマッピングした際のクリティカルパスに依存する。そこで、High-V_{th} を用いた遅いがリーク電力の少ない PE と Low-V_{th} を用いた高速だがリーク電力の多い PE を混在させることで、性能を落とさずに全体のリーク電力を下げる。65nm プロセスを用いた MuCCRA-3 をベースとし、High-V_{th} の PE と Low-V_{th} の PE の配置方法を検討した結果、高速な PE と低速な PE を 1 対 1 で混在させる配置が優れていることが明らかになった。

キーワード 動的リコンフィギャラブルプロセッサ, 低電力化, デュアル V_{th}

Leakage Power Reduction of a Dynamically Reconfigurable Processor using the dual V_{th} technique

Keiichiro HIRAI[†], Toru SANO[†], Masaru KATO[†], and Hideharu AMANO[†]

[†] Faculty of Science and Technology, Keio University

3-14-1 Hiyoshi Kohokuku, Yokohama 223-8522 Japan

E-mail: †muccra@am.ics.keio.ac.jp

Abstract Leakage power reduction techniques of dynamically reconfigurable processors by using Dual-V_{th} cells are proposed. Low speed Processing Elements (PEs) with high-V_{th} cells whose leakage power is low and High speed PEs with low-V_{th} cells whose leakage power is high are mixed in the same array. The maximum clock frequency of dynamically reconfigurable processor arrays is decided only with the critical path when the data flow graph of the target application is mapped. Thus, if the critical path can be mapped only on the low-V_{th} PEs, the leakage power can be reduced without degrading performance.

Key words Dynamically Reconfigurable Processor, Low Power Design, Dual-V_{th}

1. はじめに

動的リコンフィギャラブルプロセッサ [1] は、8bit から 32bit の粗粒度の演算器 (Processing Element, PE) およびメモリモジュールを、アレイ状に多数配置した構成をとり、データ並列性の高いアプリケーションにおいて高い処理能力を発揮する。FPGA (Field Programmable Gate Array) を始めとする他のプログラマブルデバイス同様、開発後に回路構成情報を追加、変更するだけで、様々な処理に対応することのできる拡張性、柔軟性を持ち、ハードウェアの開発期間やコストの削減につながることを期待されている。さらに、動的再構成機能を利用して、高速に処理対象を切り換えることにより、従来の FPGA に代

表される細粒度のリコンフィギャラブルデバイスの課題である、面積効率も改善されることが期待されている。

これらの動的リコンフィギャラブルプロセッサは、組み込み機器向けの SoC (System-on-a-Chip) において、IP (Intellectual Property) としての利用が想定される。携帯電話などのバッテリー駆動機器にとって低消費電力化の要求はますます高くなっており、アーキテクチャ設計、アプリケーション設計の両方で、消費電力の評価と、それに基づく電力削減手法が重要となってくる。

動的リコンフィギャラブルプロセッサは、低い周波数で多数の PE を動作させることから、本来動的消費電力が小さいアーキテクチャであるが、さらなる動的電力の削減手法、低消費

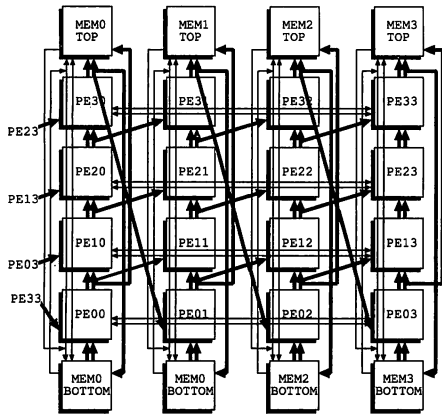


図 1 MuCCRA-3 の PE アレイ

アーキテクチャの構築法が提案されている [2] [3]。しかし一方、将来の半導体プロセスではリーク電力の割合が増大することが予想され、また、バッテリー駆動機器では待機時の電力削減が特に重要である。従来、複数の電圧を利用してコンテキスト単位で切り替える手法 [4]、PE 単位で切り替える手法 [5]、パワーゲーティングにより利用していない PE に電圧を与えない手法 [6] などが提案されている。

スレッシュホールドレベルの高い (High-Vth) トランジスタを用いることにより、リーク電力を抑制することができる。しかし、High-Vth のトランジスタは動作速度が遅く、これ一種類でシステムを設計すると性能の面で問題が生じる。このため、通常のトランジスタ (Low-Vth) と混在させて、性能とリーク電力低減を両立させる方法が Dual-Vth である。Dual-Vth はクリティカルパスのみを Low-Vth のトランジスタを用いたゲートに割り当てることができるため、リコンフィギュラブルデバイスに向けた方法である [7]。しかし、FPGA への適用例は報告されている [8] [9] [10] が、動的リコンフィギュラブルプロセッサには試みられた例がない。そこで、本報告では、Dual-Vth を動的リコンフィギュラブルプロセッサに適用することを試みる。ベースとなるアーキテクチャには、MuCCRA (Multi-Core Configurable Reconfigurable Architecture)-3 [11] を用い、実際のレイアウト設計に基づく評価を行う。

2. MuCCRA-3 アーキテクチャ

2.1 PE アレイアーキテクチャ

まず、ここで解析の対象とするモデルアーキテクチャである MuCCRA-3 について簡単に紹介する。

MuCCRA-3 は、MuCCRA-1, MuCCRA-2 の実装経験を反映したアーキテクチャで、e-shuttle 65nm プロセスを用いている。

MuCCRA-3 は、これまでの MuCCRA-1, 2 同様、4x4 の PE によるアレイ構造を持つ。データ幅は 16bit とした。図 1 に PE アレイの概観を示す。演算データを保持する MEM は、これまでアレイ下部に 4 つ配置していたものを、アレイ上部にも配置し合計 8 つとした。これは、MuCCRA でのアプリケーション

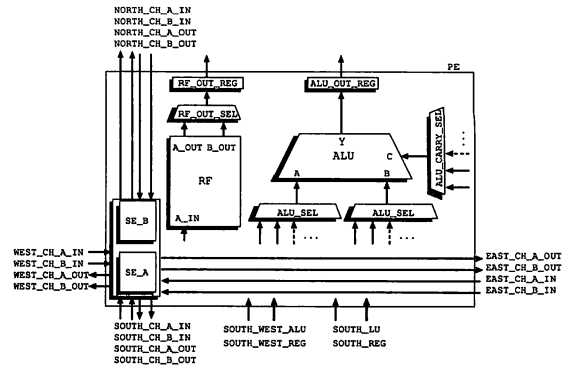


図 2 MuCCRA-3 の PE

マッピング時、メモリの読み書きがボトルネックの 1 つとなっていたためである。ただし、MEM の深さは MuCCRA-1 の 512 の半分である 256 ワードとした。また、MEM はチップ外とのデータ交換に利用されるが、これまで同様ダブルバンク構造であり、IO 時間の削減、隠蔽が可能である。また、MuCCRA-3 では、MEM 内にカウンタを実装し、簡単なアドレス計算であれば MEM 単体でできるようになっている。

PE 間を接続する結合網は、これまで MuCCRA-1, 2 で採用してきた Switching Element (SE) によるアイランドスタイルに加え、近接の PE と接続する直結接続網との両方により構成される。図 1 中、太線が直結接続網、細線が SE による接続網を表している。これはアイランドスタイルを採用した MuCCRA-1 を直結接続網にて実装した MuCCRA-D の評価 [12] から、直結接続網が動作周波数を向上させる一方で、データ移動の柔軟性を制限していたことが分かったためである。これにより、アプリケーションマッピング時に、近接の PE ヘデータを移動する場合には SE を再構成する必要のない直結接続網を利用し、遠い PE ヘデータを渡す場合には、SE を利用した接続といった使い分けが可能となり、データバスの形成がより容易である。SE によるチャンネル網は、A, B の 2 チャンネルが利用可能で、SE にて A から B、B から A へ乗り換えを可能とした。SE は配置配線のし易さから、PE 内のユニットとして持つようにした。

2.2 PE の構成

MuCCRA-3 は、2 項の四則演算、乗算、ビットシフト、比較演算を行う ALU、PE 内外からのデータ選択または定数生成を行い、1 項のシフト演算、ビット反転をする 2 つの ALU_SEL、8 エントリの 2 リードポート、1 ライトポートの RF によって PE は構成される。RF は、深さ 8 の FIFO として動作する FIFO モードを持つ。図 2 に MuCCRA-3 の PE の内部構造を示す。

ALU_SEL_A, ALU_SEL_B, および RF の A_IN には、RF の出力、直結接続網、SE による接続網が接続されており、構成情報により選択が可能である。ALU の機能は単純な 13 命令のみとし、ビット反転などは ALU_SEL が行う。これにより各ユニットの機能分離が明確になり、アプリケーションマッピングを容易にする。

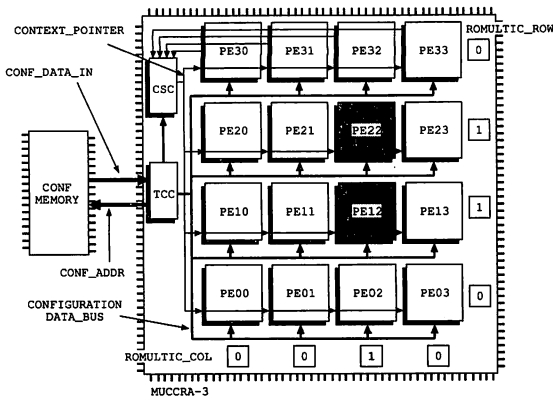


図3 MuCCRA-3の制御機構

また、MuCCRA-3ではPEの出力は常にラッチされる。MuCCRA-1,2ではPEの出力は直接他のPEへ出力されており、これは任意のデータバスを形成するのに役立つ一方、物理的なクリティカルパスを非常に長くするという問題があったためである。

2.3 MuCCRA-3の再構成機構・動作制御

MuCCRA-3は、コンテキストとよばれる、複数のコンフィギュレーションデータ（構成情報）のセットを切り替えて再構成を行う、マルチコンテキスト型の動的リコンフィギャラブルプロセッサである。各PE、MEMは自身が持つCONTEXT MEMORYから、コンフィギュレーションデータを読み出して再構成する。したがって実行に先だって、CONTEXT MEMORYへコンフィギュレーションデータを転送しておく必要がある。この転送はTask Configuration Controller(TCC)が行う。図3にMuCCRA-3の制御機構を示す。

3. Dual-Vthの適用

本研究では、リーク電力の削減に焦点を当てた低電力設計手法であるDual-Vth [7] [8] [9]を前節で紹介した動的リコンフィギャラブルプロセッサに適用する。

3.1 Dual-Vthの原理

閾値Vthの高いトランジスタ(High-Vth)で構成されたセルを用いれば、遅延は増すが、リーク電流は低Vthのトランジスタ(Low-Vth)でのそれより削減される。そこで、図4のように、高速な処理が要求されない部分にHigh-Vthのトランジスタを用いることによって、性能を犠牲にすることなくリーク電力を削減できる。

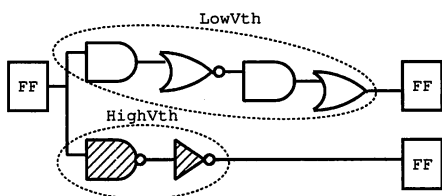


図4 Dual-Vthの原理

3.2 Dual-VthのPEアレイへの適用

Dual-Vthを動的リコンフィギャラブルプロセッサに適用する場合、High-Vthのトランジスタを用いて、低速・低消費電力なPEを構成し、これをPEアレイに混在させることにより、システム全体のリーク電力を削減する方法が考えられる。問題は、低速PEの挿入によって全体の遅延が増加する可能性がある点であり、

そのため、パフォーマンスと低消費電力化の効果のトレードオフを考慮して、PEアレイにおける適切な低速PEの配置パターンを考える必要がある。そこで、最適な低電力PEの配置パターンを決定するため、アプリケーションで遅延についての評価をとった。

3.2.1 低電力PEの評価

遅延についての評価をとる為に、低電力PEを設計した。その性能評価と通常のPEとの比較結果を表1に示す。合成にはFujitsu CS200 65nmプロセスの標準ライブラリを用いた。また、面積、遅延、リーク電力の計測はSynopsys社のDesign Compiler 2007.12-SP4を用いた。PEの最大遅延は、PEを演算ユニットとスイッチ部分に分け、さらに演算ユニットを三つの主な処理に分けて別個に計測した。表中のSRはShift-Right命令を指す。表より、PEのリーク電力が大幅に削減されていることが分かる。面積オーバーヘッドは1%以下であり、最大遅延は、演算ユニットで平均272[ps]、スイッチ部分では87[ps]増加した。

表1 低電力PEの評価結果

		通常のPE	低電力PE
リーク電力 [mW]		0.21	0.12
面積 [μm^2]		1557492	1562820
遅延 (PE)[ps]	SR	1459	1659
	ADD	1343	1669
	MULT	1463	1752
遅延 (SE)[ps]		427	514

3.2.2 低電力PEの配置パターンと最大遅延への影響

様々な配置パターンの低電力PEアレイを想定し、低電力PEの評価結果を用いてその最大遅延への影響を試算し、評価を行った。評価に用いたアプリケーションは、Alpha Blender及び離散コサイン変換(DCT)の二つである。ここで想定したPEアレイの配置パターンは、次の八つである。

- Normal

低電力化を施していない通常のPEアレイ

- Quarter

図5(B)のように、低電力PEを上端一行に配置

- Harf

図5(C)のように、低電力PEを上半分配置

- Check-Board

図5(D)のように、チェス盤のように配置

- Zig-Zag

図5(E)のように、ジグザグに配置

- Three-Quarter

図5(F)のように、低電力PEを上3/4に配置

- PECore-Only

図 5(G) のように、演算ユニットだけを低電力セルで構成する

- All

図 5(H) のように、全ての PE を低電力 PE にする

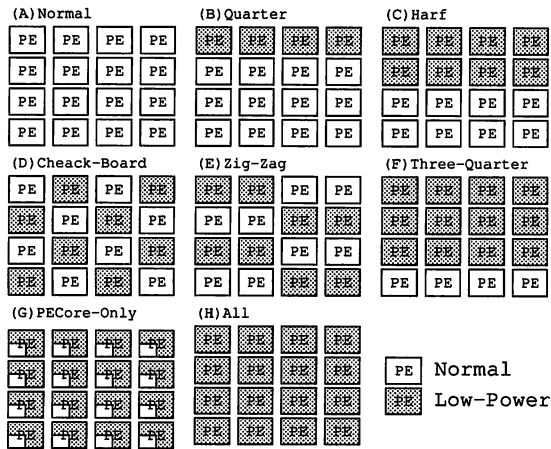


図 5 低電力 PE の配置パターン

評価結果を表 2 に示す。表の数値は、それぞれの低電力アレイの各アプリに対するクリティカルパスである。表から、Normal の平均クリティカルパスが最も短く、次いで Quarter, Harf, Three-Quarter, All の順であり、各配置パターンのクリティカルパスは、概ね PE アレイ中の低電力 PE の比率に比例していることが分かる。低電力 PE の比率が等しい Harf, Check-Board, Zig-Zag の 3 パターンにおいては、ほぼ同じ結果が得られた。

MuCCRA では、アプリケーション中のクリティカルパスは PE アレイを列方向に經由しているものである事が多い。そこで、今回の評価では、それら縦方向のクリティカルパスへの影響を最小限に抑える為、低電力 PE を縦方向に配置するようなパターンを避け、主に横方向の配置パターン、もしくはジグザグ配置のような変則的配置にしばって評価を行った。配置パターンによるクリティカルパスへの影響が大きくないのは、その為である。

表 2 それぞれの配置パターンの最大遅延 [ps]

	Alpha	DCT	Average
Normal	2135	3594	2864
Quarter	2222	3804	3013
Harf	2309	3978	3143
Check-Board	2309	3968	3138
Zig-Zag	2309	3978	3143
Three-Quarter	2483	4152	3317
PECore-Only	2179	3804	2991
All	2570	4239	3404

3.2.3 遅延と電力のトレードオフの分析

それぞれの配置パターンの、遅延と電力の相関関係をグラフにしたものを図 6 に示す。グラフの横軸は増加した遅延、縦軸は PE アレイにおける電力削減率を表している。グラフから、それぞれの配置パターンの遅延増加と電力削減率が、ほぼ比例

関係にある事が分かる。しかしその中でも、Harf と All は増加した遅延に対して電力削減の効果が大きく、対して Quarter と Three-Quarter は小さいことが分かる。

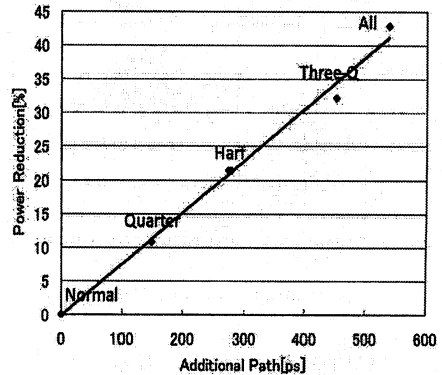


図 6 遅延と電力のトレードオフ

4. おわりに

動的リコンフィギャラブルプロセッサ MuCCRA-3 に Dual-Vth を適用した。High-Vth のセルを用いて構成した低電力低速 PE と通常の Low-Vth のセルを用いて構成した高電力高速 PE を混在させ、性能に対するダメージを防ぎつつリーク電力を削減する方式を検討した。

Normal, Quarter, Harf, Check-Board, Zig-Zag, Three-Quarter, All の八つの配置パターンについてアプリケーションのデータフローを割りつけた場合について評価した所、各配置パターンのクリティカルパスは、概ね PE アレイ中の低電力 PE の比率に比例しており、配置パターンの遅延増加と電力削減率は、ほぼ比例関係にある事が分かった。その中で、低電力 PE をアレイの半分だけ配置する手法は、他の配置に比べパフォーマンスを犠牲にせず優れた電力削減率を示しており、今後はこのような配置に主な焦点を当て、アプリケーションの数を増やしたり、低電力 PE の配置を微調整するなどして、詳細な解析と更なる低消費電力化を行っていく。

また現在、High-Vth の PE の配置に対して最適化したデータフローのマッピングは行っていない。今後は、配置に応じたマッピングを工夫することでさらに、遅延の悪化を低減できると考えられる。

謝 辞

本研究は、科学技術振興機構「JST」の戦略的創造研究推進事業「CREST」における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術」の研究課題「革新的電源制御による次世代超低電力高性能システム LSI の研究」による。

本研究は東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター・(株)イー・シャトルおよび富士通株式会社・シノプシス株式会社・日本ケイデンス株式会社・メンター株式会社の協力で行なわれたものである。

文 献

- [1] 末吉敏則, 天野英晴: “リコンフィギャラブルシステム”, オーム

- 社 (2005). (編著).
- [2] T.Nishimura and K.Hirai and Y.Saito and T.Nakamura and Y.Hasegawa and S.Tsutsusmi and V.Tunbunheng and H.Amano: "Power Reduction Techniques for Dynamically Reconfigurable Processor Arrays", Proc. of Int'l Conf. on Field Programmable Logic and Application (FPL) (2008).
 - [3] X.Wang and S.G.Ziavras and J.Hu: "Energy-Aware System Synthesis for Reconfigurable Chip Multiprocessors", Proc. of ERSAs 2007, pp. 61-68 (2007).
 - [4] Thomas Schweizer and Tobias Oppold and Olivera Filho and Sven Eisenhardt and Kai Blocher and Wolfgang Rosenstiel: "Exploiting Slack Time in Dynamically Reconfigurable Processor Architectures", Proc. of IEEE Int'l Conf. on Field Programmable Technology (FPT), pp. 381-384 (2007).
 - [5] 馬橋, 神林, 加東, 長谷川, 天野, 宇佐美: "2 電源電圧手法による動的リコンフィギャラブル・プロセッサの低消費電力化", 電子情報通信学会総合大会講演論文集 D-18-4 (2008).
 - [6] Yoshiaki Saito, et. al.: "Leakage Power Reduction for Coarse Grain Dynamically Reconfigurable Processor Arrays With Fine-Grained Power Gating Technique", ICFPT, pp. 329-332 (2008).
 - [7] F. Li, et al.: "Low-Power FPGA Using Pre-defined Dual-Vdd/Dual-Vt Fabrics", Proc. of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays, pp. 42-50 (2004).
 - [8] C. Q. Tran, et al.: "95% leakage-reduced FPGA using Zigzag power-gating, dual-VTH/VDD and micro-VDD-hopping", Proc. of Asian Solid-State Circuits Conference 2005, pp. 149-152 (2005).
 - [9] L. M, et al.: "Leakage power reduction by dual-Vth designs under probabilistic analysis of Vth variation", Proc. of the 2004 International Symposium on Low Power Electronics and Design, pp. 2-7 (2004).
 - [10] T.Kawanami, M.Hioki, Y.Matsumoto, T.Tsutsumi, T.Nakagawa, T.Sekigawa and H.Koike: "Optimization of the Body Bias Voltage Set for Flex Power FPGA", IEICE Trans. on Inf. & Syst., pp. 1947-1955 (2007).
 - [11] 佐野, 天野: "動的リコンフィギャラブルプロセッサ MuCCRA-3 の実装と再構成オーバーヘッドの削減".
 - [12] M.Kato, Y.Hasegawa, H.Amano: "Evaluation of MuCCRA-D: A Dynamically Reconfigurable Processor with Directly Interconnected PEs", Proc. of The 2008 International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA'08) (Aug. 2008).