

自律的細粒度パワーゲーティングに基づく 低消費電力フィールドプログラマブルVLSI

張山 昌論 石原 翔太 亀山 充隆

東北大学大学院情報科学研究科 〒 980-8579 宮城県仙台市青葉区荒巻字青葉 6-6-05

E-mail: {hariyama@, ishihara@kameyama., kameyama@}ecei.tohoku.ac.jp

あらまし 本稿はオーバーヘッドの小さい細粒度パワーゲーティングに基づくフィールドプログラマブルVLSI(FPVLSI)を提案する。非同期アーキテクチャはセルの稼働状態を容易に検出できるため、予め電源のON/OFFのタイミングを記憶する必要がなく、シーケンサも必要としないため、小さなオーバーヘッドで細粒度パワーゲーティングの制御回路を構成できる。また、データ到着を予測することにより、パワーゲーティングによる遅延の増加と電源スイッチの無駄なスイッチングを無くすることができる。ASPLA 90nm CMOS プロセスを用いて、提案FPVLSIの試作を行った。稼働率が20%のとき、静的消費電力を34%に削減することができた。

キーワード FPGA, 非同期アーキテクチャ, ビットシリアルアーキテクチャ

A Low-Power Field-Programmable VLSI Based on Autonomous Fine-Grain Power Gating

Masanori HARIYAMA, Shota ISHIHARA, and Michitaka KAMEYAMA

Graduate School of Information Sciences, Tohoku University
6-6-05 Aoba, Aramaki, Aoba, Sendai, Miyagi, 980-8579 Japan

E-mail: {hariyama@, ishihara@kameyama., kameyama@}ecei.tohoku.ac.jp

Abstract This paper presents a field-programmable VLSI(FPVLSI) based on fine-grain power gating with small overheads. The asynchronous architecture inherently has the information about the activity of a cell. This greatly reduces the area and power overheads of power gating control because a sequencer and a power-control-timing storage are not required. Detecting data arrival in advance prevents delay for wake-up and unnecessary power switching. The proposed architecture is fabricated in the ASPLA 90nm CMOS process with dual threshold voltages. When the utilization is 20%, the static power is reduced to 34%.

Key words FPGA, Asynchronous architecture, bit-serial architecture

1. はじめに

90nm以降の半導体プロセスでは、システムLSIの開発費・開発期間が増大しているため、製造後に回路の構成を書き換えることができるFPGA(Field Programmable Gate Array)で代表されるリコンフィギャラブルVLSIが注目されている。しかしながら、FPGAではプログラマビリティを実現するため、性能が犠牲になり、特に消費電力がASIC(Application Specific Integrated Circuit)と比べて十数倍となるため、情報家電・携帯情報端末等への応用が難しい。

FPGAでは、レジスタ数が膨大であるため、クロック分配ネットワークの負荷が大きく、その消費電力が全体の30%以上を占めている。クロック分配ネットワークの消費電力の一般的

な削減手法として、ゲेटドクロックが知られている。しかしながら、FPGAではクロックスキューを防ぐため、スイッチブロックを用いてローカルなクロック分配ネットワークを構築しないことが推奨されている[1]。そのため、従来のFPGAではゲेटドクロックを適用することが困難であり、クロック分配ネットワークの消費電力を削減できていないのが現状である。さらに、製造プロセスの微細に伴い、リーク電流に起因する静的消費電力の増加が深刻な問題となっている。静的消費電力の削減方法として、ロジックブロック(LB)の非動作時に電源を切るパワーゲーティングが知られている。しかしながら、一般的なパワーゲーティングでは電源のON/OFFの制御を行う制御回路はシーケンサが必要で、そのシーケンサは常に稼働しなければならない。特に、リコンフィギャラブルVLSIに適

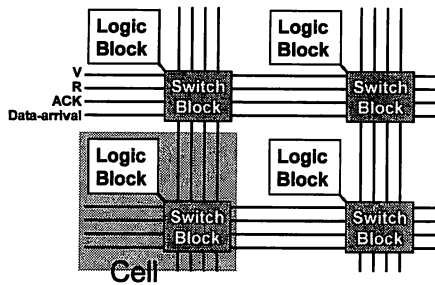


図 1: 全体の構成

用すると、電源制御回路および制御信号の分配ネットワークはプログラマブルリソースで構成されるため、面積・消費電力のオーバーヘッドが大きく、大部分の静的消費電力を削減できる細粒度パワーゲーティングに適さない [2].

本稿では、FPGA の消費電力を大幅に削減する非同期フィールドプログラマブル VLSI (FPVLSI) を提案する。動的消費電力の削減手法として、クロック分配ネットワークの消費電力を無くす LEDR (Level Encoded Dual Rail) 非同期方式に基づくアーキテクチャを用いる [3] [4]. 非同期式回路ではデータの到着と演算の完了を自律的に検出できるため、クロックが不要であり、クロックに起因する問題を根本的に解決できる。また、FPGA に適した 2 線方式の中で、LEDR 方式は最も高速かつ低消費電力な符号化方式である [4]. また、静的消費電力の削減手法として、非同期式回路が演算器の使用状況を容易に検出できることに着目し、各 LB の使用状況に応じて自律的に電源の ON/OFF を行う自律的細粒度パワーゲーティングを提案する。この方式は予め電源の ON/OFF のタイミングを記憶しておく必要がないため、制御回路のオーバーヘッドが小さく、LB 毎に電源の ON/OFF を制御できる細粒度パワーゲーティングが可能となる。

2. アーキテクチャ

2.1 全体の構成

FPGA では、データパスの長さのばらつきが大きいため、非同期式回路を適用する場合、遅延情報を必要としない 2 線方式が適している。2 線方式の中で、LEDR 方式はデータの遷移回数が最も少なく、低消費電力・高スループットを達成することができる。2 線方式は 1 ビット当たり 2 本のデータ線を必要とするため、面積オーバーヘッドが大きいため問題点がある。この問題を解決するため、提案 FPVLSI ではビットシリアルアーキテクチャを採用する (図 1)。ビットシリアルアーキテクチャは相互結合網が簡単なため、2 線方式によるオーバーヘッドを小さくできる。図 2 は演算を行う LB の構成である。LB は 2 入力 1 出力の演算を行う。LB は任意の論理演算を行う LUT、演算結果を保存するレジスタ、レジスタの入出力のタイミングを制御する C 素子、および LUT とレジスタの電源を制御する電源制御回路によって構成される。

2.2 自律的細粒度パワーゲーティング

同期式 FPGA のパワーゲーティングでは、電源の ON/OFF

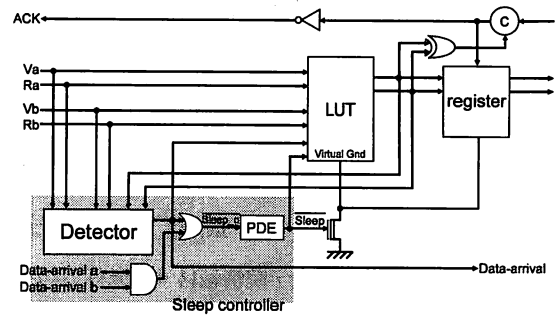


図 2: LB の構成

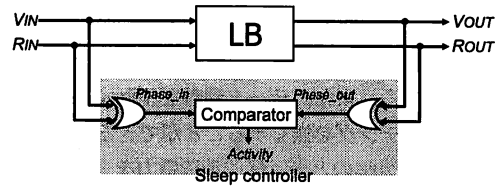


図 3: LB の稼働状態の検出

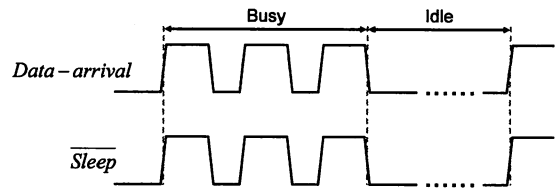


図 4: 稼働状態を直接電源制御信号として用いたときの問題点

のタイミングの記憶とシーケンサが必要なため、面積・消費電力のオーバーヘッドが大きいため問題点がある。この問題を解決するため、電源制御回路のオーバーヘッドが少ない自律的細粒度パワーゲーティングを提案する。図 3 に示すように、非同期式回路では、演算の完了および新しいデータの到着は入力データのフェーズと出力データのフェーズが一致するかどうかを判別するだけで、LB の稼働状態を検出することができる。この情報を利用して、自律的に稼働しない LB の電源 OFF にし、稼働する LB の電源を ON にすることができる。しかしながら、LB の稼働状態を直接の電源制御信号として用いると、新しいデータが到着してから電源を ON にするため、電源スイッチの立ち上がりによる遅延が増加する。また、図 4 に示すように、演算毎に電源の ON/OFF を繰り返すため、データが頻繁に送られてくる場合では消費電力が大きくなってしまいう問題点がある。

この問題を解決するため、自律的細粒度パワーゲーティングを提案する。図 5 に示すように、自律的細粒度パワーゲーティングでは、LB は 3 つの状態をとる：スリープ、スタンバイおよびアクティブ。スリープ状態では、静的消費電力を削減するため、電源は OFF である。アクティブ状態では演算を実行するため、電源は ON である。スタンバイ状態ではデータの到着を予測して、データが到着したらすぐに演算が実行できるように、予め電源を ON にする。自律的細粒度パワーゲーティン



図 5: LB の状態

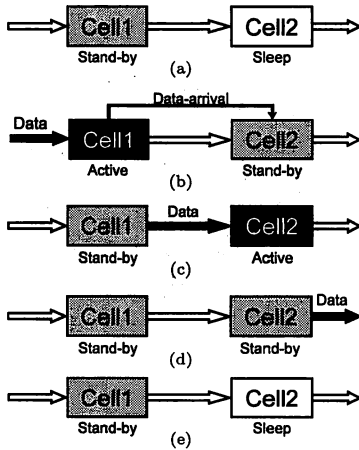


図 6: 自律的細粒度パワーゲーティング

グの例を図 6 に示す。ここでは、説明のため、それぞれの LB は 1 入力 1 出力とする。LB1 は外部入力を受け取る最初の LB で、ウェイクアップによる遅延の増加を無くするため、LB1 はスタンバイあるいはアクティブ状態のみをとる。つまり、LB1 の電源を OFF にしない。図 6(a) に示すように、初期状態として、LB1 はスタンバイ状態、LB2 はスリープ状態とする。図 6(a) に示すように、新しいデータが LB1 に到着すると、演算が開始し、LB1 はアクティブ状態となる。それと同時に後段の LB2 にデータ到着信号を送り、LB2 をスタンバイ状態にして、予め電源を ON にする (図 6(b))。その後、LB1 の演算が終わって、その演算結果を LB2 に送るときは LB2 の電源がすでに ON となっているため、パワーゲーティングによる遅延の増加がなく、ただちに演算を開始することができる。また、LB1 は演算が完了したので、スタンバイ状態になる (図 6(c))。LB2 の演算が完了すると、LB2 はスタンバイ状態となる (図 6(d))。LB2 の演算が完了してから、一定待ち時間が経過してもデータが来ない場合、データはしばらく来ないと予測し、LB2 はスリープ状態となり、電源を OFF にする (図 6(e))。それぞれの LB の待ち時間の最適値はアプリケーションに依存し、データが頻繁に送られてくる場合は電源が OFF にならない、またデータがしばらく来ないとときは電源が OFF になるように設定される。自律的細粒度パワーゲーティングを適用すると、図 7 に示すように、電源のウェイクアップによる遅延の増加がなく、またしばらく演算が行わないときのみ電源を OFF にすることができる。

図 2 の灰色の部分は自律的細粒度パワーゲーティングを適用したときの電源制御回路である。自律的細粒度パワーゲーティングはウェイクアップによる遅延の増加がないため、電源制御回路は高閾値・小面積のトランジスタによって構成するこ

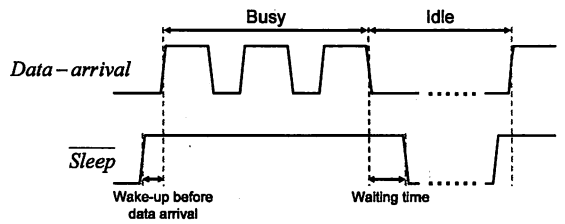


図 7: 自律的細粒度パワーゲーティングを適用したときのタイミングチャート

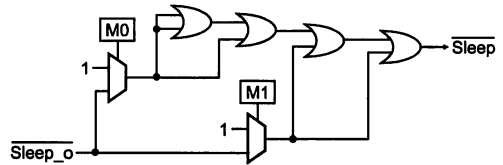


図 8: 可変遅延素子の構成

表 1 待ち時間の設定

| M0 | M1 | Waiting time |
|----|----|----------------------|
| 0 | 0 | Not use power gating |
| 0 | 1 | 0.5 |
| 1 | 0 | Not defined |
| 1 | 1 | 1 |

とができる。その結果、電源制御回路の面積および消費電力のオーバーヘッドを極めて小さくできる。データ到着検出器は入力データと出力データのフェーズを比較することで、演算が完了しているか、あるいは新しいデータが到着しているかを検出できる。Data-arrival a および Data-arrival b は前段の 2 つの LB からのデータ到着信号で、データが LB に到着する前に、予め LB をスリープ状態からスタンバイ状態に移移させるために使われる。可変遅延素子は演算が完了して、一定時間経過してもデータが来ない場合、LB をスタンバイ状態からスリープ状態に移移させるために使われる。この可変遅延素子は単に $\overline{sleep_o}$ を単に遅延させるのではなく、電源を OFF にするときのみ $\overline{sleep_o}$ を遅延させ、電源を ON にするときは遅延させないようにする必要がある。図 8 に可変遅延素子の構成および待ち時間の設定方法を示す。この遅延素子にメモリおよび OR ゲートを追加することでさらにきめ細かく待ち時間を設定することができる。図 9 にパワーゲーティングを適用した LUT の構成を示す。参考文献 [4] で提案した LEDR 方式に基づく LUT にパワーゲーティングを適用したものである。電源スイッチは \overline{Sleep} によって制御され、スリープ状態において静的消費電力を削減する。非同期式回路では、データ信号と制御信号が一体化しているため、不定値状態は誤動作を引き起こす可能性がある。この問題を解決するため、まずパワーゲーティング中では、LUT の出力をラッチに保存し、LUT の出力は前の演算結果を保持する。こうすることで、パワーゲーティング中では後段に不定値が伝搬されることがなくなる。静的消費電力を削減するため、ラッチの中のパッファは、静的消費電力を削減するため、

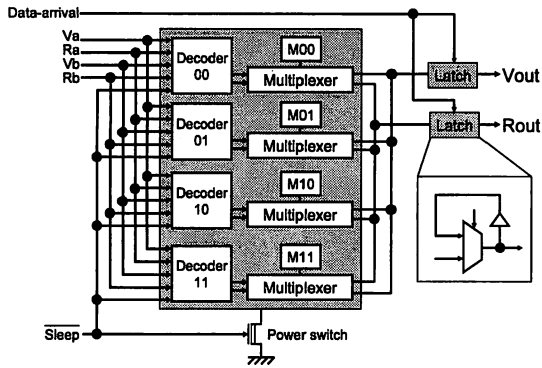


図 9: LUT の構成

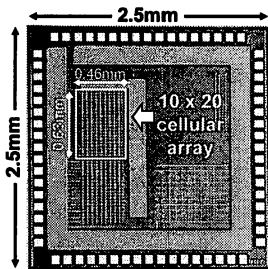


図 10: チップ写真

高閾値・小面積のトランジスタで構成される。さらに、ウェイクアップ時に LUT 出力を不定値にならないようにするため、*Sleep* は各デコーダの入力として用いられ、パワーゲーティング中では、マルチプレクサを制御し、マルチプレクサの出力をハイインピーダンスにする。ウェイクアップ時では、LUT の電源が ON になり、演算が完了して初めて、マルチプレクサの出力がハイインピーダンスから演算結果に変わる。こうすることで、*Data-arrival* 信号と演算完了のタイミングが少しずれたとしても、マルチプレクサの出力がハイインピーダンスであるため、残留電荷により、新しい演算結果が出力されるまで、LUT の出力は前の演算結果を保持する。その結果、LUT の出力として、前の演算結果から次の演算結果になるまで、不定値状態になることはない。レジスタはスリープ状態において保存データを保持するため、LEDR 方式に基づくレジスタにシングルコントロールバルーンレジスタを適用したものである [5]。

3. 性能評価

自律的細粒度パワーゲーティングに基づく FPVLSI の動作検証を行うため、ASPLA 90nm CMOS プロセスを用いてチップ試作を行った。図 10 および表 2 はそれぞれ試作チップの写真および諸元である。また、測定環境および動作波形を図 11 に示す。電源電圧 1.0V において、セル単体の平均遅延は 1.33ns で、同期式の 750MHz に相当する。非同期式回路のロバスト性により、試作チップは 0.5V から 1.2V の範囲で動的に電源電圧を変えても正常動作が確認された。このことは演算の負荷に応じて、動的に電源電圧を制御できる可能性を示している。

表 2 試作チップの諸元

| Technology | 90nm CMOS |
|--------------------------|----------------------|
| Supply voltage | 1V |
| Area | 1.5mm × 1.5mm (Core) |
| Cell size | 34μm × 31μm |
| Number of cells | 10 × 20 |
| Measured delay of a cell | 1.3ns |

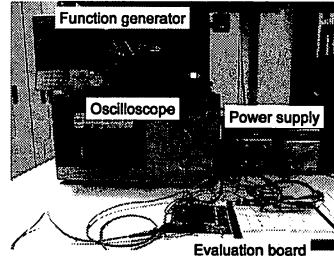


図 11: Measured waveform.

温度 25°C において、提案 FPVLSI の評価を行った。表 3 に提案手法のリーク電流削減効果およびオーバーヘッドを示す。自律的細粒度パワーゲーティングを適用した非同期 FPVLSI はそれを適用しない非同期 FPVLSI と比べ、非稼働時のリーク電流を 17% に削減することができる。また面積および動的消費電力オーバーヘッドはそれぞれ 13% と 5% である。図 12 に 90nm プロセスにおける消費電力の評価を示す。同期式 FPGA は細粒度パワーゲーティングを行うと制御回路のオーバーヘッドにより、逆に消費電力が増えてしまうため、ここではパワーゲーティングを用いない同期式 FPGA の消費電力のみを示した。提案手法において、パワーゲーティングによる電源のスイッチング回数を 100 回/秒とする。稼働率 20% の場合において、自律的細粒度パワーゲーティングを適用した非同期 FPVLSI はそれを適用しない非同期 FPVLSI と比べ、静的消費電力を 34% に削減できる。しかしながら、90nm プロセスでは、提案手法の有効性が示せていない。これは 90nm プロセスにおいて、静的消費電力の割合が少ないためである。図 13 に LEDR 方式に基づく FPVLSI および同期式 FPGA のデータセットあたりにおける消費エネルギーの内訳を示す。図 13 より、90nm プロセスでは静的消費エネルギーが全体の消費エネルギーの 3.7% とかなり少ないことがわかる。図 14 は ITRS が示したロードマップである。60nm プロセスでは 90nm プロセスに比べ、ゲートあたりの動的消費電力が 57% 減少し、静的消費電力が 680% に増加する。ITRS が示したロードマップに基づき、60nm プロセスにおいて、提案手法の評価を行った。その評価結果を図 15 に示す。稼働率 20% において、自律的細粒度パワーゲーティングを適用した非同期 FPVLSI はそれを適用しない非同期 FPVLSI と比べ、消費電力を 57% に削減できた。また同期式 FPGA と比べ、消費電力を 60% に削減できた。

表 3 自律的細粒度パワーゲーティングの
リーク電流削減効果とオーバーヘッド

| | LEDR | LEDR with power-gating |
|---|--------|------------------------|
| Leakage current | 301nA | 51nA(17%) |
| Area | 930um | 1054um(113%) |
| Number of transistors | 513 | 615(120%) |
| Energy per data set | 82.2fW | 86.6fW(105%) |
| Switching power (powering on + powering off) | - | 24fW |

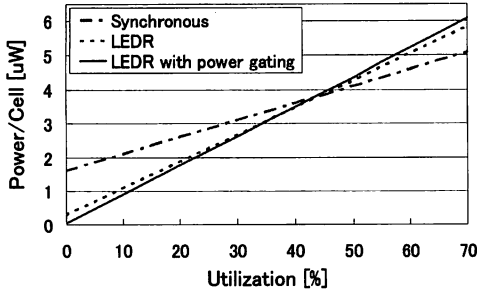


図 12: 90nm プロセスにおける消費電力の評価

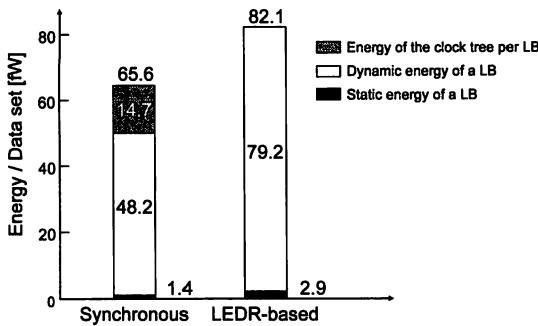


図 13: データセットあたりにおける消費エネルギーの内訳 (90nm プロセス)

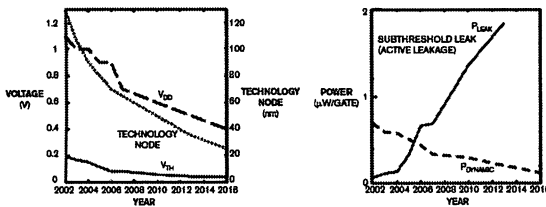


図 14: ITRS による製造プロセスのロードマップ

4. むすび

非同期式回路がセルの稼働状態を自律的に検出できることに着目して、それぞれのセルの稼働状態に応じて、自律的にパワーゲーティングを行うフィールドプログラマブル VLSI を提案した。予め電源の ON/OFF のタイミングを記憶する必要がなく、シーケンサも必要としないため、小さなオーバーヘッドで細粒度パワーゲーティングを実装することができた。また、

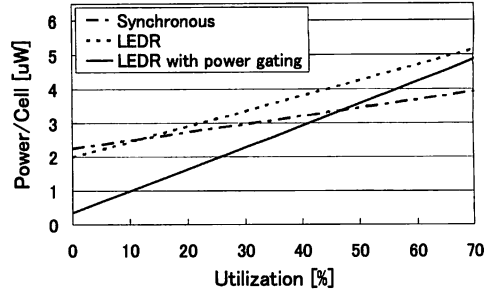


図 15: 60nm プロセスにおける消費電力の評価

データの到着を予測することにより、パワーゲーティングによる遅延の増加と電源の無駄なスイッチング回数を無くすることができた。提案手法により、小さなオーバーヘッドで静的消費電力を大幅に削減し、低消費電力化を達成した。また、提案手法は LEDR 方式に基づく FPVLSI だけではなく、ほとんどの非同期アーキテクチャにも適用できるものである。

今後は、具体的なアプリケーションをマッピングして、総合的な評価を行うと共に、統合設計 CAD の開発が重要である。また、演算の負荷に応じて、それぞれのセルが自律的に最適な電源電圧に動的に切り替える、自律細粒度複数電源電圧制御の検討も興味深い課題である。

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通じ、STARC、日本ケイデンス株式会社、シノプシス株式会社の協力で行われたものである。

参考文献

- [1] P. Garrault and B. Philofsky, "Hdl coding practices to accelerate design performance," Xilinx Inc., White Paper: Virtex-4, Spartan-3/3L, and Spartan-3E FPGAs, WP231(1.1), 2006.
- [2] A. Rahman, S. Das, T. Tuan, and S. Trimberger, "Determination of power gating granularity for fpga fabric," Proceedings of IEEE 2006 Custom Intergrated Circuits Conference (CICC), pp.9-12, 2006.
- [3] M. Hariyama, S. Ishihara, C.C. Wei, and M. Kameyama, "A field-programmable vlsi based on an asynchronous bit-serial architecture," Proceedings of the IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.380-383, Jeju, Korea, Nov. 2007.
- [4] M. Hariyama, S. Ishihara, and M. Kameyama, "Evaluation of a field-programmable vlsi based on an asynchronous bit-serial architecture," IEICE Trans. Electron, vol.E91-C, no.9, pp.1419-1426, 2008.
- [5] M. Keating, D. Flynn, R. Aitken, A. Gibbons, and K. Shi, "Low power methodology manual: For system-on-chip design," pp.215-218, Springer, 2008.