

携帯機器向けフルHD対応

H. 264 ハイプロファイルビデオコーデック IP の開発

岩田 憲一[†] 望月 誠二[†] 木村 基[†] 柴山 哲也[†] 泉原 史幸[†] 植田 浩司[†]

細木 浩二[‡] 中田 啓明[‡] 江浜 真和[‡] 見学 徹[†] 中沢拓一郎[†] 渡辺 浩巳[†]

[†](株)ルネサステクノロジ システムソリューション統括本部 〒187-8588 東京都小平市上水本町 5-20-1

[‡](株)日立製作所 中央研究所 〒185-8601 東京都国分寺市東恋ヶ窪 1-280

E-mail: [†] iwata.kenichi@renesas.com

あらまし デジタルカメラや携帯電話などの携帯画像記録機器向けに、フル HD に対応した H.264 ハイプロファイルビデオコーデック IP を開発した。符号処理と画像処理の 2 段階処理、および、マクロブロック 2 並列パイプライン処理により、フル HD サイズのエンコード/デコードを 162MHz でリアルタイム処理可能である。65-nm CMOS に実装したテストチップは、フル HD サイズの H.264 エンコード処理を 256 mW で実現した。

キーワード H.264, ビデオコーデック, フル HD, 低消費電力, 携帯画像記録機器

A Low-Power Full-HD H.264 High-Profile Codec

Based on a Heterogeneous Multiprocessor Architecture

Kenichi IWATA[†] Seiji MOCHIZUKI[†] Motoki KIMURA[†] Tetsuya SHIBAYAMA[†]

Fumitaka IZUHARA[†] Hiroshi UEDA[†] Koji HOSOGI[‡] Hiroaki NAKATA[†]

Masakazu EHAMA[‡] Toru KENGAKE[†] Takuichiro NAKAZAWA[†] and Hiromi WATANABE[†]

[†] System Solution Business Group, Renesas Technology Corp. 5-20-1 Jousuihoncho, Kodaira, Tokyo 187-8588, Japan

[‡] Central Research Laboratory, Hitachi, Ltd. 1-280 Higashi-koigakubo, Kokubunji, Tokyo 185-8601, Japan

E-mail: [†] iwata.kenichi@renesas.com

Abstract A video-size-scalable H.264 High-Profile codec including 19 application-specific CPUs for extensibility to multiple standards has been fabricated in 65-nm CMOS. With two parallel pipelines for macroblock processing, the codec consumed 256 mW in real-time encoding of 40-Mbps full-HD video at an operating frequency of 162 MHz.

Keyword H.264, video codec, full HD, low power consumption, mobile applications

1. 研究の背景

近年、H.264 または MPEG-4 による動画の録画および再生が可能なデジタルカメラ (DSC) が一般的になってきた。また、ディスクや Flash カードに録画するデジタルビデオカメラ (DVC) が市場に現れ、動画記録の標準規格が DV, MPEG-2 から H.264 へと変化してきている。デジタルビデオカメラ、携帯電話機などのコンシューマ向けオーディオビジュアル機器は、信号処理回路の高性能かつ低消費電力を要求する主なドライバーになっている [1]-[3]。図 1 は、コンシューマビデオにおける市場トレンドと本開発のターゲットを示す。アプリケーションに応じて、標準 TV 画像 (720 画素 × 480 ライン × 30 fps) からフルハイビジョン (フル HD, 1920 画素 × 1080 ライン × 30fps) までの画像サ

イズ、ビットレートが求められる。また、H.264, MPEG-2, MPEG-4 などの複数の規格への対応も必要となる。信号処理の柔軟性、性能、低消費電力のトレードオフは、ビデオコーデック設計のキーポイントである。

これらの課題に対して、フル HD に対応した H.264 ハイプロファイルビデオコーデック IP を開発した。第 2 章では、コーデックのアーキテクチャの概要を示す。符号処理と画像処理の 2 段階処理、および、マクロブロック 2 並列パイプライン処理により、フル HD サイズのエンコード/デコードを 162MHz でリアルタイム処理可能となった [4]。第 3 章では、複数の符号化規格への対応するためのプロセッサについて述べる。単一のアーキテクチャにより

複数のコーデック規格の処理に柔軟に対応できるマルチコーデック対応処理エンジンは、多彩なアプリケーションへの容易な展開、複数規格への対応容易性などの利点がある。第4章では提案コーデックの性能評価およびテストチップへの実装結果を示し、第5章でまとめとする。

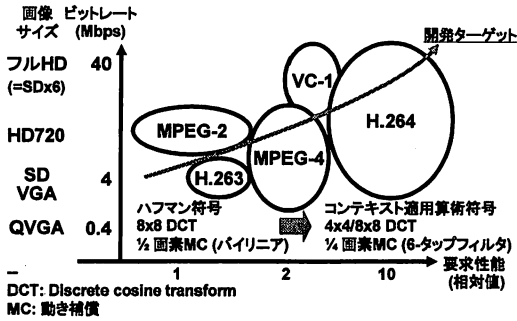


図1 本研究のターゲット

2. 低消費電力リアルタイムコーデック処理アーキテクチャ

2.1. コーデックアーキテクチャ

図2に開発したコーデックのブロック図を示す。本コーデックは、半二重のコーデックであり、モード設定により、エンコードまたは、デコード動作を行う。コーデックの主なモジュールは、符号処理部 (VLCS) と2つのコーデックエレメント(CE)を持つ画像処理部からなる。VLCSとCEは、互いに独立動作し、フレームレベルでのパイプライン処理を行う。

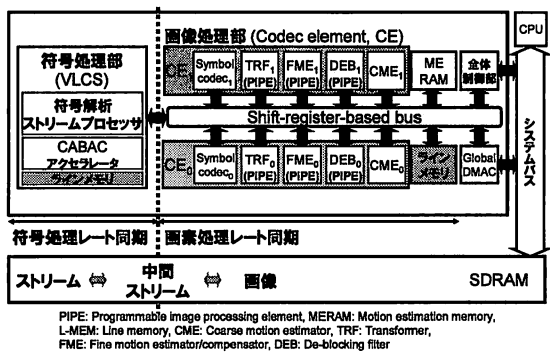


図2 コーデックアーキテクチャ

エンコード時は、2つのCEが外部SDRAMから入力画像を読み込み、動き検出、周波数変換などの処理を経て、中間ストリームを生成する。VLCSは、この2つのCEによって作られる中間ストリームを最終的な

ビットストリームを生成する。外部SDRAMにおける中間ストリームバッファは、画像処理レートドメインと符号ストリーム処理ドメインとの間のバッファの役割を果たす。

可変長符号化処理は、本質的に固定時間での信号処理に不向きであり、ある一定時間で信号処理をパイプライン処理による処理の並列化が難しい。VLCSの符号処理が、あるフレームレート時間よりも多くの時間がかかると、動作周波数を上げる必要が生じる。H.264規格におけるContext-adaptive binary arithmetic coding (CABAC)処理はビット処理が必要なため、特に変動が大きい。マクロブロック (MB) において、変換係数は最大384シンボルであるのに対し、構文要素の確率に応じてビット数の表現が変わるCABACは最大数を定義しづらい。図3にMB毎の信号処理に必要な動作周波数のヒストグラムを示す。量子化パラメータ (QP) 20の場合は、多くのMB処理に必要な周波数が162MHzを超えてしまうことがわかる。QPが30の場合でもいくつかのMBで162MHzを超えてしまう。そこで、我々は符号処理と画像信号処理2段階の処理構造を提案することで、可変長符号処理を図に示す平均周波数ですべてのフレームを処理することができる。2つのドメイン構造は、動作周波数を低くすることができ、すなわち低消費電力化が可能なアーキテクチャである。

中間ストリームは、固定長と可変長符号の2つから構成される。固定長の部分は、スライスの境界を含む、ブロックパターンなどのMB情報を含む。また、可変長部は、動きベクトル、変換係数からなり、指数-Golomb符号をベースとした符号を用いた。

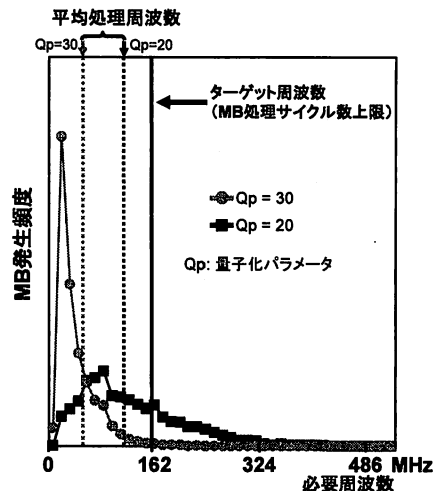


図3 CABAC必要周波数の低減

2.2. 二重マクロブロックパイプライン処理

図4, 5に, 2つのCEによるマクロブロックパイプライン信号処理の方法を示す. H.264 などの最新のビデオ符号化規格は, 相関性のある周辺 MB のコンテキスト情報を活用する. 例えば, 図4のMBのXは, A, B, C または D のコンテキスト情報を用いて符号化される. この特性を利用して, 2つのCEにおけるそれぞれのパイプライン処理のために2マクロブロック遅延するよう制御する. 図5に示すようにCE1で処理されたコンテキスト情報は, 直接CE0に, また, CE0のコンテキスト情報は, ラインメモリに転送されます. 2つのCEで, コンテキスト情報を格納するためのラインメモリを共有することが可能となり, ラインメモリの容量は従来方法に比べて半分にすることが可能である.

本コーデックでは, リアルタイム処理を確保するために, 各マクロブロックの処理サイクル数上限を1200と定義した. 2CE並列動作により, 162 MHzでフルHD操作を処理することが可能となる. ラインメモリ, CEの数, 動作周波数の組み合わせにより, SD からフルHD, さらに, より大きな画面サイズ, フレームレートに対応可能なスケーラビリティを有する.

さらに, 消費電力を低減させるために, 動的なクロック停止制御(DCSS) [5]を, デュアルMBのパイプライン処理に適用した.

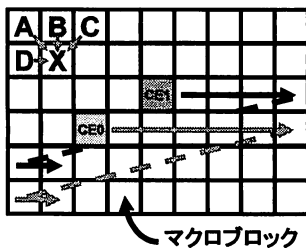


図4 2並列処理

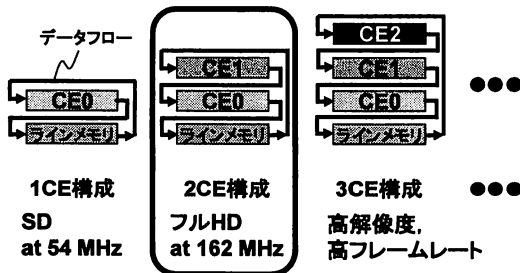


図5 複数のCE構成とデータフロー

2.3. シフトレジスタベースドバス(SBUS)

図6は, シフトレジスタベースドバス(SBUS)のアーキテクチャとマクロブロックパイプライン処理タイムチャートを示す. 図2における全てのサブモジュールはSBUSに接続される.

左回りSBUSは, 外部SDRAMメモリからデータを読むためのバスである. 右回りSBUSは, モジュール間通信に使われる. 各モジュールのMBのパイプライン処理データが右隣の次のパイプラインステージのモジュールへと転送される. この双方向SBUS高スループットを可能にする. ターゲットID, データ, データイネーブル信号は, 単純にSBUSに沿ってシフト転送される. 個々のモジュールは, ターゲットIDが自身のIDと一致した場合に, データをローカルメモリに格納する. さらに, 次段へ転送せずにターミネート動作を行う. ビデオコーデックの場合, 主要なデータ転送は, MBパイプラインの次段転送なので, バス上のコンフリクトが発生せず, このバスアーキテクチャ調停を必要としない. 個々のモジュールとのラインメモリ間の転送, 唯一の例外となるが, クロックサイクルの最初の数十サイクルにスケジュール割り当てすることにより, この問題を回避した. SBUSアーキテクチャは, 容易に拡張可能であり, 図5に示すより大きな画面, より高いフレームレートのためのCE追加接続を実現できる. そのため, SBUSは, 優れたビデオサイズのスケーラビリティを提供可能である.

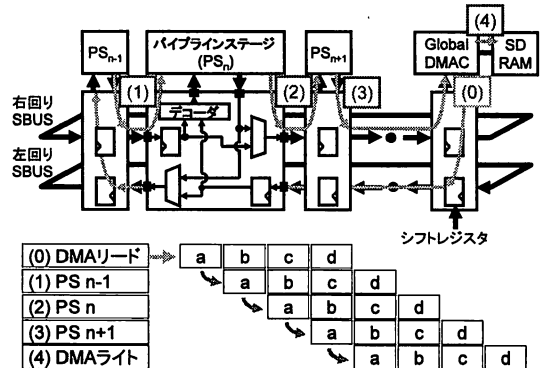


図6 シフトレジスタバスとパイプライン処理タイミングチャート

3. 複数の符号化規格対応の拡張性

3.1. Programmable Image Processing Element (PIPE) アーキテクチャ

CE を構成する 6 つサブモジュールは、低電力イメージプロセッサ(PIPE)[6]を適用した。図 2 に示す少数画面動き検出/動き補償 (FME), 周波数変換/量子化 (TRF), デブロッキングフィルタ(DEB)である。

図 7 は、PIPE のブロック図である。3 つの CPU (ロード CPU, メディア CPU, ストア CPU), ローカルデータメモリ, 共有命令メモリから構成される。各 CPU は、同時にデータの読み込み, 画像処理を実行, データ格納を実行する。メディア命令は、2 次元データの配列を、複数サイクルで信号処理を行う。3 つの CPU で命令メモリを共有させている。

各 PIPE は、他の PIPE モジュールとは、ハードワイヤードモジュール (CME, シンボルコーダなど) と通信するための、ローカルの DMA コントローラを有する。

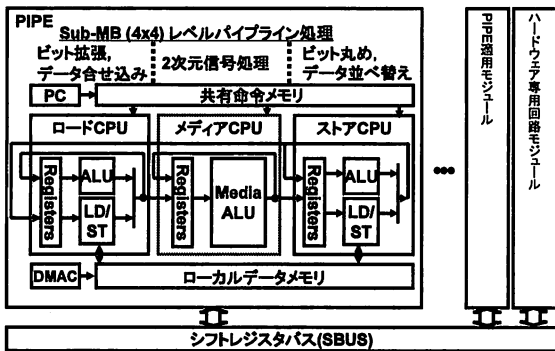


図 7 PIPE アーキテクチャ

3.2. ストリームプロセッサ

VLCS は、2-way の VLIW ストリームプロセッサ (STX) と CABAC アクセラレータから構成される。460 × 7 ビットのコンテキストフリップフロップを実装した。マルチコーデック化に伴うゲート規模増加を抑制するため、可変長符号表を RAM で実現し、可変長符号を処理する方式を採用した[7]。

CABAC 処理は、算術符号化のための圧縮率を 1.5 と仮定すると、1 つの binString 処理を 2 サイクルで処理すれば、3 サイクル/ビットの性能が達成できる。1 サイクルアクセス可能なフリップフロップにより、コンテキスト情報を毎サイクル更新するようにした。MB

毎の複数のサイクルのオーバーヘッドを処理して、162MHz 動作時の最大パフォーマンスが 40 Mbps を実現した。

H.264 のファームウェアに加え、MPEG-2 と MPEG-4 のファームウェアを開発した。表 1 に各コーデックのためのファームウェアのコードサイズを示す。

表 1 開発したファームウェア規模

| | VLCSファームウェア | | CEファームウェア | |
|--------|-------------|---------|-----------|---------|
| | エンコード | デコード | エンコード | デコード |
| H.264 | 6.6 KB | 15.9 KB | 19.4 KB | 15.1 KB |
| MPEG-2 | 16.2 KB | 14.3 KB | 11.0 KB | 7.3 KB |
| MPEG-4 | 20.7 KB | 19.7 KB | 16.1 KB | 12.0 KB |

4. 評価

4.1. 性能評価

まず、ストリームおよびピクセルのドメイン間でのメモリ帯域幅を評価した。CE と VLCS の 2 段階処理では、中間ストリームを外部の SDRAM へのアクセスが必要となる。図 8 に H.264 の中間ストリームの圧縮率を示す。評価には、H.264 のコンFORMANCE テストストリーム (I_PCM を除く) を用いた。CABAC と CAVLC に対する比率は、1.6, 1.5 となった。中間ストリームの一部に固定長符号化を用いているが、CABAC に対して符号化効率を 1.6 以内抑えられた。中間ストリームの圧縮効果は、従来の方法 (画素あたり 16 ビットの変換係数) に比べると、40 Mbps のフル HD ストリームの条件において、必要なメモリ容量やメモリ帯域幅を 95 % 削減することに相当する。

図 9 は、MB の処理サイクル数と TRF/FME/DEB に適用した PIPE の命令フェッチ効率を示す。共有命令メモリフェッチ数は、3% から 19% となり、各命令は、5 から 33 サイクルに 1 回程度発行されることがわかる。一般的な RISC (毎サイクル命令フェッチ) に比べ、命令フェッチに伴う電力効率が改善されたと言える。

また、MB の処理のためのサイクルの平均数は、H.264 エンコードで 1200 未満、H.264 デコードで、1000 未満になっている。すなわち、本コーデックフル HD 処理は、162 MHz の動作周波数で可能であることを示している。

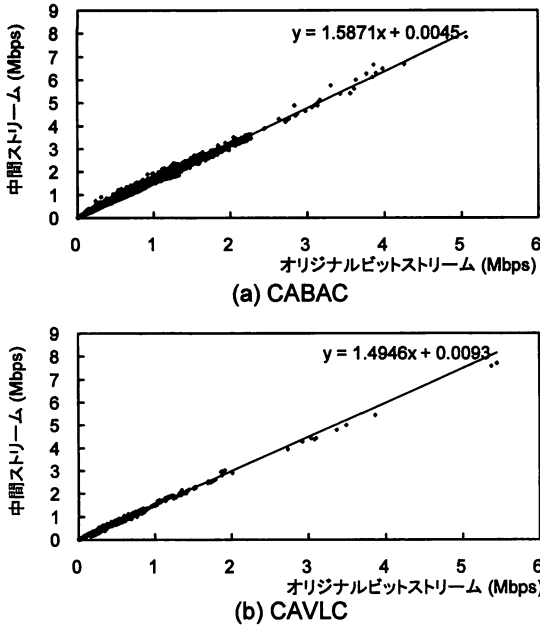


図 8 中間ストリームの評価

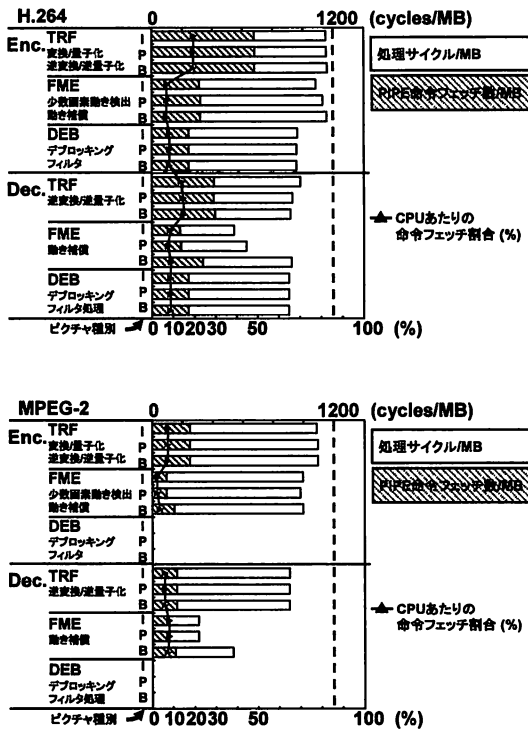


図 9 PIPE の命令フェッチ効率

4.2. 消費電力評価

テストチップを評価ボードに実装し、162 MHz の動作周波数での H.264, フル HD のパフォーマンスを測定した. エンコードとデコードは 36.6 fps, 39.8 fps を実現した. VGA に換算すると 249fps, 268 fps に相当する. 図 10 に H.264, フル HD, 30 fps の映像処理時の消費電力結果を示す. 65-nm CMOS で, エンコードおよびデコードで 256 mW, 172mW となった. 動的クロック停止制御により, 9% と 14% の電力を低減した. デコードの効果が大きいのは, モジュール間のサイクル数変化が, エンコードする場合よりも大きいからである (図 9).

図 11 に, 画素あたりの正規化消費電力に関して, 従来の研究との比較を示す. 本コーデックは, 他のエンコーダに比べ優位である. 画素あたりの消費電力という評価基準は, 異なる仕様のコーデックを同条件にて比較するために導入し提案するものである.

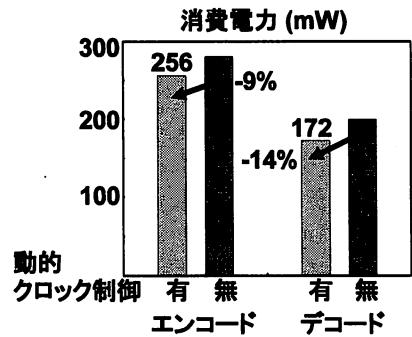


図 10 H.264 フル HD30fps 消費電力測定値

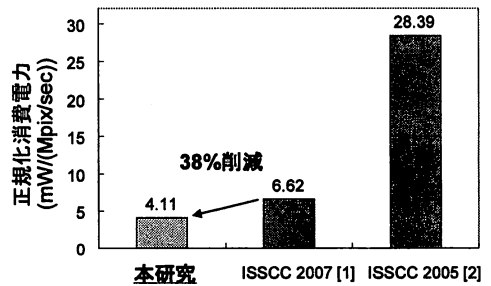


図 11 従来研究との比較

4.3. テストチップ

DSC および DVC 向けのテストチップ SOC に本コーデック IP を実装した。表 2 にテストチップ SOC 仕様をまとめ、図 12 にテストチップ写真を示す。

表 2 テストチップ仕様

| | |
|-----------|--|
| テクノロジー | 65 nm, 7-layer Cu + Al, CMOS |
| チップサイズ | 5.4 x 5.5 mm |
| 電源電圧 | 1.2 V (Internal), 1.8 V (I/O) |
| クロック周波数 | 162 MHz |
| 外部メモリ | Low power DDR-SDRAM x32 bit, 256 or 512 Mbit |
| 対応ビデオ規格 | H.264/MPEG-4 AVC High Profile Level 4.1 |
| コーデック性能 | 1920 x 1080 x 30 fps (full HD, 1080i) @ 162 MHz 40 Mbps (CABAC) @ 162 MHz |
| コーデック論理 | 3745 KG |
| コーデックSRAM | ラインメモリ: 35 KB, MERAM: 35 KB, データバッファ: 44 KB CPU 命令メモリ: 35 KB, CPU データメモリ: 73 KB |
| 消費電力 | エンコード: 256 mW for full HD, 162 MHz デコード: 172 mW for full HD, 162 MHz |

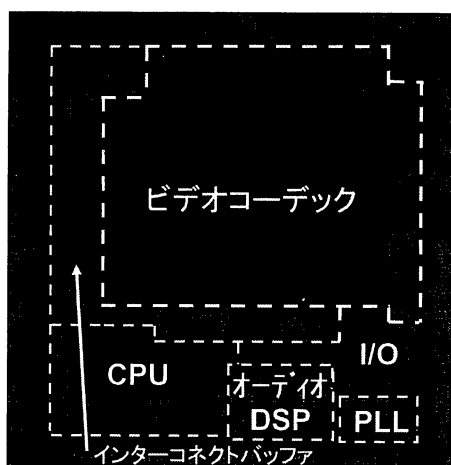


図 12 テストチップ写真

5. まとめ

携帯機器向けのビデオコーデック IP を開発した。開発したコーデックは、H.264 に対応し、162MHz でフル HD (1920×1080, 30fps) サイズのリアルタイムエンコードおよびデコードが可能である。

また、符号処理部、画像処理部に複数の符号化規格に対応プロセッサを適用し、拡張性を備えている。

文 献

[1] H. C. Chang, et al., "A 7mW-to-183mW Dynamic Quality-Scalable H.264 Video Encoder Chip," ISSCC

Dig. Tech. Papers, pp. 280-281, Feb. 2007.

[2] Y. W. Huang, et al., "A 1.3TOPS H.264/AVC Single-Chip Encoder for HDTV Applications," ISSCC Dig. Tech. Papers, pp. 128-129, Feb. 2005.

[3] C. D. Chien, et al., "A 252kgate/71mW Multi-Standard Multi-Channel Video Decoder for High Definition Video Applications," ISSCC Dig. Tech. Papers, pp. 282-283, Feb. 2007.

[4] K. Iwata, et al., "A 256mW full-HD H.264 high-profile CODEC featuring dual macroblock-pipeline architecture in 65nm CMOS," in Symp. VLSI Circuits Dig., 2008, pp. 102-103.

[5] S. Mochizuki, et al., "A Low Power and High Picture Quality H.264/MPEG-4 Video Codec IP for HD Mobile Applications," Proc. A-SSCC, pp. 176-179, Nov. 2007.

[6] 細木浩二, 中田啓明, 江浜真和, 岩田憲一, 望月誠二, 柴山哲也, "パイプライン接続型 MIAD アーキテクチャによる映像処理技術", 情報処理学会研究報告「計算機アーキテクチャ」(2007-ARC-174), Vol.2007, No.79, pp.55-60, 8月(2007).

[7] 湯浅隆史, 中田啓明, 秋江一志, 泉原史幸, 岩田憲一, "マルチコーデック対応可変長符号処理ハードウェアの性能評価", 電子情報通信学会研究報告 (SIP2007-123), Vol.107, No.286, pp.1-5, 10月(2007).