

LDPC 符号化 OFDM-UWB 方式に基づく 820Mb/s ベースバンド処理 LSI

牛木 慎祐[†] 中村 浩一[†] 清水 一範[†] 王 棋[†] 阿部 裕太[†] 後藤 敏[†] 池永 剛[†]

[†] 早稲田大学大学院情報生産システム研究科 〒808-0135 福岡県北九州市若松区ひびきのの2-7

E-mail: [†] ushiki@toki.waseda.jp

あらまし 本稿では LDPC 符号化 OFDM-UWB 方式に基づく高速かつ高信頼なベースバンド処理 LSI を提案している。提案するベースバンド処理 LSI は車内無線 LAN システムへの適用を目的としており、車内の劣悪な雑音環境下でも高い信頼性を持ち、かつ高精細な動画データをリアルタイムに転送することを可能にする。そして、本 LSI は UMC0.13 μ m 1P8M CMOS 標準プロセスを用いて試作実現しており、147MHz の周波数で動作する。OFDM 無線通信方式に 1024 の搬送波を使用することを特長としており、符号化率 5/6 で 820Mb/s の高スループットと CNR 30dB の雑音環境下において 10^{-4} の誤り特性を達成した。また、消費電力は送信動作時 189mW、受信動作時 391mW であることを実測で確認した。

キーワード UWB, OFDM, LDPC, ベースバンド, 高スループット

820Mb/s Baseband Processor LSI based on LDPC Coded OFDM for UWB systems

Shinsuke USHIKI[†] Koichi NAKAMURA[†] Kazunori SHIMIZU[†] Qi WANG[†] Yuta Abe[†]
Satoshi GOTO[†] and Takeshi IKENAGA[†]

[†] Graduate School of Information, Production and Systems, Waseda University

2-7 Hibikino, Wakamatsu-ku, Kitakyusyuishi, Fukuoka 808-0135 Japan

E-mail: [†] ushiki@toki.waseda.jp

Abstract This paper presents a high-throughput and highly-reliable baseband processor LSI based on LDPC coding OFDM UWB. This LSI targets for wireless LAN systems inside a car which enable to translate a high-resolution video under noisy environment. A chip capable of operating at 147MHz was fabricated using UMC 0.13 μ m 1P8M CMOS technology. By adopting the OFDM modulation with 1024 sub-carriers, it achieves a throughput of 820Mb/s and 10^{-4} BER performance under 30dB CNR with 5/6 coding rate. Power dissipation is 189mW/391mW (TX/RX).

Keyword UWB, OFDM, LDPC, baseband, high-throughput

1. はじめに

近年、自動車には数多くの電子機器が搭載されている。そして、ハイビジョン動画やナビゲーションなどを扱うシステムでは、大容量のデータ転送を必要とされる。しかしながら、自動車には既に多数の配線が使用されており、従来のように全てを有線に対応することは非常に困難な状況である。その為、次世代の自動車を見据えて、高速かつ高信頼な無線通信技術が非常に期待されている。

本稿では、車内無線 LAN システムへ適用するベースバンド処理 LSI を目的としている。ハイビジョン動画をリアルタイムな転送を可能にする高速な通信と車内のような劣悪な雑音環境下でも高い品質を保持する高信頼性を満足する為、本稿では車内無線 LAN システムに対して LDPC 符号化 OFDM-UWB 方式の適用を提案している。

UWB(IEEE802.15.3a)は、広周波数帯域幅を利用して短距離高速通信に適している。現在、UWB 標準仕様の一つである MB-OFDM 方式は符号化率 3/4 で最大 480Mb/s の高速通信を可能にしているが、提案するベースバンド LSI ではこの標準仕様を拡張している。OFDM 方式に 1024 の搬送波を使用することによって、1 バンド 528MHz の周波数帯域幅を利用して最大 820Mb/s の高速通信を可能にしている。一方、LDPC 符号は最先端の誤り訂正符号であり、シャノン限界に近づく優れた復号特性を示すアルゴリズムとして注目されている。提案するベースバンド LSI では、イレギュラー-LDPC 符号を適用することによって、CNR 30dB の雑音環境下において 10^{-4} の誤り特性を達成している。

提案するベースバンド LSI は主に 4 つの特長を持っている。

(A)メモリベース 4 並列化 FFT アーキテクチャ

1000 を超えるような大きな FFT 回路を実装する場合、回路規模の観点からメモリベース FFT アーキテクチャが適している。しかしながら、従来のメモリベース FFT 回路ではリアルタイム処理を実現することは非常に困難である [1]-[3]。その為、回路規模の増大を抑えた高スループット化を目的としてメモリアクセス数の削減に基づくメモリベース並列化 FFT アーキテクチャを提案している。

(B)完全並列型イレギュラー-LDPC 復号器

従来の復号アルゴリズム [4] は回路規模の抑制と高スループット化に適しているが、復号特性へ影響が著しく大きい。その為、復号特性においても有効な Bi-selected Approximate min-sum Algorithm [5] を適用した LDPC 復号器を提案している。

(C)パイプライン化ゼロフォーシング等化器

除算器を最小限のパイプライン段数に抑えることで冗長な回路を削減し、高スループット化を実現している。

(D)時間インターリーブ手法

データの入れ替えに伴い大容量のメモリが必要となる。その為、メモリコストと誤り特性の関係から最適な構成を見出している。

2. ベースバンド処理 LSI の構成

本ベースバンド処理 LSI は全体のベースバンド処理システムの中でもデジタル信号処理部分を対象としている。

図 1 は提案する LDPC 符号化 OFDM-UWB 方式におけるベースバンド処理 LSI のチップブロックダイアグラムを示している。FFT/IFFT、QPSK 変調器/復調器、LDPC 符号器/復号器、位相補正器、インターリーブから構成されており、送信機と受信機の機能を持っている。また、クロックゲーティングによって動作しない機能に対してクロック供給を遮断することで、冗長な消費電力を削減している。

本稿では最大伝送速度を向上させる為、OFDM 信号に 1024 の搬送波を用いている。最大伝送速度は式 (1) によって算出している。

$$Transmission\ Speed(Mb/s) = \frac{2 \cdot (\text{Number of Subcarrier}) \cdot (\text{Coding Rate})}{OFDM\ symbol\ length + Guard\ Interval\ length} \quad (1)$$

ガードインターバル長 60.6ns, 周波数帯域幅 528MHz, OFDM シンボル長は搬送波数によって伝送速度が決定される。搬送波数を増加させるに従い、最大伝送速度の向上を期待できるが、1024 の搬送波数を境に殆ど速度が向上しなくなる。その為、必要になる FFT のハードウェアコストと最大伝送速度の関係から 1024 の搬送波を OFDM 信号に用いることとした。1024 の搬送波を使用することによって、最大伝送速度は符号化率 5/6 で 820Mb/s となる。

また、無線通信システムにおいて高信頼を実現する為には一層強力な誤り訂正を必要とされる。行重みと列重みを最適化したイレギュラー-LDPC 符号はシャノン限界に最も近い復

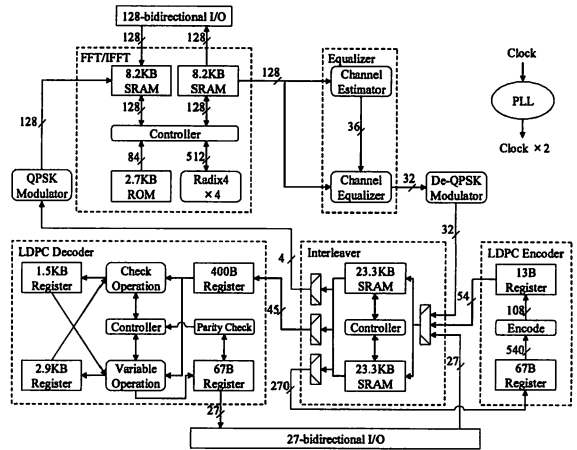


図 1: チップブロックダイアグラム

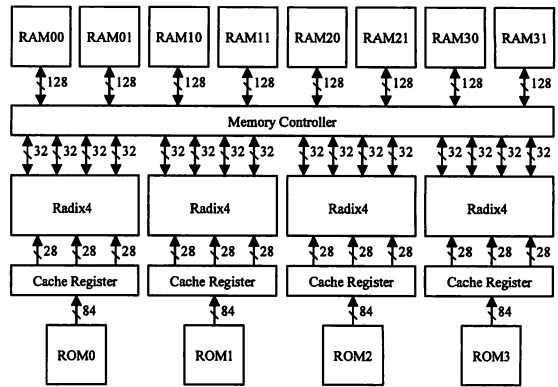


図 2: メモリベース 4 並列化 FFT 回路

号特性が得られる誤り訂正符号として期待されている。その為、本ベースバンド処理 LSI では符号長 648[bit], 符号化率 5/6 のイレギュラー-LDPC 符号を用いている。

3. LDPC 符号化 OFDM 方式におけるベースバンド処理アーキテクチャ

本章では、冒頭で示した提案するベースバンド処理 LSI の 4 つの特長に関して説明する。

3.1. メモリベース 4 並列化 FFT アーキテクチャ

本節では、OFDM 変復調器の主である FFT 回路に関して説明する。

提案するベースバンド処理 LSI の FFT 回路は回路規模に有利なメモリベース FFT アーキテクチャを基本としている。しかし、このアーキテクチャはメモリアクセスが妨げとなり高スループット化が難しい。その為、本節ではメモリアクセス数を削減した高スループット FFT アーキテクチャを提案する [6]。提案する FFT 回路は Radix4 演算に必要な 4 点の値を SRAM の 1 ワードに格納する (乗算係数値は ROM の 1 ワ

ードに3値を格納する)。その結果、1回のメモリアクセスで4値のRead/Write処理を可能としており、4倍の高速化を見込める。この手法は高速化に加えて、短いビット幅でメモリアクセス数を増やすよりも長いビット幅でメモリアクセス数を抑えた方がメモリの消費電力において有利である。なお、本手法を行う上でビット幅を4倍、ワード数を1/4倍にしたSRAMを使用するが、1024点のFFTを想定した場合、メモリ面積に殆ど影響はない。

図2に提案するFFTアーキテクチャを示す。本FFT回路は、演算値を格納する8つのSRAM(64word×128bit)と乗算係数値を格納する4つのROM(64word×84bit)、4つのRadix4、メモリ制御回路、乗算係数値を保持するキャッシュレジスタで構成されており、4並列にRadix演算処理を行う。SRAMにはメモリ面積を考慮して、全てシングルポートSRAMを使用している。なお、演算ビット幅に関してはシミュレーション結果から必要な精度を導き、実部と虚部共に16bitとし固定小数で演算を行っている。

また、本FFT回路はRadix演算を4並列に処理することからメモリバンクを4つに増やし、メモリ容量を4つのバンクに等分している。そして、並列処理するRadix4演算器を使用して毎サイクル各4点の処理を行う為、入出力4点の値が4つのメモリへ分散されるようにRead/Writeするメモリを制御している。FFTの演算が進むに伴い、Radix4で処理する4点は変化するが、処理点によってRead/Writeするメモリを固定すると後に必要となる4点の値が同一メモリに集中する。それを回避する為、N/16回の演算毎にWriteするメモリバンクを変更させている。乗算係数値を格納するROMに関してもメモリ容量を増加させず、毎サイクル必要な値をRead処理出来るように4つのROMに値を分散させている。

以上の結果、本FFT回路は1サイクルで4値のメモリRead/Writeを行うことで1/4倍、Radix演算の4並列化によって1/4倍、Read/Write処理の並列化によって1/2倍の処理サイクル数を削減している。1つのSRAMとRadix4演算器から構成される最も単純なメモリベースアーキテクチャと比較すると処理サイクル数を1/32倍にすることが可能となっている。

提案する1024点FFT回路は入出力処理を除いて320サイクルで完了することが可能である。

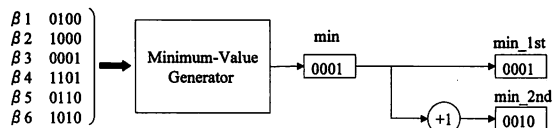
3.2. 完全並列型イレギュラーLDPC復号器

本節では、LDPC復号器に関して説明する。

提案するベースバンド処理LSIで用いるLDPC復号器の主な特徴は、完全並列型復号処理とBA(Bi-selected Approximate) min-sum Algorithmと名付けられた近似最適化法にある。このアルゴリズムは最も演算処理量の多い行処理において2番目に小さな尤度情報β値の算出方法を近似最適化したものである。

一般的に完全並列型LDPC復号器は最速な処理を実現できるが、著しく回路規模を増大させる。その為、演算処理量

Simplified min-sum Algorithm



Bi-selected Approximate min-sum Algorithm

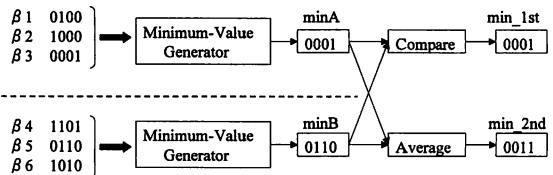


図3: Simplified min-sum Algorithm と Bi-selected Approximate min-sum Algorithm

を削減する等の対策を施すことによって回路規模の増大を抑制する必要がある。提案するLDPC復号器では、復号アルゴリズムの中で最も多くの演算処理を必要とする行処理の比較演算量を削減している。

図3にSimplified min-sum Algorithm[4]と呼ばれる従来手法とBi-selected Approximate min-sum Algorithm[5]の概念を示す。Simplified min-sum Algorithmは、最小の尤度情報β値に1を加えることで2番目に小さな尤度情報β値を近似処理する手法である。この手法は高スループットと回路規模縮小を可能にしているが、BER特性への影響が大きい。

提案するLDPC復号器は回路規模とスループットだけに利点がある訳ではなく、BER特性にも有利である。式(2)はBi-selected Approximate min-sum Algorithmにおける尤度情報β値の近似方法を示している。

$$\begin{aligned}
 & \text{If } (\beta_{\min A} < \beta_{\min B}) : \beta_{\min-1st} = \beta_{\min A} \\
 & \beta_{\min-2nd} = \begin{cases} \beta_{\min A} (\text{Count of } \beta_{\min A} > 1) \\ 0.5 \cdot (\beta_{\min A} + \beta_{\min B}) (\text{Count of } \beta_{\min A} = 1) \end{cases} \\
 & \text{If } (\beta_{\min A} = \beta_{\min B}) : \beta_{\min-1st} = \beta_{\min-2nd} = \beta_{\min A} \\
 & \text{If } (\beta_{\min A} > \beta_{\min B}) : \beta_{\min-1st} = \beta_{\min B} \\
 & \beta_{\min-2nd} = \begin{cases} \beta_{\min B} (\text{Count of } \beta_{\min B} > 1) \\ 0.5 \cdot (\beta_{\min A} + \beta_{\min B}) (\text{Count of } \beta_{\min B} = 1) \end{cases} \quad (2)
 \end{aligned}$$

行処理では、列処理における出力尤度情報βの最小値と2番目に小さい値を利用して処理を行う。列処理により得られた複数の尤度情報β値を2等分し、それぞれの尤度情報群(AとB)から比較処理によって各群の最小値を導く。導かれた2つの最小値(β_{minA}とβ_{minB})を比較し、前述した計算式に従い最小尤度情報β値(β_{min-1st})と2番目に小さい尤度情報β値(β_{min-2nd})を算出する。このような近似処理を行うことによって行処理における演算処理量が削減され、BER特性や回路規模においても従来手法と比較すると良好な価

結果を得ている。

本 LDPC 復号器では、尤度情報の値を 5bit で量子化(初期値のみ桁あふれを考慮して 4bit で量子化)しており、復号処理回数を 10 回に固定している。その結果、LDPC の復号処理を 93 サイクルで完了することが可能である。

3.3. ゼロフォーシング補正器

本節では、振幅・位相補正器に関して説明する。

本ベースバンド処理 LSI にはゼロフォーシング等化器と呼ばれる従来技術の補正回路を適用している。本補正手法は非常に単純であり、ハードウェアも簡易な構成で実現できる。補正手順は次の 3 Step で行われる。式(3)から式(5)において、 $R_{p,x,y}$ はパイロット信号、 $F_{x,y}$ は伝送路特性、 $N_{x,y}$ は付加雑音、 $R_{i,x,y}$ は受信信号、 $\bar{F}_{x,y}$ は $F_{x,y}$ の平均値、そして $I_{x,y}$ は補正後の信号を表している。補正器は 2 つの機能から成り立っている。一つは伝送路特性の推定、もう一つは伝送路特性の推定結果を用いた受信信号の補正である。

(Step1) パイロット信号の送受信

$$R_{p,x} + jR_{p,y} = (1+j) \cdot (F_x + jF_y) + (N_x + jN_y) \quad (3)$$

(Step2) パイロット信号から伝送路特性を推定

$$F_x + jF_y = \frac{(R_{p,x} - N_x) + j(R_{p,y} - N_y)}{1+j} \quad (4)$$

(Step3) 受信信号の補正

$$I_x + jI_y = \frac{R_{i,x} + jR_{i,y}}{F_x + jF_y} \quad (5)$$

一般的に補正器は複素除算回路が必要となるが、高速性において課題となる。除算回路は 1bit ずつ商を確定させるループ動作によって小規模な回路で実現可能ではあるが、その場合高スループットは望めない。本補正器の除算回路は、1 ビットの商を確定する毎にレジスタを設け、パイプライン化することによって高スループットを実現している。除算器は上位ビットから計算を行っているが、下位ビットは後続の LDPC 復号器に不要な情報である為、上位ビットのみの演算に止めている。また、補正処理を 4 並列に行うことでスループットを向上させている。

また、シミュレーションによる評価結果から 4 シンボルをパイロット信号として使用している。OFDM 復調後の信号から得られる最初の 4 シンボルによって補正信号を生成し、その後順次 4 シンボル毎に 4 並列化したパイプライン補正処理を行う。

3.4. 時間インターリーブ処理

本節では、インターリーブ処理に関して説明する。

インターリーブ処理は、データの入れ替えを行うことによって劣悪な通信路の影響で発生するバースト的な誤りを分散させ、誤り訂正による効果を向上させる重要な役割を担っている。但し、インターリーブ処理を行う場合、データの入

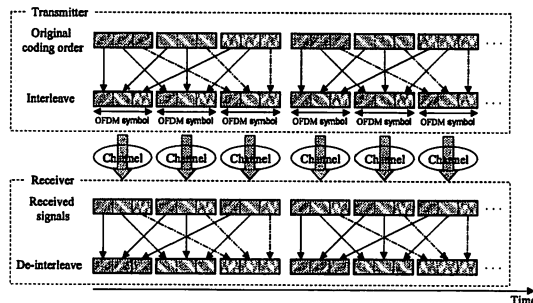


図 4 : OFDM 信号間のインターリーブ処理

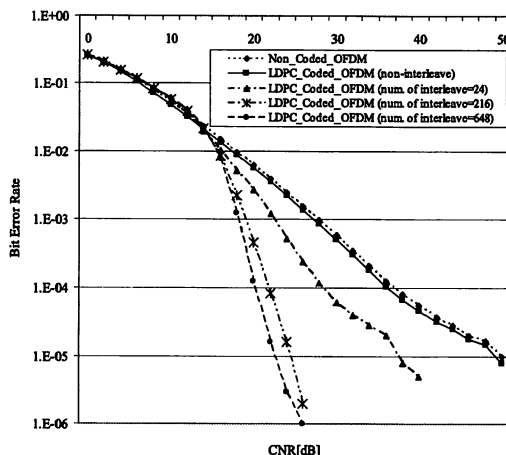


図 5 : LDPC 符号化 OFDM 方式における BER 特性 (レイリーフェージング環境下)

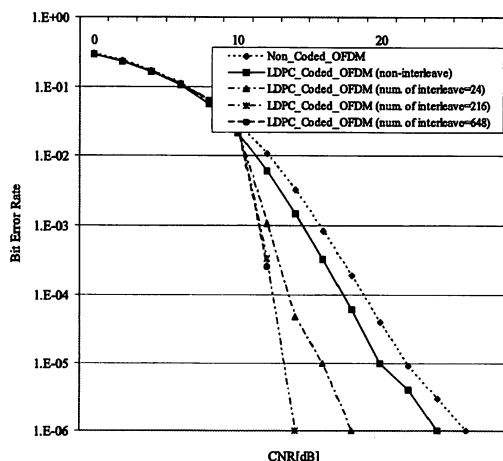


図 6 : LDPC 符号化 OFDM 方式における BER 特性 (ライスフェージング環境下: K=10dB)

れ替えを行う為、多くのメモリ容量が必要となり、ハードウェアへの影響も大きい。

本ベースバンド処理 LSI では、複数ある方法の中でもバースト誤りの分散効果が高い OFDM 信号間のインターリーブ処理を行っている[7]。送信機においては符号化後にインターリーブ処理を施し、受信機においては LDPC 復号前にデインターリーブ処理を施すことによってデータを元の並びに正している。

図4は本ベースバンド処理 LSI におけるインターリーブ処理の例としてインターリーブ数 3 における処理を示している。なお、インターリーブ数はデータを入れ替える数を表しており、入れ替えを行う OFDM 信号の数にも等しい。インターリーブ数 3 の場合は、1つの OFDM 信号を3等分した連続データの入れ替えを行うことを意味する。

図5と図6は2種類の通信路における OFDM 方式、LDPC 符号化 OFDM 方式と LDPC 符号化 OFDM 方式にインターリーブ処理（インターリーブ数：24、216、648）を行った5通りにおける BER 特性を示している。

図5の通信路は AWGEN とフラットレイリーフェージング環境を想定し、図6の通信路は AWGEN とフラットライスフェージング環境（先行波と遅延波の電力比：K=10dB）を想定している。なお、FFT/IFFT16bit、LDPC 復号器 5bit、ゼロフオーシング補正器 16bit で量子化したシミュレーション結果である。

インターリーブ処理を行わない場合に関しては、殆ど誤り訂正の効果が見られない。これはフェージングによって 1024 の搬送波全体の信号が大きく減衰し、1つの OFDM 信号で多数の誤りが生じている為と考えられる。

一方、インターリーブ処理を行った BER 特性に関しては、インターリーブ数を多くするに従い、誤りの分散度合いが大きくなる為、良好な BER 特性を示していることが分かる。しかし、誤り訂正による特性改善の度合いはインターリーブ数を多くするに従い小さくなっている。つまり、インターリーブ数を過剰に増やしたとしても、ある数を境に大きな特性の改善は見られず、BER 特性の改善度合いに反してメモリコストを著しく増大させるということが言える。

図7はインターリーブ数に応じて必要になるメモリ容量及びメモリ占有率を示している。横軸の値は、インターリーブ数を表しており、縦軸(左)の値は必要なメモリ容量、縦軸(右)の値は 25mm² のチップサイズに対するメモリ占有率を表している。メモリ占有率はメモリビット幅 36bit、メモリ 24 個と統一し、必要なメモリ容量からワード数のみを変更させた場合のメモリ面積から算出している。なお、インターリーブ対象となる LDPC 復号器の初期尤度情報を 4bit で量子化していることからインターリーブ数に応じて必要なメモリ容量を算出することが出来る。

本ベースバンド処理 LSI は UMC0.13 μm における 5mm × 5mm チップでの実現を想定しており、メモリコストと BER

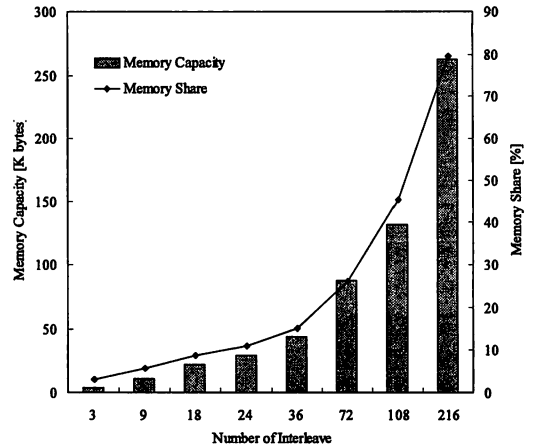


図7：インターリーブ数におけるメモリ容量と占有率

特性の関係からインターリーブ数 24 を最適であることを導いた。インターリーブ処理に必要なメモリ面積はチップコア面積の約 10%程度である。インターリーブ数 24 の BER=10⁻⁵ において、レイリーフェージング環境下では CNR=12dB、ライスフェージング環境下では CNR=4dB の符号化利得を向上することが出来る。

4. LSI 試作

提案するベースバンド処理 LSI は 256-QFP パッケージ、5mm × 5mm チップサイズ、UMC0.13 μm CMOS 標準プロセスで試作した。

図8にチップ写真を示す。コアエリアは 4.22mm × 4.22mm、1.58M のロジックゲートと 84.5K バイトのメモリを使用している。

表1は試作 LSI の諸元と UWB における MB-OFDM に基づいた従来のベースバンド処理 LSI[8]と比較したものである。

提案するベースバンド処理 LSI は主に FFT/IFFT 回路と LDPC 復号器に特長を持っている。

- A) 提案する FFT/IFFT 回路は 1024 点と大きな FFT であるが、メモリベースアーキテクチャを基本としていることから現実的な回路規模で実現可能としている。そして、提案するメモリアクセス数削減手法と並列処理化によってスループットの向上を目指した。その結果、FFT/IFFT 回路はコアエリアの 27%を占め、147MHz の動作周波数で 832Mbps のスループットを実現した。
- B) 提案するイレギュラーLDPC 復号器は回路規模と消費電力において大きくなってしまったが、高スループット化と高信頼化を達成している。その結果、LDPC 復号器はコアエリアの 40%を占め、147MHz の動作周波数で 853Mbps のスループットを実現した。

表 1 : ベースバンド処理 LSI 諸元

	Our Work	Liul[1]
Process Technology	0.13 μ m CMOS 1P8M	0.18 μ m CMOS 1P6M
Supply Voltage	1.2V Core, 3.3V I/O	1.8V Core, 3.3V I/O
Die Size	5.0mm x 5.0mm	6.5mm x 6.5mm
Gate Count	1.58M Gates	1.06M Gates
On-Chip Memory	84.5K Bytes	-
Package	256-QFP	208-CQFP
Number of Sub-carrier	1024	128
CodeLength	648	600
Code Rate	5/6 (Irregular-LDPC code)	3/4 (Regular-LDPC code)
Clock Frequency	147MHz	264MHz
Throughput	820Mb/s	480Mb/s
Core Power (TX/RX)	189mW/391mW @ 820Mb/s	523mW/575mW @ 480Mb/s

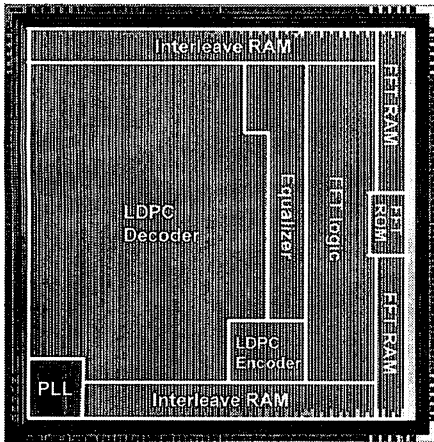


図 8 : チップ写真

図 9 に試作した LSI の Shmoo Plot を示す。提案するベースバンド処理 LSI は、電圧 1.2V の常温環境下において最大 150MHz 程度の周波数で動作可能であり、動作周波数 147MHz で 820Mb/s の高スループットを達成する。また、複数のテストパターンを用いてチップ内部の消費電力を実測した。値の変化が少ないベストなパターンで 100mW/378mW(Tx/Rx)、値の変化が多いワーストなパターンで 189mW/391mW(Tx/Rx) の電力を消費している。送信機と受信機の消費電力を合わせるとワーストパターン処理時で 580mW となり、従来のベースバンド処理 LSI と比較すると約半分の消費電力で実現している。

5. まとめ

本稿では車内無線 LAN システムへの適用を目的として LDPC 符号化 OFDM-UWB 方式に基づくベースバンド処理 LSI に関して述べた。提案するベースバンド処理 LSI は、A) メモリベース 4 並列化 1024 点 FFT 回路、B) 完全並列型イレギュラー-LDPC 復号器、C) パイプライン化ゼロフォーシング補正器、D) メモリコストと BER 特性の関係を考慮した時間インターリーブ手法といった 4 つの特徴を持っている。

そして、提案するベースバンド処理 LSI を UMC0.13 μ m CMOS 標準プロセスで試作した。符号化率 5/6 で 820Mb/s の

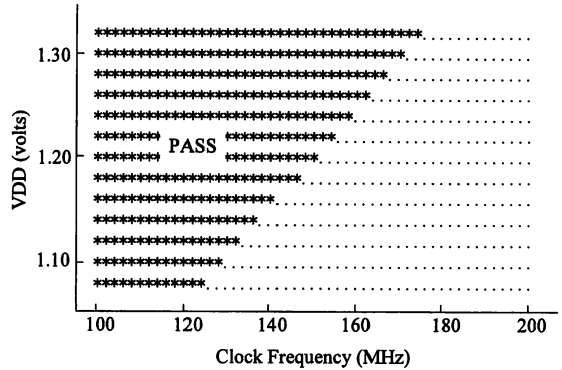


図 9 : Shmoo Plot

スループットを達成しており、従来の LSI と比較して約 1.7 倍高速化した。更に消費電力は従来の LSI と比較して約半分に抑えられている。また、イレギュラー-LDPC 符号を適用することで信頼性を向上させている。以上、現実的な消費電力で高スループットかつ高信頼なベースバンド処理 LSI を実現した。

6. 謝辞

この研究は、独立行政法人科学技術振興機構、CREST の支援による。

文 献

- [1] L.-F. Chen, et al, "A 1.8V 250mW COFDM Baseband Receiver for DVB-T/H Applications," in IEEE International Solid-State Circuits Conference, 2006.
- [2] Youn-Seong CHANG, "An Enhanced Memory Assignment Scheme for Memory-Based FFT Processor", IEICE Trans. Fundamentals, vol.E87-A, No.11, pp.3020-3024, Nov.2004.
- [3] Y.Chen, Y.-W.Lin and C.-Y. Lee, "A Block Scaling FFT/IFFT Processor for WiMAX Applications," in IEEE Int. Asian Solid-State Circuits Conference, 2006.
- [4] Ahmad Darabiha, A.C.Carusone and F.R.Kschischang, "A Bit-Serial Approximate Min-Sum LDPC Decoder and FPGA Implementation", IEEE International Symposium on Circuits and Systems, May.2006.
- [5] Qi Wang, "Efficient Fully-Parallel LDPC Decoder Design with Improved Simplified Min-Sum Algorithms", IEICE Trans. Electron, Vol.E90-C, No.10, pp.1964-1971, Oct.2007.
- [6] 牛木慎祐, "OFDM 無線通信向き高速・低消費電力 FFT 回路の提案", 信学技法 ICD2007-26, pp.55-60, May.2007.
- [7] 中村浩一, "LDPC 符号化 UWB-OFDM 方式におけるインターリーブ手法に関する提案", 第 22 回信号処理シンポジウム, Nov.2007.
- [8] Hsuan-Yu, "A 480Mb/s LDPC-COFDM-Based UWB Baseband Transceiver", IEEE International Solid-State Circuits Conference, Feb.2005.