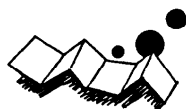


解説

画像処理用のプロセッサ†



天満 勉††

1. ま え が き

人工衛星による地上・海洋・大気観測を目的とするリモート・センシング応用、X線写真解析、白血球・赤血球計測等の医用応用、製造・検査工程合理化のための画像照合・画像認識等、現在、画像処理が多くの分野で利用されている。また、オフィスでの視覚情報利用、産業用の視覚を持つロボット等、画像処理はこれからますます重要となる情報処理分野である。画像処理を処理の内容から分類すると、画像の入力・蓄積のためのデジタル化・符号化処理、画像を見易くするための画像強調・復元の処理、及び、出力・表示処理、認識・理解のための特徴抽出、画像分割、モデル化の処理がある¹⁾。これらの処理で、認識・理解のステップを除けば、各処理は主にデジタル化されたアレイ状データを扱う。

画像処理の一分野でもあり、古くから精力的に研究開発されてきた文字認識処理では、前処理部と認識ロジック部とに分離されたシステム構成が多く見られた。前処理部では、スキャナから入力された2次元アレイ状データの局所領域に制限された処理を全面像にわたってスキャンしながら、特定の形状特徴を抽出する。このためデータ量が多い割には処理が規則的であり、高速化のためのハードウェア開発が割合容易に手がけられた。一方、認識ロジック部は抽出された特徴のセットから入力文字画像をその文字カテゴリに帰着させるための処理であり、組み合わせ的処理となる。このため、ハードウェア化より、先ず、判定の手数を少なくするアルゴリズムの開発が行われた。

現在の画像処理プロセッサも同様の状況にあると言える。画像認識・理解の処理の場合でも、2次元アレイ状データから特徴量を算出する部分のハードウェアによる高速化に主眼が置かれ、認識・理解のための処

理の多くが汎用コンピュータを用いたシミュレーションによるアルゴリズム提案・検証のステップに留まっている。

また、画像蓄積に関連する符号を用いた画像の圧縮・伸張、入力系の歪を補正する画像復元処理、或いは、不可視の画像データを可視化するCT(コンピュータ・トモグラフィ)画像再構成処理、SAR(合成開口レーダ)の画像再生処理等、前処理自体が目的の画像処理である分野もある。これらの処理も、基本的には、2次元アレイ状のデータに対し規則的に処理を繰り返すことで実現される。

現在の画像処理プロセッサの役割は、以上のことから、2次元アレイ状のデータ、或いは、その時系列データに規則的な処理を繰り返し作用させるアルゴリズムが適用でき、短時間のうちに処理を完了させることにあると考えられる。加えて、オフィスでの画像処理、視覚をもつロボットの開発等、画像処理プロセッサ実現時の課題として、小型化・低価格化があげられる。前者は高速素子、及び、プロセッサ・アーキテクチャの研究・開発、後者は大容量・高機能デバイスの研究、特にLSIプロセッサの研究・開発として把握することができよう。本稿では、システムの観点から、即ち、高速化プロセッサ・アーキテクチャとLSIプロセッサの研究・開発を中心に、画像処理プロセッサを解説する。

2. 画像処理用プロセッサの流れ

画像処理プロセッサは最新の實用可能な高速素子を用いながら、パイプライン並列、処理並列といった高速化手法を適用して構築される。高速化のもう1つの観点は適用分野を限定し、専用化を行うことである。

図-1はこれまで開発されてきた画像処理プロセッサをパイプライン並列、処理並列の観点から、大きく、分類してマップした図である²⁾⁻⁴⁾。

処理並列により全体の速度を向上させようとする考え方は、画像のように同じ性質のデータが大量に配置

† Processor for Image Processing by Tsutomu TEMMA (Peripheral Equipment Research Laboratory, C&C Systems Research Laboratories, NEC Corporation).

†† 日本電気(株) C&C システム研究所周辺機器研究部

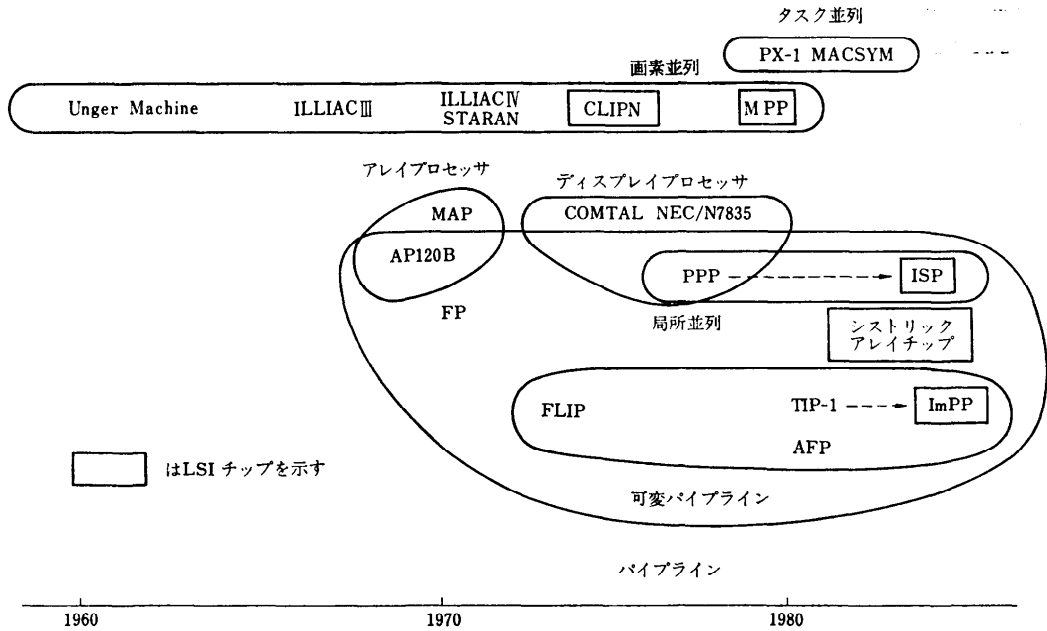


図-1 画像処理プロセッサの流れ

されている処理対象に対して自然な発想と言える。処理並列、特に、画素をプロセッサ・エレメントに対応させる画素並列のアイデアは Unger マシンに見られるようにかなり古い。しかしながら、対象画像の画素数と同じだけのプロセッサ・エレメントを用意することはハードウェア規模の点から難しく、ILLIAC IV 試作後 LSI 志向のアーキテクチャとして扱われ、CLIP 4, MPP 等の画像処理プロセッサは極く最近になり開発された。画素並列方式のプロセッサでは同一の命令をすべてのプロセッサ・エレメントに同時に作用させ、処理を進めていく方式がとられる。

一方、標準のマイクロ・プロセッサが簡単に利用できるようになり、PX-1¹⁵⁾ や MACSYM のようにマルチ・マイクロ・プロセッサ形態の処理並列が実現し易くなってきた。現時点ではマイクロ・プロセッサ間のデータ授受は割り込み制御や共有メモリの書き込み状態の制御にたよらざるを得ず、頻繁なプロセッサ間のデータ授受はオーバヘッドを大きくする。このため、主として、データ授受の回数を極力減らしたタスク単位での処理の同期によるタスク並列の方式がとられている。このタイプのプロセッサでは前処理への適用性よりむしろ、画像理解等への適用性が検討されるべきであろう。

大量のアレイ状データに同一処理を施す場合の高速

化に適しているもう1つの手法として、パイプライン手法があげられる。この手法は1960年代中頃 IBM 360/91 の浮動小数点演算処理の高速化に採用され、現在ではプロセッサの至る所で利用されている。リモート・センシング画像の処理、医用応用での CT 画像再構成処理等広く利用されているアレイ・プロセッサ AP-120 B¹⁶⁾ はパイプライン手法を用い、高速のクロック周波数でプロセッサを動作させている。PPP では画像処理の多くが近傍処理であることに着目し、数ラインのデータをシフト・レジスタに保持し、メモリとプロセッサ間のデータ転送量を軽減させた上で、多段の乗加算器をパイプラインとして配置し、局所並列による処理高速化を図った。

パイプライン手法はきまった処理内容の高速化には適しているが処理内容が変わるとそれに合わせて新たにパイプラインを構成する必要があり、処理の柔軟性の面で問題がある。そこで、処理内容に合わせてパイプラインをソフトウェア制御で形成しようとする可変パイプラインの試みがなされた。プロセッサ間の接続にクロスバ・スイッチを用いた画像処理プロセッサとして FLIP¹⁹⁾、AFP²⁰⁾ がある。また、プロセッサ間のデータ転送をリング状の転送路にトークンを流すことで行い、データ駆動制御により2項演算の2つのデータが到着する時刻を揃える制限を取り除き、効率よく並列

処理が動作するようにした TIP-1¹⁰⁾ がある。

高速化のためのプロセッサ・アーキテクチャの流れとしては、以上概観したように、プロセッサ・アレイによる処理並列の高速化とパイプラインを用いた処理並列化があり、画像の処理高速化のための考え方として画素並列、タスク並列、局所並列、可変パイプライン等の方式が見られる。

また、利用形態からみると、対話的な画像処理システムを目指したものが多く、ディスプレイと画像処理プロセッサとを融合したディスプレイ・プロセッサとして Vision one²¹⁾、N 7835¹³⁾ 等がある。これらのプロセッサでは表示のための処理はビデオ・レートで行われる必要があり、特定機能のハードウェアで対処される。

3. 画像処理プロセッサの構成

2章で概観したように、これまでに開発された画像処理プロセッサは数多くある。このうち、画素並列方式の CLIP 4、局所並列方式の PPP、可変パイプライン方式の TIP-1、ディスプレイ・プロセッサ N 7835 を紹介する。

(1) 画素並列方式

プロセッサ・エレメントを LSI 化し、2次元アレイ状に並べた画像処理プロセッサの初の試みが CLIP 4⁵⁾ である。図-2 は CLIP 4 システムのブロック図であり、図-3 はプロセッサ・エレメントの構成図である。CLIP 4 は 96×96 のプロセッサ・エレメントからなり、各プロセッサ・エレメントに 64 ビットのローカル・メモリが与えられている。MOS を用いた LSI 開発が行われ、1チップに 4×2 のプロセッサ・アレイが実現された。データは TV カメラから入力され、9216 (96×96) ビット 6 ラインのシフトレジスタに格納され、96×96×64 ビットのバッファ・メモリへ転送される。プロセッサ・アレイは 1μs のクロックでビット単位の処理を行い、40 クロック程度で 64 レベルの画素値の算術演算を完了する。10000 個近くのプロセッサが並列に動作するため非常に高速な処理が可能であるが、ローカル・メモリが各プロセッサ・エレメントに対し 64 ビットと小さいため、浮動小数点演算ができない。加えて、96×96 画素の画像より大きい画像を扱う場合、プロセッサ・エレメントで数画素分を逐次処理することになるが、ローカル・

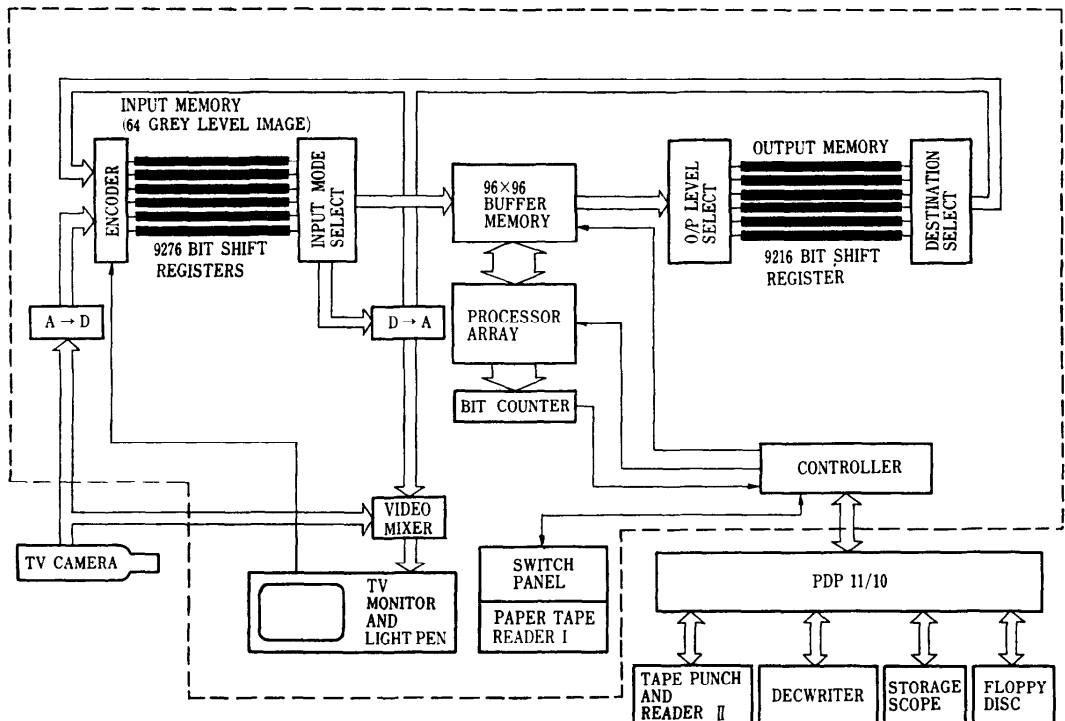


図-2 CLIP 4 システム構成¹⁾

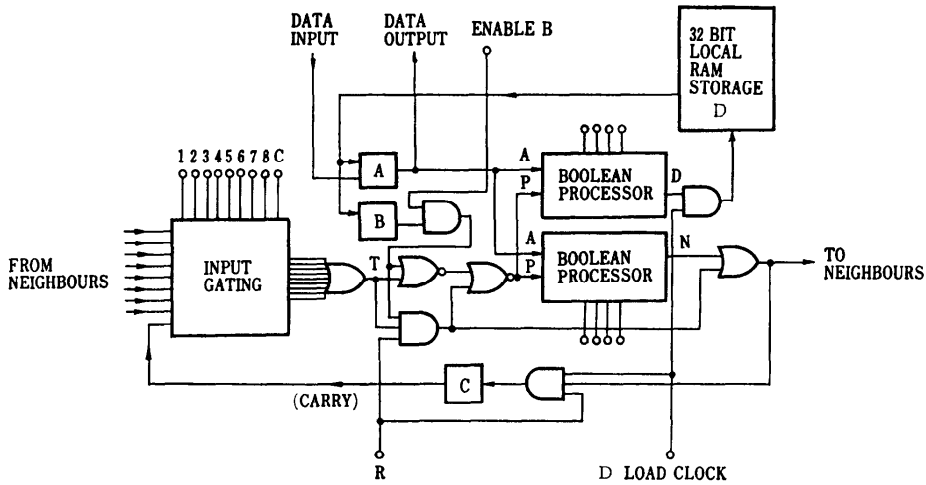


図-3 CLIP 4 プロセッサ・エレメント⁹⁾

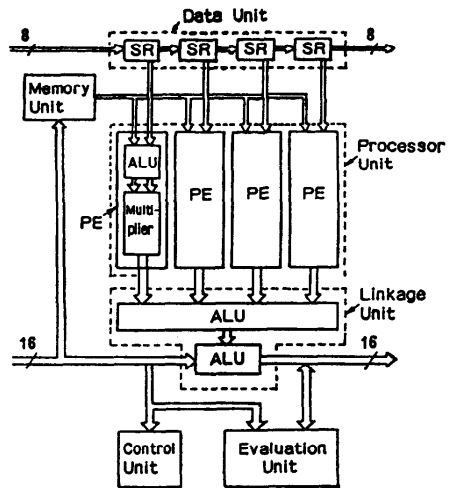
メモリが小さいため、大きな画像を扱えないという問題が生じる。NASA で開発された 画素並列方式の MPP⁶⁾ ではローカル・メモリが大きく、プロセッサ・エレメント当たり 1K ビットであり、これらの問題を解決した。

(2) 局所並列方式

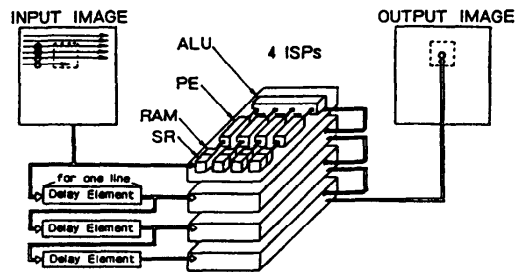
画像前処理の多くが近傍画素を参照することで実現できることに着目し、映像処理プロセッサ⁷⁾、PPP⁸⁾等が開発されている。前者は 4×4 のプロセッサ・アレイで、後者はパイプラインで画像プロセッサを実現した。このうち、パイプライン方式の LSI チップ ISP⁹⁾ が実現された。図-4 は ISP の構成とシステム例である。局所領域に対するコンポリューション、2 値化、細線化、レーベリングの処理が行える。画像メモリから ISP へのデータ供給のため、アドレス発生、シフト・レジスタ等の回路が別に必要となるが、プロセッサ部は 167 ns のクロックで動作し、ビデオ・レートでの近傍処理が可能である。

(3) 可変パイプライン方式

図-5 に TIP-1¹⁰⁾ の構成を示す。コントロール・ユニット、アドレッシング・ユニット、オペレーション・ユニットから成り、これらをメイン・リングが結合している。アドレス・ユニットはメモリのアドレス発生、データの読み出し/書き込みを司る。オペレーション・ユニットは乗加算器、変換表等のモジュールを用いてデータの演算、処理を行う。各リング・バスを流れるデータは、モジュール・フラグ、変数名、データ値から成り、各モジュールではモジュール・フラグ



(a) ISP の構成



(b) システム例

図-4 ISP⁹⁾

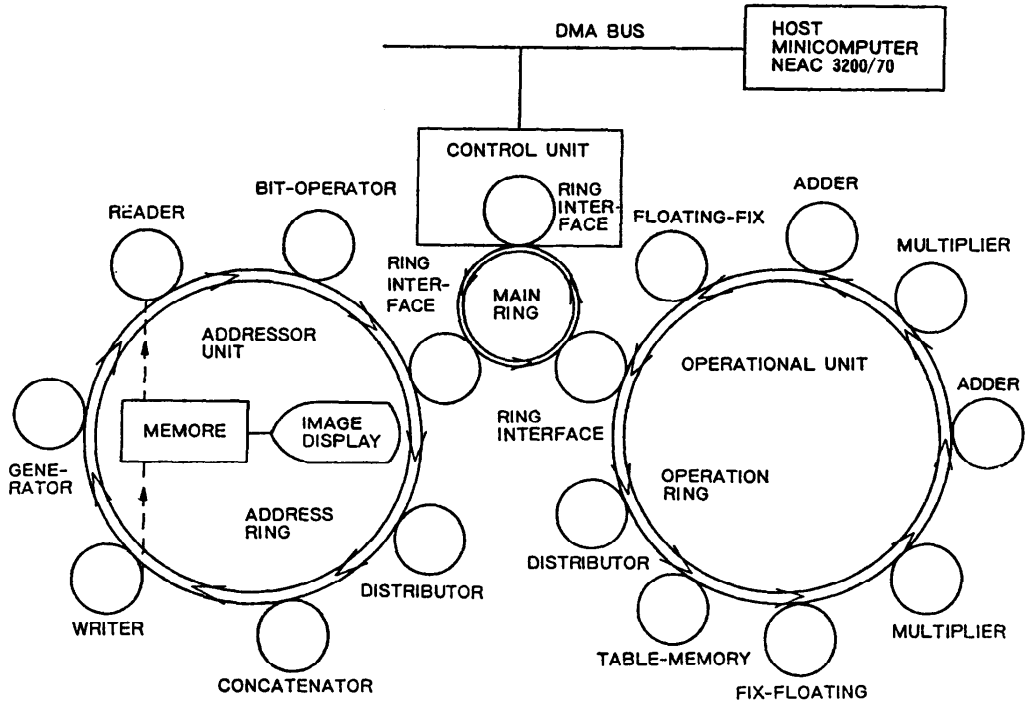


図-5 TIP-1 の構成

を調べ、当該モジュールを行先とするデータが取り込まれ、変数名に応じた処理が行われる。モジュールでは変数名ごとにデータが管理され、2項演算のような場合、対応する変数名ごとに、到着順に、2項データを揃える。TIP では1つのアレイ状データを1つの変数名に対応づけ、アレイ状データがデータ流としてハードウェア上を流れ、アレイ状データの添字がデータの順序と対応する。TIP-1での処理高速化は、複数プロセッサの同時処理による効果もあるが、同一変数名をもつデータ流の各要素が互いに独立に処理可能である時のパイプライン効果に大きく起因する。

TIP-1の異なる機能を持つモジュールの機能統合が図られ、1モジュール分のLSIチップImPP¹¹⁾が実現された。図-6はImPPの構成図である。入力されたデータはLT, FT, DM, Q, PUで構成される内部リングをプログラム制御に従う処理を受けながら周回し、処理が完了するとOQを介してリング・バスへ出力される。加えて、リング状に結合されたImPPリングがマイクロ・プロセッサやイメージ・メモリとの接続のため、ImPPの周辺LSIであるMAGIC (Memory Access and General bus-Interface Chip¹²⁾)が開発されている。

(4) ディスプレイ・プロセッサ

図-7にN7835¹³⁾のブロック図、及び、機能を示した。画像メモリが2個あり、モード切替えによって1024×1024×1バイト2枚、512×512×4バイト2枚、或いは、2048×1024×1バイトの画像メモリとして利用される。画像メモリへのアドレス発生は任意の矩形領域が設定でき、画素の深さ方向のビット範囲が自由に設定できる。処理機能は2つに分類でき、表示機能をビデオ・レートでサポートする処理と画素間演算やアフィン変換等のインタラクティブなレートでの処理がある。

画像メモリを構成する場合、ディスプレイへの表示のためのアクセスと専用モジュールへのデータ供給のためのアクセスとを同時に行う必要がある。一例として、サイクルタイム400nsのMOSメモリ64個を実装したメモリ・カードを考えると、1/30秒に約 0.67×10^6 バイトのデータを読み出しうる。512×512サイズのカラー画像表示には1/30秒間に 1×10^6 バイトのデータを読み出さなければならない。このため、複数のメモリ・カードを用いたインターリーブ方式により画像メモリ読み出しの高速化が図られている。

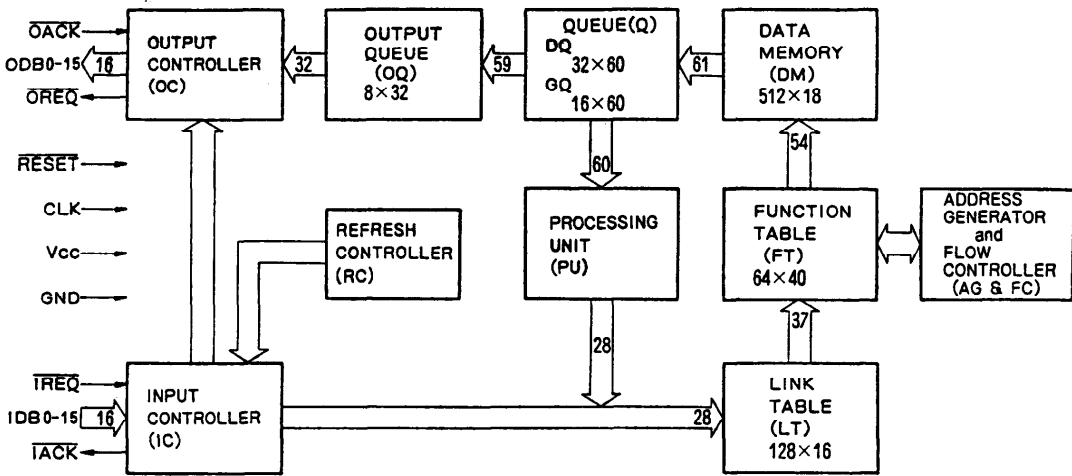
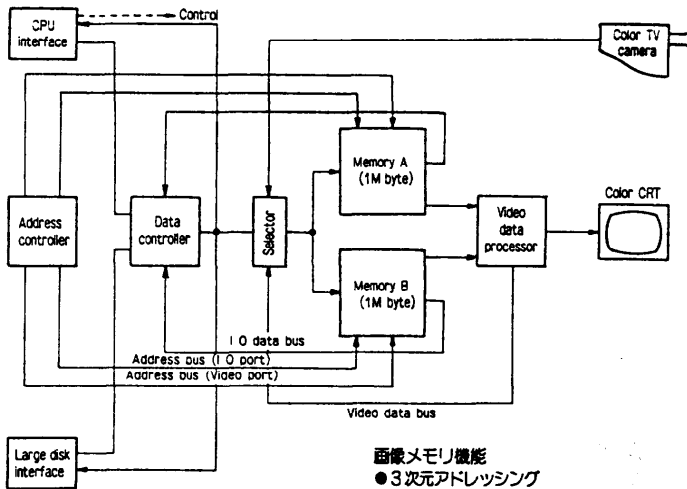


図-6 ImPP の構成¹⁾



- 内部処理機能**
- ピクセル・カウント機能
 - 画像演算機能
 - ヒストグラム/プロファイル機能
 - 歪補正機能(リサンプリング)
 - 縮小機能(間引き)
 - 最尤法識別機能
- 1) Natural Color
 - 2) False Color
 - 3) Pseudo Color

- 表示機能**
- 直接表示(自然色合成表示¹⁾、偽色合成表示¹⁾)
 - 間接表示(疑似色表示²⁾)
 - 強調表示(クラス表示)
 - 合成表示(重ね合せ表示)
 - 切替表示
 - 濃度変換表示
 - ズーム表示
 - 表示位置指定(画像メモリ内の表示場所の任意の指定)
 - 表示マスク
 - マーク表示(カーソルマーク、トリミングマーク)
 - カラーバー表示

- 画像メモリ機能**
- 3次元アドレッシング
 - プレーンセレクト機能
 - ウィンド指定
 - 2組のメモリ間転送
 - マスク生成機能
 - ベクトル・キャラクタ機能(ドットベクトル、文字パターンの書き込み)

図-7 N 7835 の構成と機能²⁾

4. 最近の LSI チップ開発

2次元プロセッサ・アレイによる画素並列を志向したチップ (CLIP 4, MPP) 近傍演算高速化のため局所並列を志向したチップ (ISP), 処理への柔軟な対応を志向した可変パイプライン方式のチップ (ImPP) は 3章でふれた。その他、画像処理を目的とする LSI チップが幾つか開発されている。

(1) ビデオ・メモリ

ビデオ・プロセッサ 3章(4)でふれたように、画像処理用のメモリがディスプレイのためのリフレッシュメモリとしても利用される場合、メモリの高速アクセスに工夫が必要となる。このため、ディスプレイ用ポートを別にもつマルチ・ポートのメモリ TMS 4161等が市販されている²²⁾。TMS 4161は64KビットのDRAMであり、ランダム・アクセス・ポートと内

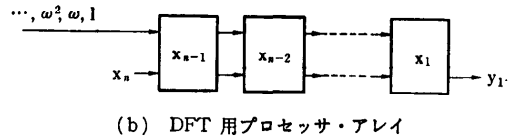
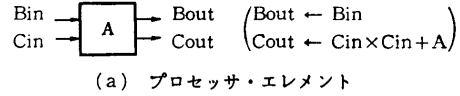
部で4個の64ビット・シフトレジスタにつながるシーケンシャル・アクセス・ポートとをもっている。このため、ディスプレイ用データの読み出しのため1度アクセスするとランダム・アクセス・ポートとは独立に256ビットのデータを順次シーケンシャル・アクセス・ポートから受け取ることができ、ディスプレイのためのメモリへのアクセス頻度を1/256に軽減できる。

(2) スマート・センサ¹⁴⁾

米国の画像理解プロジェクト (DARPA) のもとで1チップ・プロセッサの開発が行われており、CCDを用いて、画像入力部と画像前処理部とを1チップ内に収容しようとする試みがなされ、スマート・センサと呼ばれている。表-1はすでに報告された試作チップの処理能力を示している¹⁴⁾。CCD イメージ・センサ部からの入力データを専用機能のバイプラインを通して処理を行う。機能は固定化されるが電荷結合方式であり、アナログ量のまま処理を行うため精度は限定されるが、非常に高度の処理能力をもたせることができる。

(3) シストリック・アレイ²³⁾

図-8にカーネギメロン大のKung等が提案したシストリック・アレイの基本処理例を示す。2つの入力ポートと2つの出力ポートの例を示したが処理対象に応じポート数の異なるタイプも報告されている。クロックごとに処理がプロセッサ・アレイで同時になされデータが同時に隣接プロセッサに転送され、処理がパイプラインで進行する。DFT 演算、コンボリューション演算、行列演算等、容易にシストリック・アレイに適用できる。ノルウェーのNDREではシストリ



$$\begin{aligned}
 y_1 &= (((x_n \cdot 1 + x_n) \cdot 1 + x_n) \cdot 1 + x_n) \cdot 1 + x_n \\
 y_2 &= (((x_n \cdot \omega + x_n) \cdot \omega + x_n) \cdot \omega + x_n) \cdot \omega + x_n \\
 y_3 &= (((x_n \cdot \omega^2 + x_n) \cdot \omega^2 + x_n) \cdot \omega^2 + x_n) \cdot \omega^2 + x_n \\
 y_4 &= (((x_n \cdot \omega^3 + x_n) \cdot \omega^3 + x_n) \cdot \omega^3 + x_n) \cdot \omega^3 + x_n \\
 y_5 &= (((x_n \cdot \omega^4 + x_n) \cdot \omega^4 + x_n) \cdot \omega^4 + x_n) \cdot \omega^4 + x_n
 \end{aligned}$$

図-8 シストリック・アレイの処理例²¹⁾

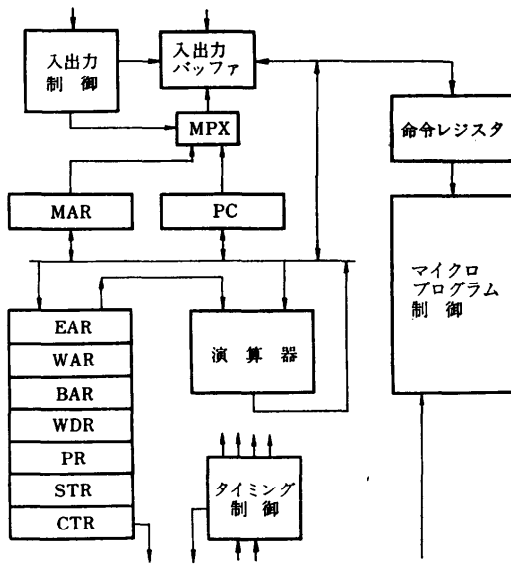
ック・アレイのためのプロセッサ・チップを試作しており、SAR 処理用プロセッサの構築がなされている²⁴⁾。このプロセッサチップではプロセッサへのデータ到着時刻が異なる演算対応データの同期をとるため、長さを可変に設定できるシフトレジスタが用いられている。

(4) Co-Processor²⁵⁾

オフィスでのイメージ処理をねらって、マイクロ・プロセッサの補助プロセッサとして動作するMN 8614²⁵⁾がある。図-9にその構成と機能性能を示した。画像というよりはビットマップされた図形を対象にしていると言える。また、図形生成・表示に関する機能がほとんどであるがマイクロ・プログラム制御方式であるため機能拡張の可能性はある。

表-1 スマート・センサ・チップの性能

Test Chip Numbers	Applications Implemented	Kernel Size	Operations/Pixel	Effective Operation Rate
I	Edge detection	3×3	16	80 KOPS
	High-pass spatial filter	3×3	18	90 KOPS
	Laplacian	3×3	13	65 KOPS
	12 dB/aperture corrector	3×3	18	90 KOPS
II	Sobel	3×3	16	32 MOPS
	Mean	3×3	9	18 MOPS
	Unsharp masking	3×3	13	26 MOPS
	Binarization	3×3	10	20 MOPS
	Adaptive stretch	3×3	12	24 MOPS
III	Laplacian	3×3	13	91 MOPS
	Mask programmable convolution	7×7	98	636 MOPS
	Programmable convolution	5×5	50	350 MOPS
	"Plus" shaped median	5×5	625	~10 ³ MOPS
	Bipolar convolution	26×26	1352	~10 ⁴ MOPS



項目	内 容	
画像メモリ容量	512KB (4Mビット)	
プログラムメモリ容量	512KB	
命令の種類	合計78種	
	編集解析命令	22種
	描画命令	13種
	プログラム制御命令	43種
レジスタ	拡張アドレスレジスタ (EAR) メモリアドレスレジスタ (WAR) ビット位置指定レジスタ (BAR) 線種レジスタ (PR) プレーン幅定義レジスタ (WDR) ステータスレジスタ (STR) コントロールレジスタ (CTR) プログラムカウンタ (PC)	
処理速度(平均値)	回転(任意角)	8.5 μ s/bit
	90度回転	5.8 μ s/bit
	拡大(2倍)	9.7 μ s/bit
	縮小(1/2倍)	4.9 μ s/bit
	平行移動	0.67 μ s/bit
	サーチ	4.8 μ s/bit
	塗つぶし(矩形)	0.25 μ s/bit
	塗つぶし(任意)	1.9 μ s/bit
	アドレス \leftrightarrow 座標	34.8 μ s/bit
	直線描画	4.8 μ s/bit
	円弧描画	7.2 μ s/bit
クロック周波数	13.3MHz	
電源, 消費電力	+5V, 1.3W	
パッケージ	40ピン DIL	

図-9 MN 8614 の構成と性能

5. む す び

画像処理用プロセッサの開発の流れを高速化, 小型化という観点から概観した。画像処理でのデータ量は非常に多く, 高速処理が要求される一方, 応用分野から考えて高価なシステムは避けられねばならない。画像処理の規則的な性質から種々のアイデアが出され, 効果対費用を重視した数多くの画像プロセッサが提案され, 開発された。

また, LSI の技術が急速に伸び, 大規模 LSI が可能になってきたこと, 画像処理の規則性から LSI 化の可能性が高かったことから多くの画像処理用 LSI 開発が行われた。大規模な LSI チップを開発するためには, 現状では, まだまだ, 多大の工数と長期にわたる開発期間が必要であるが, 画像処理関係者の努力のもと, 高機能の LSI チップがこれからも数多く開発されよう。

LSI を用いることでこれまで研究・開発されてきた画像プロセッサが小型化され, 情報処理での画像利用が急速に広がることを期待する。

参 考 文 献

- 1) Rosenfeld, A. et al.: Digital Picture Processing, ACADEMIC PRESS, New York, London (1976).
- 2) 木戸出正雄他: デジタル画像高速処理装置の流れを追う, 日経エレクトロニクス, No. 191, p. 110 (1978).
- 3) 天満 勉: 画像プロセッサの現状と動向, 映像情報, Vol. 13, No. 15, p. 22 (1981).
- 4) 花木真一: 画像処理用ハードウェア, 画像電子学会, Vol. 11, No. 1, p. 13 (1982).
- 5) Duff, M. J. B.: Review of the CLIP Image Processing System, Proc. NCC, p. 1055 (1979).
- 6) Strong, J. P. et al.: The Massively Parallel Processor and its Applications, Proc. 13th Int'l Symp. Remote Sensing of Environ., p. 37 (1979).
- 7) 松島他: アレイ方式を用いた映像処理装置の開発, 電子通信学会画像工学研究会技術研究報告, Vol. IE 78-11, p. 45 (1978).
- 8) 森他: 並列画像演算装置の試作, 電子通信学会パターン認識と学習研究会技術研究報告, Vol. PRL 76-86, p. 29 (1977).
- 9) 福島他: 画像処理用 LSI-ISP のアーキテクチャ, 情報処理学会コンピュータビジョン研究会,

- No. 26-6 (1983).
- 10) 天満他: 画像処理プロセッサ TIP の構成とシミュレーション評価, 電子通信学会画像工学研究会技術研究報告, Vol. IE 81-6 (1981).
 - 11) μ PD 7281 ユーザーズ・マニュアル, 日本電気(株) IEM-877 (1984).
 - 12) 内村他: IPP 用周辺インタフェース LSI, 昭和59年電子通信学会総合全国大会, p. 5-1427(1984).
 - 13) 荒川他: 高速プロセッシング機能を備えたカラーイメージディスプレイ, テレビジョン学会技術報告, IPD 41-4 (1979).
 - 14) Nudd, G.R. et al.: Implementation of Advanced Real-Time Image Understanding Algorithms, Image Understanding Workshop, p. 151 (1979).
 - 15) 佐藤他: パターン情報処理用マルチマイクロプロセッサシステム PX-1, 信学会誌 D, J 64-D, 11, p. 1021 (1981).
 - 16) Inagaki, K. et al.: Macsym: A Hierarchical Parallel Image Processing System for Event-Driven Pattern Understanding of Documents, Pattern Recognition, Vol. 17, No. 1, p. 85 (1984).
 - 17) Kogge, P.M.: The Architecture of Pipeline Computers, Hemisphere Publishing Corporation, Washington, New York, London (1981).
 - 18) AP-120 B Processor Handbook 7259-02, Floating Point Systems, Inc. (1976).
 - 19) Luetjen, K. et al.: FLIP: A Flexible Multi-processor System for Image Processing, Pattern Recognition, p. 326 (1980).
 - 20) Advanced Flexible Processor, Control Data Corp.
 - 21) Vision One Users Manual, Control Corp. (1978).
 - 22) TMS 4161 アプリケーションノート, Texas Instruments, SCJ-1106 (1984).
 - 23) Kung, H.T.: Special Purpose Devices for Signal and Image Processing: An Opportunity in VLSI, TR CMU-CS-80-132, CMU, Department of C.S. (1980).
 - 24) Söråsen, O. et al.: VLSI-Implemented Systolic Array for Vector Processing, VLSI '83, p. 307 (1983).
 - 25) ロジカルイメージコントローラ (LIC) MN 8614 ハードウェア解説書, 松下電子工業(株) (1984).
 - 26) NEC MS コンピュータによる N 7835 画像処理システム, NEC カタログ, Cat. No. J 55351 (1980).
 - 27) 坂上他: 画像処理プロセッサの最近の動向, 情報処理学会コンピュータビジョン研究会資料 18-4 (1982).

(昭和59年5月22日受付)

