

解説



3. レイアウト設計における CAD

3.2 分割・割付け・配置手法†

久保 登†† 西岡 郁夫††

1. はじめに

最近のコンピュータ等高度な電子装置の発展には目を見はるものがある。しかも、製品の多様化、高機能化にもかかわらず、ハードウェアコストの低下と小型化が達成されてきたのは、ひとえに LSI 技術の向上によると言える。そのため、LSI 開発は年々その複雑さを増してきており、設計・製造・検査の各段階においてさまざまな自動化技術の試みがなされてきている。本文では、電子装置のレイアウト設計における、分割、割付け、配置問題について、最近の話題に焦点を合わせて述べている。

レイアウト設計における分割問題は、電子装置、バックボード、プリント基板、LSI 等のさまざまな実装レベルにおいて現われてくるとともに、割付け、配置問題を効率的に処理するための基礎技術として重要である。分割はあくまでその後につづく統合を想定して行われるものであり、その意味で、本来これらの問題はレイアウト設計のなかで相互に密接に関連させて論じられなければならないものである。事実、最近の傾向では、分割・割付け問題については、それらを単独で論じたものは少ないようであるが、本文では、記述の容易さから分割・割付け・配置問題を一応区別して取り扱う。なお、発表された文献の数が膨大であるため、そのすべてについて触れることができなかった点をお断りするとともに、他の解説¹⁾⁻³⁾も参照されることをすすめたい。

2. 分割問題

論理分割とは、与えられた論理回路を実装単位（モジュール）へ割付ける問題である。ただし、一般にモジュールには、装置、バックボード、プリント基板、

LSI 等の階層があるためそれに対応して分割も階層的に行われる。しかしながら分割は、このように実装単位への割付けのためだけではなく、配置を効率よく実行するための基礎技術としても重要であるが、配置問題で用いられる分割手法についてはここでは述べない。

実装単位への分割問題では、考慮すべきさまざまなパラメータが存在する。

- (i) モジュール内の最大ゲート数、外部端子数など物理的制約
 - (ii) 伝播時間、発熱、ノイズ等回路特性の制約
 - (iii) 保守、検査能力等に依存した試験上の制約
- 分割問題をこれら制約条件の下で計算機処理することは非常に難しく、現実的には(i)の条件のみを考慮に入れる場合が多い。以下では、分割問題へのアプローチを三つに分けて述べる。

2.1 接続情報に基づく分割法²⁾

回路素子間の接続情報にのみ注目して分割を行う方法である。今までに提案されたほとんどの手法がこれに属する。

- (1) 最大結合-最小非結合 (Max. Conjunction-Min. Disjunction) 法

結合度の高い素子を順次まとめていくもので、入力や外部端子との接続個数に注目した単純なもの⁴⁾や、他のゲートを介した間接接続関係も考慮したもの⁵⁾がある。

- (2) クラスタ成長法⁶⁾

最初にいくつかの核 (Seed) を作成し、その核に対して高い結合度を有するゲートを許容数まで包含させる。

- (3) マッピング法⁷⁾

接続情報からいくつかの機能グループに分割し、機能グループ単位にモジュールへ割付けるものである。まず、一つのプライマリ出力または記憶回路の出力端子から、バックトレースによりすべての分岐の先端が

† Partitioning, Assignment and Placement Algorithms by Noboru KUBO and Ikuro NISHIOKA (Engineering Center, SHARP Corp.).

†† シャープ(株)技術本部

プライマリ入力もしくは他の記憶回路の出力端子へ到達するまでの範囲に含まれる回路の部分集合を機能グループとする。この操作を繰り返してすべての機能グループを求め、モジュールへの割付けは、クラスタ成長法と同様の方法で、機能グループごとに行われる。

2.2 回路機能に注目した分割

文献 8)ではプリント基板への分割問題に対して、効率的に対処するため、特定の回路構造に注目し、ランダムな論理の中から機能的な素子の集合を抽出し、これに基づいて分割を行っている。特定の回路構造としては、同一バス上に乗っている同一機能素子、枝状ノード、ループ状ノード⁹⁾、ファンアウト再集中型ノードを考えこれらをボトムアップに統合している(図-1 参照)。プリント基板への割付けに際しては、占有面積、消費電力、外部接続端子数、内部接続端子数等のパラメータを考慮した最適化処理が必要であるとしている。

また、文献 10)では、回路を機能分割する際に階層的な論理情報を有効に利用する手法が提案されている。

今まで述べてきたいずれの手法も、論理設計がある程度まで済み、モジュール間の接続情報が確定した

後での分割を取り扱っているが、文献 11)では、設計のより早い段階において ISPS 言語で記述された抽象的レベルの高い情報のみに基づいて分割を行うことが試みられている。

2.3 対話システムによる分割

文献 12)では、プリント板への回路分割において、従来設計者が経験的に行っていた作業を効率化するための対話システムを実現している。システムの基本機能は、①コンポーネントの分割(プリント板)への割付け、②分割情報の表示、③回路分割における制約条件(最大搭載 IC 数、入出力端子数等)のチェック、から成っている。分割の対象となる論理回路は階層的な構造を持っており、設計者はシステムが提供するさまざまな情報とチェック機能を利用しながら、対話形式でプリント板への分割・割付けを行う。

3. 割付け問題

割付け問題は、論理分割された部分回路を実装単位の集合にまとめる作業である。割付け問題には、例えばプリント板上の IC、LSI に対して行うゲート割付けと、IC、LSI、プリント板等の外部接続用ピンの割付け等がある。

ゲート割付けでは、ライブラリ化された IC、LSI と論理回路が与えられた時、ライブラリ中の IC、LSI を意識しながら数ゲートずつのグループに分け、次にそれらとライブラリ中の適当な IC を対応付ける操作である。したがって、ゲート割付けは論理分割の特殊なケースと考えられる。

ゲート割付けのアルゴリズム^{11,4)-6)}には、論理分割と類似の最大結合-最小非結合法、クラスタ成長法その他があるが、重複するので省略する。

3.1 LSI における論理割付け¹³⁾

与えられたゲートレベル論理図をライブラリ内の標準回路要素(ブロック)に割付ける問題においては(図-2)、①論理回路の部分回路がライブラリ内のあるブロックと機能的に等価であることの判定(部分グラフ同形判定)と、②各ブロックが論理回路中で割付け可能である位置(部分回路)の予測、という二つの処理を高速化する必要がある。このために論理回路およびライブラリ内の各ブロックに含まれるゲートに対して、その近傍の接続状況を表わす'鍵情報'を持たせる。この鍵情報に基づく割付けアルゴリズムは上記二つの課題に有効に対処できることが報告されている。

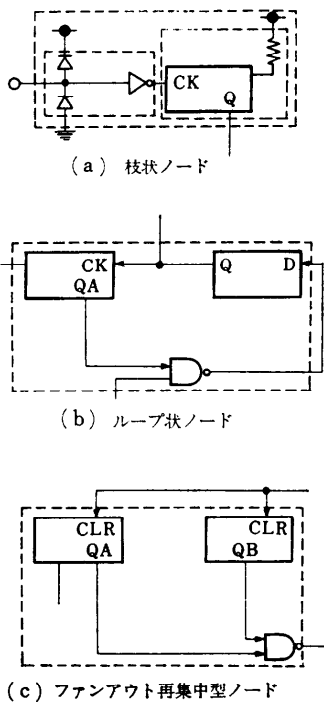
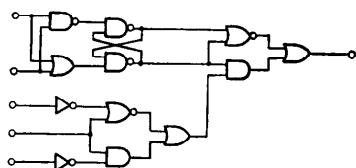
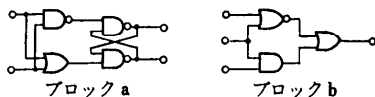


図-1 機能素子の例



(a) ゲートレベル論理回路図の例



(b) ライブラリ内ブロックの例

図-2 論理割付け

3.2 ピン割付け

ピン割付けは、外部ピン割付けと内部ピン割付けに分けられるが¹¹⁾、いずれも配線の交差を少なくするとともに配線長を短くして、配線率の向上をはかることが目的である。このため、ピン割付けを独立して取り扱うよりも配置・配線問題のなかの部分問題として扱うのが最近の傾向である¹⁴⁾。例えば LSI のチャンネル配線でトラック数を減少させるとともに、上下制約をなくすためにピンの割付けが行われている¹⁵⁾。またマスタスライス LSI において配線混雑度の低い隣接チャンネルへ配線をう回させるようなピン割付けも行われている¹⁶⁾。

4. 配置問題

LSI 上に実現すべき回路が割付けられた後、レイアウトの基本単位(セル、マクロ等)を2次元状に配置し、それらの間を互いに配線する作業がある。配置は LSI の面積最小化、配線長最小化、100% 配線等を実現する上で極めて重要な問題である。

不規則な形状・大きさのセルを含む配置は非常に複雑となるため、以下では実用的な観点からほとんど同じ形状・大きさのセルの配置に重点を置いて述べる。

4.1 評価基準

配置は、本来配線処理と一体となって行わねばならないが、問題が複雑となり過ぎるため、通常は配置と配線を独立に取り扱う。

配置の良し悪しを論ずるための評価基準としては、各ネットの配線長を①重み付け完全グラフ、②最小スパニング木、③スタイナ木、④最小矩形の周囲長、⑤一筆書き等に基づいて予測し、総仮想配線長を最小

化するのが古典的である¹⁷⁾。その他、配線密度の局所的混雑を避ける観点より、①カットラインを横切る配線数¹⁸⁾、②セル境界を横切る配線数¹⁹⁾、③チャンネル内の必要トラック数、を最小化する評価基準が用いられる場合も多い。これらの評価基準は、計算時間、問題の種類と規模、配線手法、製造上の制約等を考慮して選択する必要がある。

4.2 配置手法

配置手法は、上記評価基準の下で '良い' と言える配置を求める手法であり、従来より多くの提案がある。代表的な算法を以下で簡単に紹介するが、実用システムにおいては、それらのいくつかを組み合わせる用いることが多い。配置算法は問題の規模(例えばセルの個数) n に関して $O(n^{1.5} \sim n^2)$ の計算時間がかかるといわれ、配線問題以上に効率的な手法が要請されている。

4.2.1 構成的配置法

構成的な手法としては

- (1) ランダム法
- (2) ペアリンクング法
- (3) クラスタ成長法

等があるが、これらは初期配置を求めるために用いられる場合が多い。詳細は文献 1), 17) を参照されたい。

4.2.2 繰返し改良法

繰返し改良法のなかには

- (1) スタインバーグ法
- (2) ペア交換法 (PI)
- (3) 反復重心法 (FDR)
- (4) ペア単位反復重心法 (FDPR)

等がある。文献 1), 17) にこれらの手法の詳細と配置結果の比較が述べられている。また、文献 20) では、FDPR の拡張アルゴリズム (GFDR) が提案されている。

4.2.3 その他の方法

Hanan¹⁷⁾ 以後に提案された配置手法のなかで代表的なものを以下に述べる。

- (1) Min-Cut 法²¹⁾

カットラインを横切る配線数を最小化する評価基準の下での配置手法である。セル全体を一つの集まりとする場合から始めて、縦・横のカットラインにより順次セル集合の分割を詳細化して行く。カットラインの適用順序の違いによりいくつかの種類がある(図-3)。Min-Cut 法では、本来分離すべきでないセル同士を

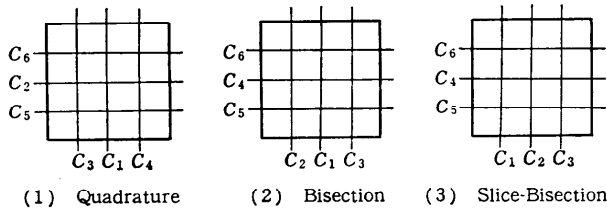


図-3 カットラインの発生順序

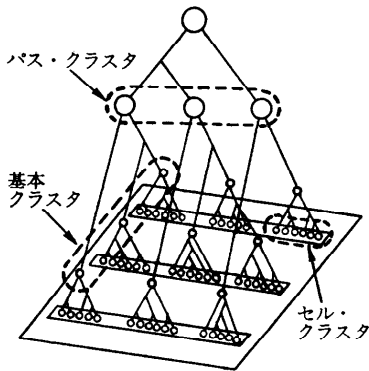


図-4 クラスタ階層と配置構造

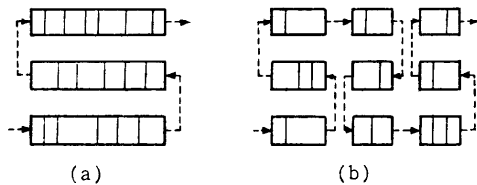


図-5 ジグザグ配置

分けてしまうという場合が起こり得る。

(2) トップダウン配置^{22), 23)}

大規模回路の配置を効率的に実行するとともに大局的な接続関係を考慮に入れることができる点に特徴がある。まず、与えられた論理回路をクラスタリングの手法に基づいて階層的に分割し、次に物理セルに対応させて2次元状に配置する(図-4)。

(3) ジグザグ配置^{24), 25)}

2次元配置問題を1次元問題に帰着させるものであり、簡単に上に効率と配置結果がよいといわれる。配置すべきセルを1次元状に順序付けし、次にジグザグに折り曲げて2次元配置する。ジグザグのやり方にはいくつかの変種がある(図-5)。

(4) シャフリング法²⁶⁾

シャフリングの概念図を図-6に示す。まず二つのクラスタ B_i と B_{i+1} を一つに併合し、次にある評価

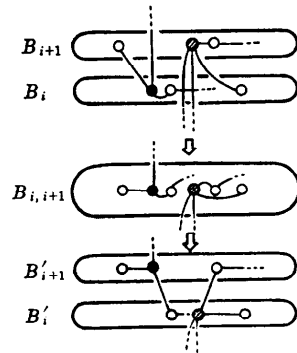


図-6 シャフリングの概念

基準の下で再分割し新しいクラスタ B'_i と B'_{i+1} を得る。この操作を $i=1, 2, \dots$ と繰り返す。従来は、各クラスタより1個のセルを取り出し、その交換・移動により改良していたが、シャフリングによれば局所最適解へ落ち込むという欠点を除かれ、初期配置にあまり依存しないよい結果が得られている。

4.3 配置算法の評価

配置算法の評価は難しい問題である。それは、一般的な配置モデルを設定するのが難しいこと、配置の'良さ'の意味、基準が多様であること、実用システムでは複数の算法が組み合わせられていること、さらに配線プログラムとの関連も無視できないこと等による。

文献 20)によれば、プリント板での2次元配置実験において、従来最も優れているとされてきた繰返し改良法 FDPR¹⁷⁾より、それを一般化した4-optな GFDR法が、配置結果・計算時間ともに勝っている。また、改良ランダム配置 (SORG)²⁰⁾ によるいくつかの初期配置から出発し、配置改良後その最良のものを解とするのが有効であると報告されている。

また、文献 27)では Min-Cut 法が繰返し改良 (FDR) と同程度の結果を与えること、また仮想配線長が長い配置ほど実際に配線した後の配線率が低くなること等が報告されている。

文献 16)では、ゲートアレイ LSI に対して、5種の配置手法を比較したところ、2次元クラスタリング配置を初期解としてネットバランス法による改良を行う組合せが最も優れていると報告されている。

実用システムの開発においては、これらの結果を参考にしつつ、個々のレイアウトモデルに適した配置手法を見出す努力が必要である。

4.4 その他の話題

a) 配置問題専用ハードウェア

配置を高速化するためのアプローチとして専用ハードウェアの開発²⁸⁾⁻³¹⁾があり、一部では概念設計にとどまらず試作機による実測データが報告されている³¹⁾。専用ハードウェアは、構成を簡単にするため(隣接)ペア交換による改良法がよく用いられている。近い将来市販機も出てこよう。

b) 機能セルパターンの自動生成

ポリセル LSI やジェネラルセル LSI のレイアウト設計は、標準機能セルをライブラリ化しそれを組み合わせることによって実行される。ライブラリセルの種類が増加するのにもない、セルパターン生成を自動化する試みが行われている³²⁾⁻³⁵⁾。セルパターンの設計は、複合ゲートや CMOS ペアトランジスタの配置と配線を一括して取り扱う必要がある。通常は、一次元配置問題に着させ、交換や挿入による逐次改善法が用いられる。

c) ビルディングブロックの配置

カスタム LSI のレイアウト設計に関しては多くの報告があるが、不規則形状の機能ブロックを配置する手法を論じたものは多くない³⁶⁾⁻³⁸⁾。それは、問題が複雑であるだけでなく、配線と密接に関連したりまた全体とのバランス上機能ブロックの再設計が必要となる場合があり、配置だけを議論しても意味がないためであろう。最近では、設計者が計算機と対話しながら、機能セル(ブロック)への分割、セルの設計、配置・配線の一連の作業を、よりグローバルな視野に立ってダイナミックにすすめることのできるツールを備えたシステムが開発されている³⁹⁾⁻⁴²⁾。ビルディングブロック LSI の設計に関しては、このような対話型のアプローチが最も有効であると思われる。

5. むすび

本文では、分割、割付け、配置問題について述べたが、最近の技術の進歩には、目を見はるものがあり、これらの問題についても大きな前進が見られている。個々の問題に対する基本的なアルゴリズムは一見出つくした観もあるが、LSI の大規模化に対して有効に対処するため、さまざまな改良や新しいアプローチを工夫する必要がある。

今後は、分割・配置・配線問題をより緊密に結びつけた高度な手法の開発、高速化のための専用ハードウェアの開発、LSI 全体をバランスよく設計するためのチッププランニングの手法等が重要になると考えられる。

謝辞 本文を執筆するにあたりご討論頂いた中央研究所コンピュータソフトリサーチセンタ千葉徹氏、集積回路事業部第6技術部神戸尚志氏はじめ関連部門の諸氏に感謝します。

参考文献

- 1) 電子装置設計技術研究委員会: 電子装置の CAD (3), 情報処理, Vol. 21, No. 1, pp. 50-61 (1980).
- 2) 樹下編: 論理装置の CAD, 情報処理学会 (1981).
- 3) 可見, 川西, 船津: 超 LSI CAD の基礎, オーム社 (1983).
- 4) 平野, 平川他: 電子交換機用 IC パッケージ自動設計の一手法, 昭和 47 年信学会全国大会論文集, p. 1288 (1972).
- 5) 田中, 田淵他: 電子計算機における割付け, 配置設計の一方式, 昭和 49 年度電子通信学会全国大会論文集, p. 1806 (1974).
- 6) Nishioka I., Kurimoto, T., Yamamoto, S., Chiba, T., Shirakawa, I. and Ozaki, H.: An Approach to Gate Assignment and Module Placement for Printed Wiring Boards, IEEE Trans. Comput., Vol. C-29, No. 8, pp. 681-688 (1980).
- 7) Russo, R. L.: A Heuristic Procedure for the Partitioning and Mapping of Computer Logic Gates, IEEE Trans. Comput., Vol. C-20, No. 12, pp. 1455-1462 (1971).
- 8) 小田原, 飯島: 回路構造に注目した論理分割, 情報処理学会第 25 回 (昭和 57 年度後期) 全国大会論文集, p. 1349 (1982).
- 9) Groeger, H. J.: A New Approach to Structural Partitioning of Computer Logic, Proc. 12th Design Automation Conf. (1975).
- 10) Payne, T. S. and vanCleave, W. M.: Automated Partitioning of Hierarchical Specified Digital Systems, Proc. 19th Design Automation Conf., pp. 182-192 (1982).
- 11) McFarland, M. C.: Computer-Aided Partitioning of Behavioral Hardware Descriptions, Proc. 20th Design Automation Conf., pp. 472-478 (1983).
- 12) 杉本, 広瀬, 齊藤: 経験的手法による論理回路分割支援システム, 情報処理学会第 25 回 (昭和 57 年度後期) 全国大会論文集 (1982).
- 13) 吉田, 千葉, 河田, 白川, 尾崎: LSI 設計のための論理割付けの一手法, 信学技報, CAS 82-147, pp. 49-54 (1983).
- 14) Tsukiyama, S., Fukui, M. and Shirakawa, I.: A Heuristic Algorithm for a Pin Assignment Problem of Gate Array LSI's, ISCAS '84, pp. 465-469 (1984).
- 15) Hirose, F. and Shiraishi, H.: Efficient Place-

- ment and Routing Techniques for Master Slice LSI, Proc. 17th Design Automation Conf., pp. 458-464 (1980).
- 16) Kozawa, T., Terai, H., Ishii, T., Hayase, M., Miura, C., Ogawa, Y., Kishida, K., Yamada, N. and Ohno, Y.: Automatic Placement Algorithms for High Packaging Density VLSI, Proc. 20th Design Automation Conf., pp. 175-181 (1983).
 - 17) Hanan, M., Woff, P.K. and Agule, B.J.: A Study of Placement Techniques, Journal of Design Automation and Fault-Tolerant Computing, Vol. 1, No. 1, pp. 28-61 (1976).
 - 18) Breuer, M. A.: A Class of Min-Cut Placement Algorithms, Proc. 14th Design Automation Conf., pp. 284-290 (1977).
 - 19) Khokhani, K. H. and Patel, A. M.: The Chip Layout Problem: A Placement Procedure for LSI, Proc. 14th Design Automation Conf., pp. 291-297 (1977).
 - 20) Goto, S.: An Efficient Algorithm for The Two Dimensional Placement Problem in Circuit Layout, IEEE Trans. on Circuits and Systems, Vol. CAS-28, No. 1, pp. 12-18 (1981).
 - 21) Lauther, U.: A Min-Cut Placement Algorithm for General Cell Assemblies Based on A Graph Representations, Proc. 16th Design Automation Conf., pp. 1-10 (1979).
 - 22) Murai, S., Tsuji, H. and Kakinuma, M.: A Hierarchical Placement Procedure with a Simple Blocking Scheme, Proc. 16th Design Automation Conf., pp. 18-23 (1979).
 - 23) 小林, 高野: ゲートアレイ用階層型クラスタリング配置手法, 昭和58年度電子通信学会総合全国大会講演論文集 (1983).
 - 24) 安達: 1次元セル配置プログラム, 昭和56年度電子通信学会総合全国大会講演論文集, 429 (1981).
 - 25) Kang, S.: Linear Ordering and Application to Placement, Proc. 20th Design Automation Conf., pp. 457-464 (1983).
 - 26) 木村, 神戸, 千葉, 犬伏: LSI設計における配置問題に対する一手法, 信学論(C), Vol. J66-C, No. 12, pp. 1148-1155 (1983).
 - 27) 谷, 神戸, 白川, 尾崎: レイアウト設計における配置手法の評価について, 信学技報, CAS 82-146, pp. 43-48 (1983).
 - 28) Ueda, K., Komatsubara, T. and Hosaka, T.: A Parallel Processing Approach for Logic Module Placement, IEEE Trans. on CAD, Vol. CAD-2, No. 1, pp. 39-47 (1983).
 - 29) Iosupovici, A., King, C. and Breuer, M. A.: A Module Interchange Placement Machine, Proc. 20th Design Automation Conf., pp. 171-174 (1983).
 - 30) Chyan, D. and Breuer, M. A.: A Placement Algorithm for Array Processors, Proc. 20th Design Automation Conf., pp. 182-188 (1982).
 - 31) 杉山, 渡辺: AAPによる論理モジュールの並列配置, 昭和59年度電子通信学会総合全国大会講演論文集, 376 (1984).
 - 32) 川西, 吉沢, 可児: 1次元 MOS アレイにおけるゲート配列決定の一算法, 信学論 (A), Vol. J59-A, No. 2, pp. 141-148 (1976).
 - 33) 原田, 谷, 奥田, 白川, 尾崎: MOS LSI のランダム論理部の一レイアウトシステム, 信学論 (A), Vol. J63-A, No. 6, pp. 366-373 (1980).
 - 34) Uehara, T. and vanCleemput, W. H.: Optimal Layout of CMDS Functional Arrays, IEEE Trans. Comput., Vol. C-30, No. 5, pp. 305-312 (1981).
 - 35) 宮下, 上田: CMOSにおけるトランジスタ配置の一手法, 昭和59年度電子通信学会総合全国大会講演論文集, 390 (1984).
 - 36) Odawara, G., Iijima, K. and Kiyomatsu, T.: Arbitrarily-Sized Module Location Technique in the LOP System, Proc. 19th Design Automation Conf., pp. 718-726 (1982).
 - 37) Hassett, J. E.: Automated Layout in ASHLAR: An Approach to the Problems of "General Cell" Layout for VLSI, Proc. 19th Design Automation Conf., pp. 777-784 (1982).
 - 38) Kirk, I. H., Crowhurst, P. D., Skingley, J. A., Bowman, J. D. and Taylor, G. L.: Placement of Irregular Circuit Elements on Non-uniform Gate Arrays, Proc. 20th Design Automation Conf., pp. 637-643 (1983).
 - 39) 須藤, 唐津, 永谷: CADによる論理 VLSI の設計, 日経エレクトロニクス, pp. 162-180 (Apr. 13, 1981).
 - 40) 永谷, 宮下, 岡本, 丹生, 杉山: LSI機能ブロックレイアウトシステム (PLASMA), 情報電子装置設計研資 4-1 (1980).
 - 41) Leblond, A.: CAF: A Computer-Assisted Floorplanning Tool, Proc. 20th Design Automation Conf., pp. 747-753 (1983).
 - 42) 松田, 石川, 後藤: ビルディングブロック LSI レイアウト設計方式, 信学技報, CAS 84-3, pp. 17-22 (1984).

(昭和59年6月18日受付)