

解説

画像処理システム†



天満 勉†† 首藤 正道††

1. ま え が き

1950年代半ば始まった文字認識の研究が、アメリカでは1960年代後半、日本では1970年代前半盛んとなり、2値のデジタル画像処理の先駆けとして、アルゴリズムの基盤を築いてきた。1970年代に入ると画像処理応用分野も次第に広がり、X線写真解析などの医用応用、観測衛星によるリモートセンシング画像処理が活発になり、視覚関係の応用分野からの画像処理ニーズが急激に大きくなってきた。最近の画像処理研究分野の代表的な技術領域として次のようなものが考えられる。

- (a) CT, SAR など不可視画像を可視化するなど前処理自体が重要な処理目的である技術。
- (b) 人間の認識能力を工学的に実現しようとする、文字認識、指紋照合、目視検査などに代表される、画像照合・認識の技術。
- (c) トラッキング、時系列変化、ロボット視覚など、実時間性を重視した動画像処理、画像計測の技術。
- (d) 印刷製版、コンピュータグラフィックスなどの画像編集・生成の技術。
- (e) ファイリング、データ転送の効率化のためのデータ圧縮の技術。

また、現在実現されている画像処理分野での画像の種類に対する処理形態及び画像サイズは図-1のように表される。上記の(a)や(c)のようなリアルタイム性が要求される分野では小さな画像サイズに、また画像サイズの大きい分野ではバッチ処理にあまみじている。(d)の分野では、対象の画像サイズが大きいかかわらず一時に扱う処理をディスプレイ領域に限定

することができ、処理が割合簡単な部分について会話的処理が実現されている。(b)では主として、方式及びアルゴリズムの開発が課題である。全体として、画像処理領域での問題点は、画像が2次元アレイ状データとして表現されること、すなわちデータ量が膨大であることに起因している。

デジタル画像処理でのデータ量の膨大さは画像データの蓄積、画像データの転送、画像データの処理に課題を与えている。画像データの蓄積に関しては大容量ファイルの実現および、データの高圧縮手法の開発が促されている。画像データの転送ではデータ伝送の高速化、画像データの処理では大容量高速メモリ、並列アルゴリズム、効率よいマルチプロセッサの研究がなされている。さらに、画像処理システム実現時の制約として低コスト化が課せられる。これは特に人間のもつ視覚処理の高性能さと常に対比されるためといえよう。

本稿ではこれら画像処理応用を展開するため画像処理システム実現時でのメモリの容量、表示機構、メモリからの高速データ供給について、特にメモリとの関連から解説する。

2. 画像処理でのメモリ容量

図-1 でデジタル画像処理のいくつかの応用に対

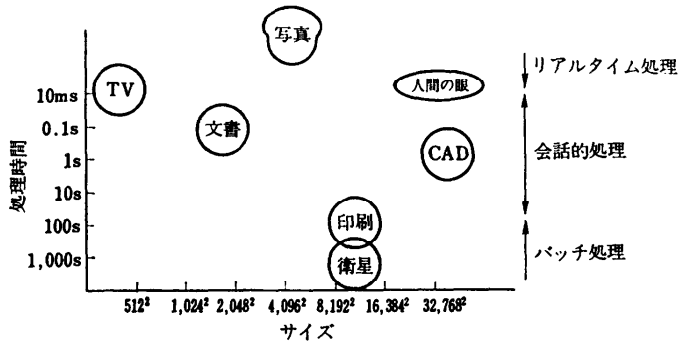


図-1 画像の種類とサイズ††

† Memory Utilization in Image Processing Systems by Tsutomu TEMMA and Masamichi SHUTOH (C & C Systems Research Laboratories, NEC Corporation).

†† 日本電気(株) C & C システム研究所

する画像のサイズと画像の処理形態を示した。その中の一つ、たとえば OA 分野では A4 サイズの文書画像を 8 本 /mm で標本、2 値化して入力するとデータ量は約 500 kB (キロバイト) となる。1 枚の紙厚を約 0.9mm とすると 90 cm 幅 6 段のファイルキャビネットに収容される文書をデジタル画像としたときの容量は 3 GB もの容量となる。また、衛星画像データを考えると、ランドサットの MSS (マルチ・スペクトル・スキャナ) 画像 1 枚の容量は 3,240×2,340×4 バンドで約 30 MB となり、100 シーンの時系列画像を蓄えるだけで 3 GB の容量が必要となる。図-2 は記憶媒体の記憶容量並びにアクセス速度を示した図である<sup>2)</sup>。

画像データ・ベースを考えると、容量として十分とはいえないがアクセス速度の遅い磁気テープ、磁気ディスク、光ディスク、MSS (マストレージシステム) といった外部記憶装置にたよらざるを得ないことが分かる。実現される画像処理端末では、小さな画像の場合なら数枚分の、大きな画像なら 1 枚あるいは部分画像を保持する MOS メモリが画像処理システムに置かれる。処理はこの MOS メモリに保持されたデータに対してなされ、新たに必要とされる画像は外部記憶装置から読み出されることになる。すでに述べたように、外部記憶のアクセス速度の遅さから、たとえば 512×512 サイズフルカラー (R,G,B 各 8 ビット) の画像 1 枚 768 kB の転送には高速チャンネルを使っても数秒～十数秒を要する。ホストと端末間で、転送容量の低い回線を用いると、たとえば 2,400 ボーの回線では、240 バイト/秒のデータ転送となり、上記画像の転送に約 1 時間を要する。画像データの外部記憶装置あるいは中央の画像データベースから画像処理装置への転送時間の軽減のためには、媒体のアクセス時間およびデータ転送時間の高速化とともに、高能率な画像データの圧縮及び符号化技術が重要である。

画像処理装置内では、1 枚あるいは数枚の画像を保持する高速アクセス可能な MOS メモリが利用できるようになってきた。図-3 は DRAM (ダイナミック RAM) の大容量化の動向を示した図である。1980 年頃の画像処理システムでは 16 K ビット DRAM が用いられていた。512×512 サイズのフルカラーの画像 2 枚を保持するため、32 ビット/画素構成のシステムでは、当時の 16 K ビット DRAM が 1,024 個必要で

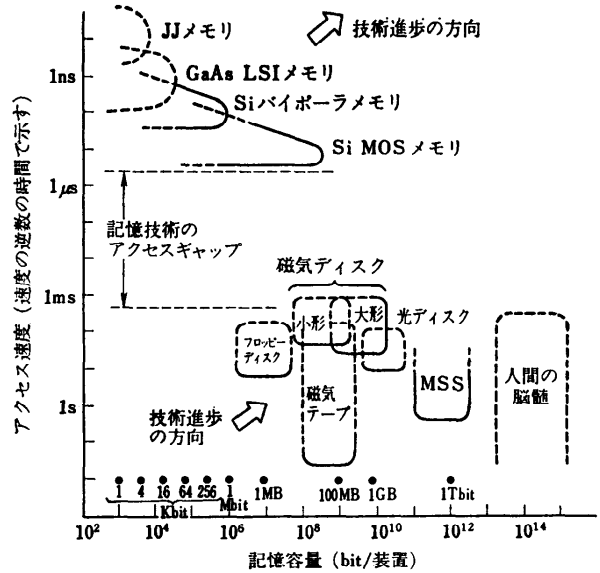


図-2 記憶媒体の容量及びアクセス速度<sup>2)</sup>

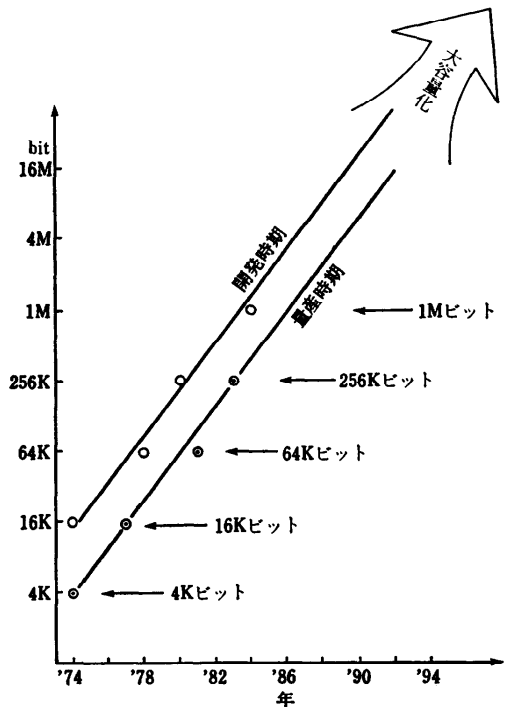


図-3 DRAM の大容量化<sup>3)</sup>

あった。現在、1 M ビットの DRAM のサンプル出荷が始まっており、DRAM 1 チップの容量が 64 倍で

あることから、同一の画像メモリは16個で構成できることになる。

画像処理装置の小型化のための実装効率への対応として、いくつかのLSI用パッケージも用意された。図-4にDRAM用パッケージの種類と高さ、実

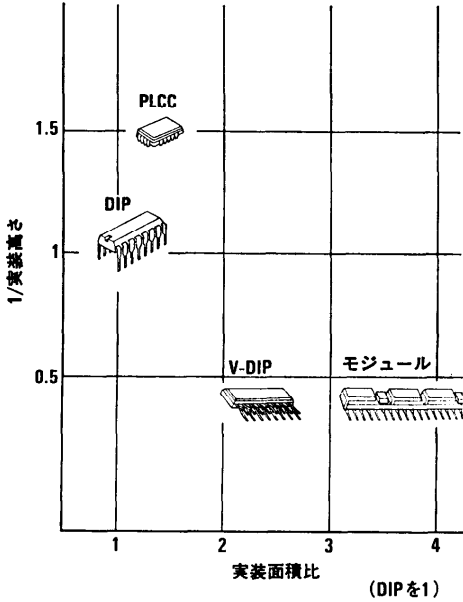


図-4 DRAM のパッケージ

装面積を示した。図-4に示されているように、従来のDIPタイプに比べ、V-DIP (Vertical Dual Inline Package) タイプを用いれば2~3倍、モジュールタイプを用いれば3~4倍実装効率が改善される。

図-5はパーソナルコンピュータの拡張スロットに挿入して使用できる画像処理ボードの写真である。写真の右上部にV-DIPタイプの256K DRAM 18個が実装されており、中央下側にある画像VLSIプロセッサ2個; インタフェース用LSI 1個とで、256KW (18ビット/1語) を備えた、10MIPS (Million Instruction Per Second) の処理能力をもつ画像処理ボードが実現できている。

### 3. 入出力のためのメモリ構成

画像処理を対話的に行うようなシステムでは画像の表示系が重要な役割を占める。通常は表示画像をフレームメモリに保持し、このフレームメモリの内容を逐次読み出しD/A変換してディスプレイする。図-6は1画素が1ビットで表される画像を表示するとき必要となるビット数、表示のためのドットレートをいくつかのスクリーンサイズに対して示したものである。たとえば、768x512サイズの表示では約400Kビットのメモリ容量と1画素当り約30nsのレートでメモリからのデータ読み出しが行われねばならないことを

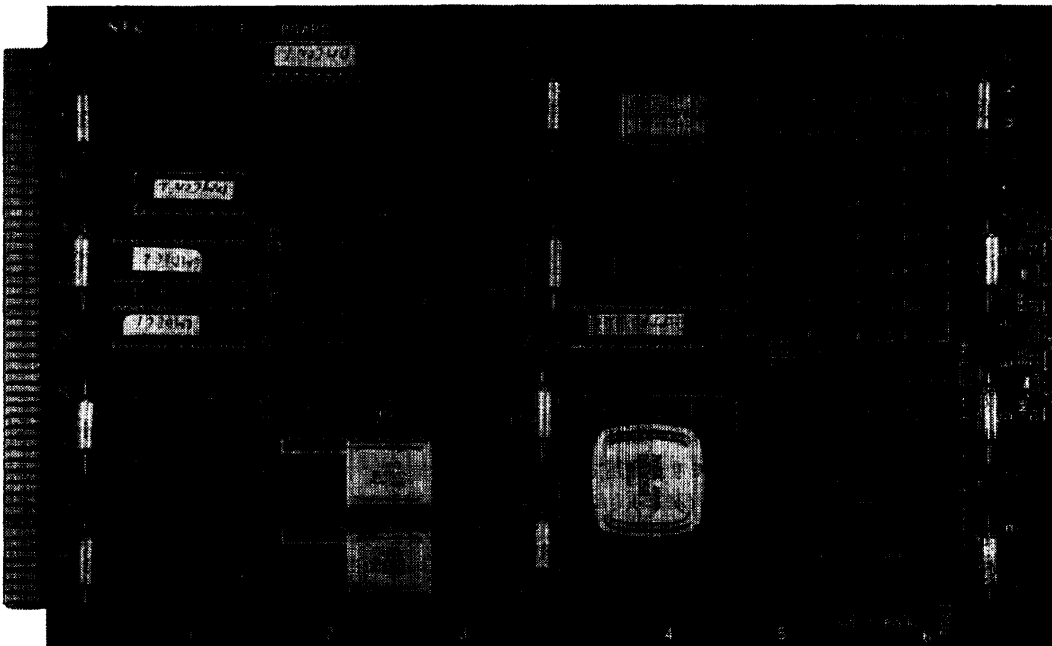
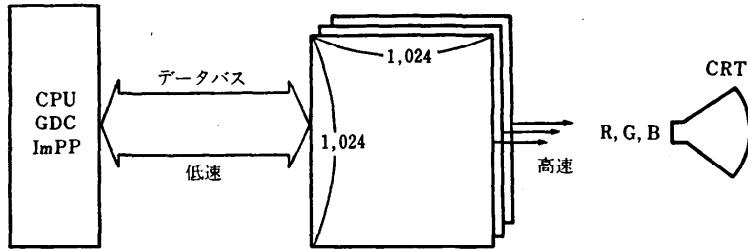


図-5 TIP-PC

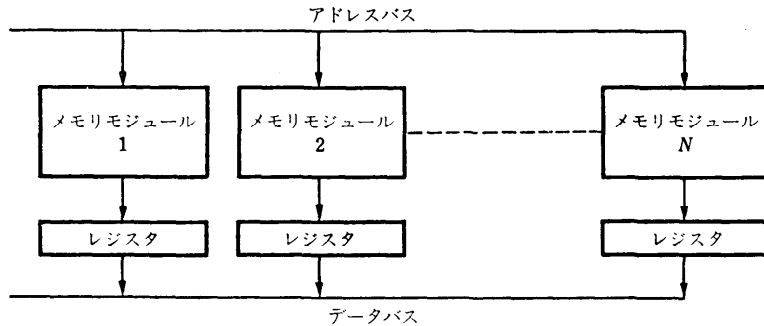


スクリーンサイズに対応するドットレート

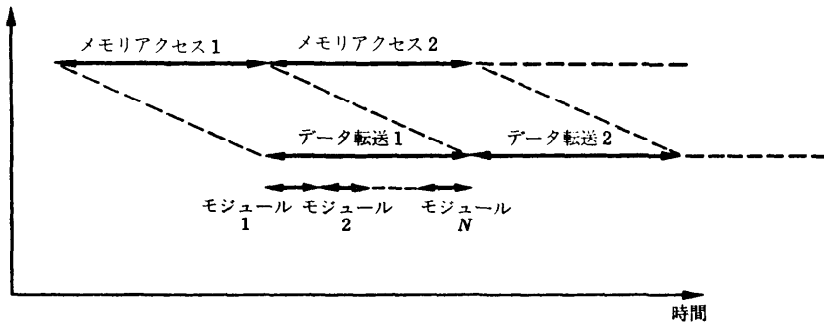
スクリーンサイズ	ドットレート*1	必要ビット数**
640 × 200	75.0 ns	128,000 ビット
640 × 400	45.9 ns	256,000 ビット
768 × 512	29.9 ns	393,216 ビット
1,024 × 768	14.9 ns	786,432 ビット
1,024 × 1,024	11.2 ns	1,048,576 ビット
1,280 × 1,024	9.0 ns	1,310,720 ビット

- \*1. ノンインタレース  
 水平帰線消去期間 0.25H  
 垂直帰線消去期間 0.06V (1ms)  
 1画面 1/60秒 } での試算
- \*2. R, G, B のうちの1プレーン

図-6 画像表示でのメモリ容量とデータ転送レート<sup>9)</sup>



(a) 共通アドレスによるインタリーブ (読み出し)



(b) 共通アドレスによるインタリーブ読み出しタイミングチャート

図-7 インタリーブ方式<sup>9)</sup>

示している。16ビット/語構成のメモリボードを考えると480ns/語の速さでメモリボードからディスプレイへデータを供給せねばならない。メモリ基板は通常コスト及び、実装効率の点からDRAMが利用される。このためメモリのリード/ライトのサイクルタイムは400ns程度が限界である。このメモリボードではメモリアクセスのほとんどが画像表示のため使われてしまう。フレームメモリ内の画像を処理部にも供給し画像処理を施すためには表示を一時中断させねばならない。

表示がカラー化されるあるいは濃淡をもつ画像が表示される場合データの読み出し量が増加し、上で述べたメモリボードでは対応できなくなる。768×512サイズのフルカラー画像の場合には32ビット/ピクセルの構成の1.5MBの容量のフレームメモリが用意される。このとき、480ns当り64ビットのデータ読み出しが可能ないように設計されねばならない。これまで、フレームメモリの高速読み出しにはインタリーブと呼ばれるメモリアクセス方法が用いられてきた。

図-7は、 $N$ 個のメモリモジュールを共通のアドレスでアクセスするインタリーブ方式を示した図であ

る。図-7(a)でアドレスバスにアドレスAを与えると、 $N$ 個のメモリモジュールのA番地のデータ全てが、1メモリサイクルでそれぞれのレジスタに読み出される。レジスタに保持されたデータは、次の1メモリサイクルを用いて転送される。すなわち、1メモリサイクルが $N$ 等分され、 $1/N$ メモリサイクル時間ごとに1語のデータが転送され、その結果、1メモリサイクルで $N$ 語のデータが利用できることになり、メモリアクセスが $N$ 倍高速化される。図-7(b)はメモリ読み出し時のタイミングチャートである<sup>5)</sup>。

768×512サイズのフルカラー画像の表示に必要なとされた480ns当り64ビットのデータ読み出しは、たとえば、16ビット/語のメモリモジュール4個をインタリーブ方式を用いてアクセスすることで実現できる。

最近では、このインタリーブ方式を内蔵したメモリチップであるデュアルポートメモリが市販された。図-8はデュアルポートメモリのブロック図である。このメモリは従来のランダムアクセスポートのほか、メモリをアクセスするとそのアドレスに対応する1,024ビットのデータが256ワード×4ビットのデー

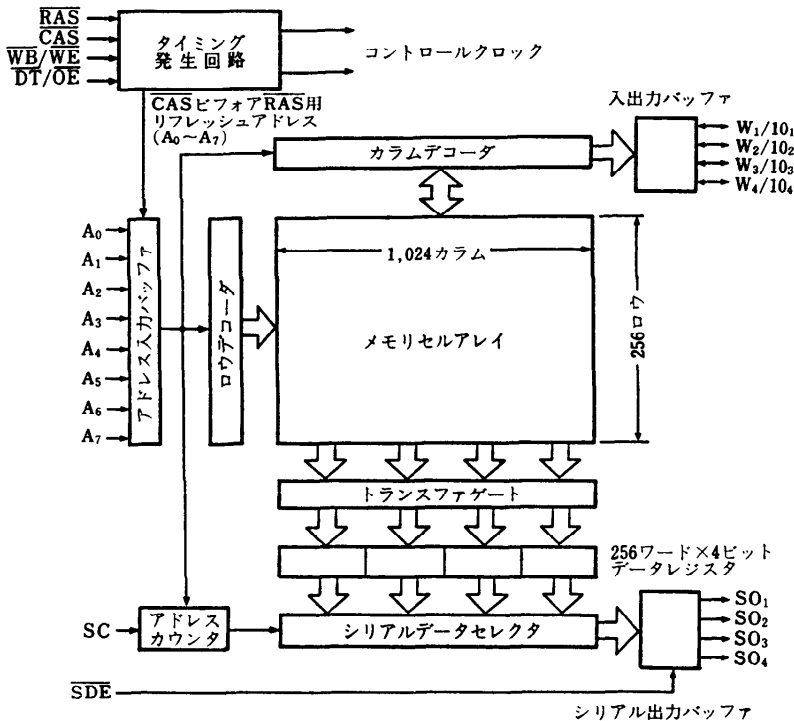


図-8 デュアルポートメモリのブロック図<sup>1)</sup>

レジスタに一時にセットされ、その後、クロックごとにアドレスの小さい方から順に、高速タイプで4ビット/40 ns の速度で256 回読み出すことのできるシリアルポートが用意されている。16 個のデュアルポートRAM を単位にし、1 メモリアクセスで256 ワード×64 ビットのデータをデータレジスタに保持させ、60 ns ごとに64 ビットをシリアルポート側から表示データを読み出すようにすれば、768×512 サイズ画像のフルカラー表示のためのメモリアクセスは15.36 μs に1度と大幅に軽減され、表示のためのアクセスの影響をあまり気にせずに画像を処理するためのランダムポート側のアクセスが行える。

画像表示のためのメモリ構成を述べたが同じことがTV カメラからのデータ入力に対しても起こる。この場合、読み出し用のシリアルポートの代わりに書き込み用のシリアルポートが必要になる。

グラフィックス処理で、ワイヤフレームを求めシェーディング処理を行う処理ではデータの書き込みはある程度ランダムなメモリアクセスが行われる。たとえば512×512 サイズのフルカラーの画像を1/30 秒ごとリアルタイムで生成したい場合がある。DRAM のR/W サイクルタイム400 ns とすれば、400 ns の時間

内に独立な32 個のアドレスに対し、対応する計算結果の値を書き込めるようなメモリ構成が必要であり、よりインテリジェントなメモリの出現がもたれる。

#### 4. 処理高速化とメモリ

2 章では画像データの容量の観点から LSI メモリの高集積化の動向を述べたが、多量のデータを扱うために起こる処理高速化について考察する。高速化のための要因として、ハードウェア的にはデバイスの性能向上、並列処理アーキテクチャの採用、ソフトウェア的にはアルゴリズムの最適化がある。ここではハードウェア面を述べる。

図-9 はマイクロプロセッサの性能向上を年次を追ってプロットしたものである。命令実行時間からみれば10 年間に10~20 倍の改善がなされ、加えて、4 ビットから32 ビットへ機能の向上が図られた。これは、LSI のデバイス技術、微細加工技術の進歩に支えられてきた結果である。また、処理高速化を目指して、これまで数多くの提案がなされてきた画像処理用並列アーキテクチャがある。図-10 は画像処理プロセッサとしてこれまで提案、試作、開発されてきたデバイスあるいはシステムを年次を追ってマップしたものである。

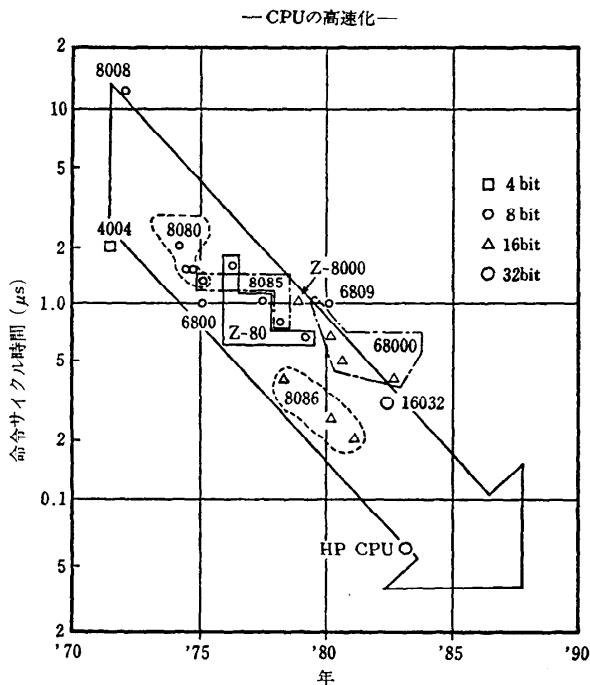


図-9 マイクロプロセッサの性能

これらの並列処理アーキテクチャはデバイスの高集積化技術により、1 個の VLSI チップあるいはそれを並べた形態で実現可能になっており、いくつかはすでに実現されている。プロセッサの処理能力が向上した結果、メモリからのプロセッサへのデータ供給が十分でなくなってきたのが現状である。

図-10 に示したプロセッサはアプローチ別に次のように分類される。画像の性質に着目し、個々の画素あるいは部分画像を一つのプロセッサに割り当て、2 次元状にプロセッサを配置させた画素並列のアプローチ、近傍の画素をみただけで画像前処理のほとんどが可能と考える局所並列のアプローチがある。また、時分割により高速化しようとするパイプライン技術、その発展形として可変パイプラインのアプローチ、ストリックアレイのような空間並列とパイプライン並列を組み合わせたアプローチがある。

① 画素並列では、 $10^4$  個あるいはそれ

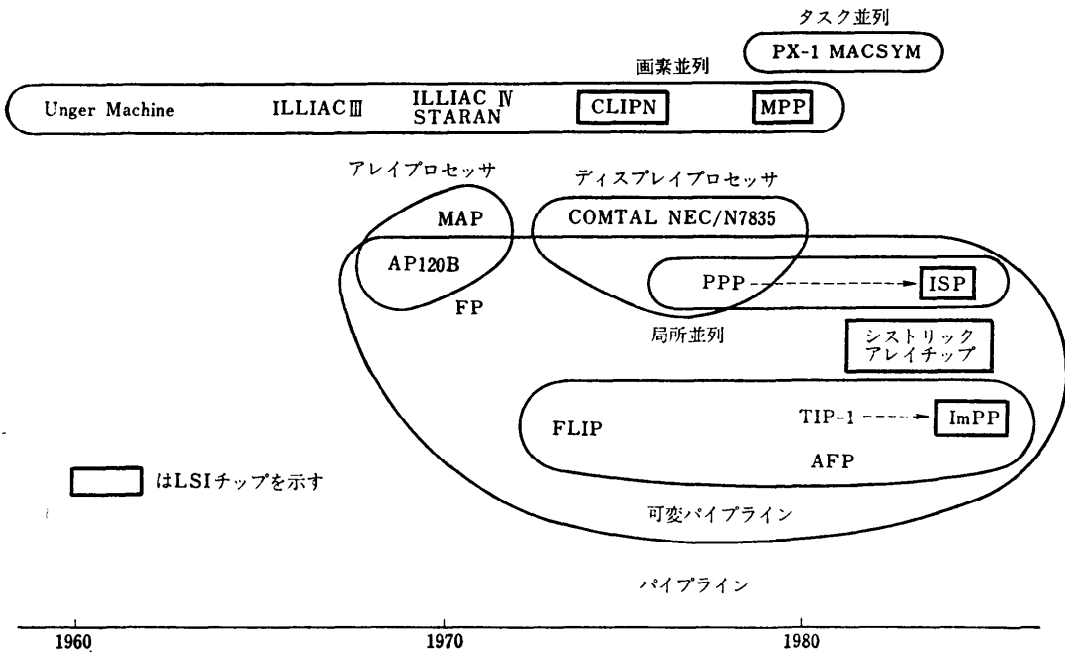
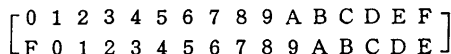


図-10 画像処理プロセッサの動向<sup>9)</sup>

以上のプロセッサが同時動作するには、共有メモリでは対応できない。そのため、プロセッサ個々にメモリを接続し、一つのプロセッサ、メモリを1モジュールとして構成される<sup>7),8)</sup>。画像処理の多くが近傍画素を参照することで済むため、近傍プロセッサ間のみがバスで接続される<sup>9)</sup>。しかしながら、画像の回転、移動など、離れた画素を参照して処理を進める場合もあり、近傍間の接続があるだけではデータ転送に時間を費してしまうことも起こる。改善する方法として、モジュール間にネットワークが用いられる。

一例として、多段スイッチングの一つ、Ωネットワークを紹介する。図-11は入力ポート、出力ポートそれぞれ16組ずつもつ4段のスイッチングで構成されるΩネットワークであり、4段×8個のスイッチが配置される。各スイッチの動作は同時に入力される制御フラグにより、入力ポート a, b を出力ポート c, d に接続するか、逆に出力ポート d, c に接続するかが切り替えられる。

上段を入力ポート番号、下段を行き先の出力ポート番号として、入力されたデータを若い番号のポートへ1シフトする接続は次のように表される。



データがスイッチに到着したときスイッチングに用

いられるフラグは16進表現での上位～下位の4つのビットが第1段～第4段のフラグに対応させるとすると次のように表される。

[1 3 1 7 1 3 1 F 1 3 1 7 1 3 1 F]

これは入力ポート番号の16進表現と出力ポート番号の16進表現の対応するビット同志の排他的論理和により導出され得る。このΩネットワークの接続能力は、全ての置換が可能ではなく、シフト、反転、シャフルなどある程度制限される。このようなネットワークを用いることにより、あらかじめ決められたメモリとプロセッサ間のデータ転送が並列性をそこなわず行うことができる<sup>10)</sup>。

メモリの集積度がさらに向上すれば、マルチプロセッサへの並列データ供給のため、このようなネットワーク機構のメモリチップへの内蔵も期待されよう。

② 図-12は局所並列処理システムの例である。各画素の処理は、たとえば隣接する8画素とともに3×3の9画素によってなされ、中心画素をラスタ走査させるようなデータアクセスが行われる。このような処理では同一データが9回用いられ、そのたびにメモリへアクセス要求がなされると、メモリアクセス回数が極端に大きくなる。このため、プロセッサの前段に3行分のシフトレジスタが置かれる。シフトレジスタの先端部は3画素同時に読み出せるようにし、あふれ出た

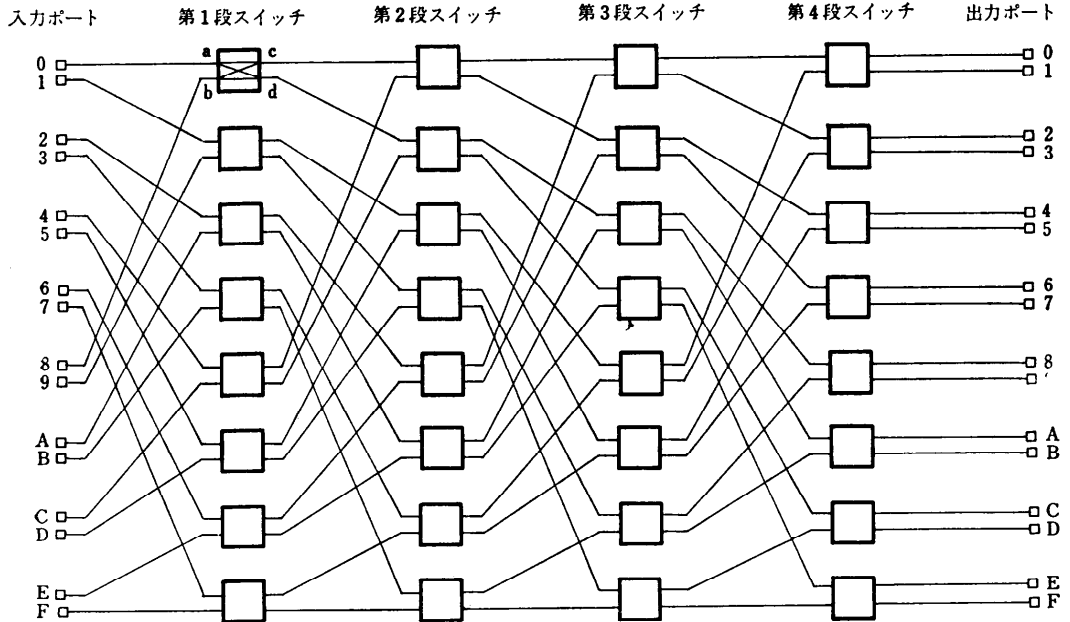


図-11 オメガネットワーク

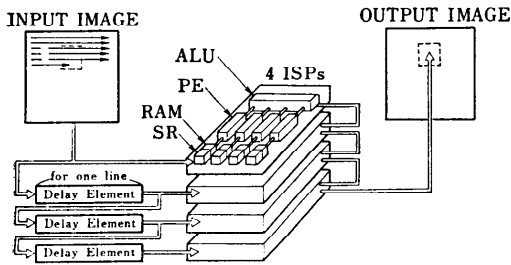


図-12 局所並列処理システム<sup>11)</sup>

データは次の段のシフトレジスタに入力される。このようにして3行3列の9画素データが同時に読めるようにされる<sup>11), 12)</sup>。

③ パイプライン処理では、主としてプロセッサ間をレジスタ経由で接続する。ときには、過去のステージでメモリへ保持した内容を読み出して使うような場合もありパイプラインサイクルの半分の周期で書き込みあるいは読み出しが要求され、高速メモリが必要となる。

④ 可変パイプライン方式では、2項キュー、キューが多用される<sup>11), 12)</sup>。2項キューは通常メモリが用いられ、その制御用として高速メモリが必要になる。高速メモリではパイプラインサイクル中に、データの読み出し、加算、比較などの演算処理、結果の書き込みがなされなければならない。3項以上のキューについては、今のところよい制御方法が見つからない

ため、3項以上の演算は2項演算いくつかを組み合わせることで実現されている。連想メモリなど3項以上のキューが利用できるようなになれば処理機能の向上も図れると期待される。

## 5. むすび

1970年代まで画像処理は非常に高価なもので、システムも大規模なものであった。その中で、特に文字認識のような小さい画像を扱う応用分野を中心に発達してきた。現在では、大容量ファイルの実現、特にLSI技術の進歩により、512×512サイズの画像についてはかなりコンパクトなシステムを用いて、ある程度の処理が短時間のうちになされ得るようになった。社会からの視覚処理を望むニーズも成長しており、これから急速に開花する分野であろう。

本稿では、画像処理システムをメモリ利用という観点から、特にメモリの容量、表示機構、メモリからの高速データ供給を中心として解説した。システム実現時に起こる問題のうち、いくつかはすでに開発され、いくつかは近い将来開発されるであろうと思われる。より小型、高性能な画像処理システムの構築が進めば、情報処理系のかかなりの部分を占める視覚系処理が活発化する。メモリを始めとするデバイス技術がさらに発展し、パターン処理技術を支え、視覚処理が簡便に使える世界を期待したい。



## 参考文献

- 1) 岩下正雄他：画像の高速処理手法，テレビジョン学会誌，Vol. 39, No. 9, pp. 791 (1985).
- 2) 川又 晃：メモリ特集/1. 総論，信学会誌 Vol. 67, No. 11, pp. 1134 (1984).
- 3) 日本電気編：IC メモリ，NEC デバイスセミナー資料，8602300 p (1986).
- 4) 溝口正典他：パーソナルコンピュータでの画像処理，情報処理学会.
- 5) 田村：画像処理技術講座第4分冊画像処理システム，工学研究社 (1984).
- 6) 天満 勉：画像処理用のプロセッサ，情報処理，Vol. 25, No. 9, pp. 909 (Sep. 1984).
- 7) Duff, M. J. B.: Review of the CLIP Image Processing System, Proc. NCC, pp. 1055 (1979).
- 8) Strong, J. P. et al.: The Massively Parallel Processor and its Applications, Proc. 13th Int'l Symp. Remote Sensing of Environ., pp. 37 (1979).
- 9) 森他：並列画像演算装置の試作，電子通信学会パターン認識と学習研究会技術研究報告，Vol. PRL 76-86, pp. 29 (1977).
- 10) 福島他：画像処理用 LSI-ISP のアーキテクチャ，情報処理学会コンピュータビジョン研究会，No. 26-6 (1983).
- 11) 天満他：可変パイプライン方式の画像処理プロセッサ TIP-1，信学会論文誌 D, Vol. J 68-D, No. 4, pp. 853 (1985).
- 12) Temma. et al.: Data Flow Processor Chip for Image Processing, IEEE Trans. on ED, Vol. ED-32, No. 9 (1985).

(昭和61年4月3日受付)