

解 説

3. アーキテクチャ



3.5 シストリックマシン†

土 肥 康 孝††

1. ま え が き

LSI 技術の発展は目ざましく、数十万のトランジスタを1チップにしたマイクロプロセッサが実現されている。このVLSI技術を積極的に利用して計算時間が非常にかかる画像処理などを高速に演算するアルゴリズムをVLSI上で実現することが種々提案されている。これらはパイプライン方式を取り入れることにより高速化をはかっており、H. T. Kungらの提案したシストリックアルゴリズム¹⁾は代表的なものである。このアルゴリズムの特徴は、わずかな種類の簡単なセルを規則的に配列し、データの送受は隣接したセル間のみで行い、データと制御の流れを単純に規則的にして全体を同期させて演算を行わせることである。シストリックマシンという言葉は直接文献上で使用されていないが、H. T. Kungらは、後で述べるWarpマシン^{13)~19)}をシストリックアレイマシン、シストリックアレイコンピュータ、シストリックアレイプロセッサと呼んでいる。S. Y. Kungはデータフロー型のシストリックアレイをウェーブフロントプロセッサ^{5), 6)}と呼び区別しているが、ここではこれらをまとめてシストリックマシンということにする。ただ専用アレイと区別するため、セルがプログラマブルであり、アレイの構造がある程度可変で、多くのアルゴリズムを実行できるものをシストリックマシンと呼ぶことにする。

2. シストリックアルゴリズム

シストリックアルゴリズムの原理を説明する。詳しくは文献1)~4)に解説されている。

2.1 特 徴

高速の演算にはメモリの速度の限界がボトルネックになる。一つの解決策はパイプライン方式であり、同

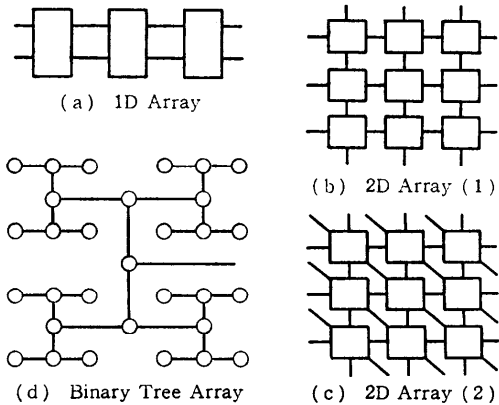


図-1 シストリックアレイの例

じデータを多数回使用するか、演算の中間結果をメモリを介せず直接次の演算装置に渡すことである。シストリックアルゴリズムはパイプラインの利点を積極的に利用している。TIP²¹⁾や章駄天²²⁾では、異なる高機能の処理装置をパイプライン化することで高い処理能力を得ているが、シストリックアルゴリズムでは簡単な機能のセルをごくわずかな種類を用意して、これを規則的に多数配列して、高速の演算を行わせるものでパイプラインの段数が非常に多い。

シストリックアレイは、つぎの特徴がある。

(1) わずかな種類の簡単なセルを規則的に配列する。簡単なセルの配列であることは設計やデバッグを容易にする。

(2) データと制御の流れが単純で規則的である。図-1のように1次元や2次元配列に規則的に並べられたセルは、隣接するセルからデータと制御を受け取り、隣接するセルに渡す。データと命令のブロードキャストをなくしたことで、非常に多くのセルを並列動作させることができ、高度にパイプライン化ができる。

(3) アレイの計算能力の大きい割にはホストの負担が少ない。計算能力を大きくするためアレイ内部の

† Systolic Machine by Yasunori DOHI (Department of Electrical & Computer Engineering, Faculty of Engineering, Yokohama National University).

†† 横浜国立大学工学部電子情報工学科

セル間のデータのパスが多く転送される全データ量は多いが、ホストとアレイ間のデータの授受は、アレイの周辺セルとの間で行われるため、ホストの負担が少ない。

シストリックは、クロックによる同期であるが、アルゴリズムではセルのデータがそろった時点で処理を始めると考えることができるのでデータフロー型と見てもよい。S. Y. Kung は、ウェイブフロントアレイ^{5),6)} (Wave Front Array) と呼んでいる。さらに共通なデータについてはバスを利用しようとするバス付きセル配列も VLSI アルゴリズム⁴⁾ として提案されている。MPP⁷⁾ や AAP⁸⁾ などアレイ型の画像プロセッサがあるが、制御が集中しているため、シストリックから除いておく。

2.2 原理と例

シストリックアルゴリズムの原理をつぎの式で表されるコンポリューションで説明する。

$$Y_t = W_1 X_t + W_2 X_{t+1} + W_3 X_{t+2}$$

図-2 上部の1次元に並んだ三つのセルは、1サイクルごとに、左のセルからデータ X, Y を受け取り計算後、右のセルにデータを渡す。セルの機能は、 $Y_{in} + X_{in}$ W を計算し Y_{out} に出力する。 X_{in} は一度バッファ X_d に入れられて、つぎのサイクルで X_{out} に出力される。重み W_1, W_2, W_3 は、右中左のセルに順に記憶されている。左端のセルから $X_3, X_4, X_5, X_6 \dots$ (データ) と $Y_1, Y_2, Y_3, Y_4 \dots$ (Y の初期値はゼロ) と1サイクルごと一つずつ順に入力される。3サイクル後右端のセルから $Y_1, Y_2, Y_3, Y_4, \dots$ と順に計算結果を得ることができる。図-2 下部は、サイクルごとのデータの動きを示している。X と Y のパスの速度が1だけ(ディレイの数)異なることで、Y が必要なデータ X をピックアップできるので速度の違いは重要である。

図-3 の場合は、X と Y が反対方向に進む。X と Y が出会うためには、1サイクルごとにダミーのデータを入れる必要がある。サイクルごとのデータの動きを図-3 下部に示す。

ここでは、1次元アレイの簡単な場合を例にして説明したが、セルの機能を変え、データの動きをうまくきめれば、種々なアルゴリズムを実現できる。図-1 にしめすセルの配列で実現できるアルゴリズムの例をつぎにあげる。

- (1) 1次元アレイで実現できるアルゴリズム
1次元から多次元のコンポリューション、有限イン

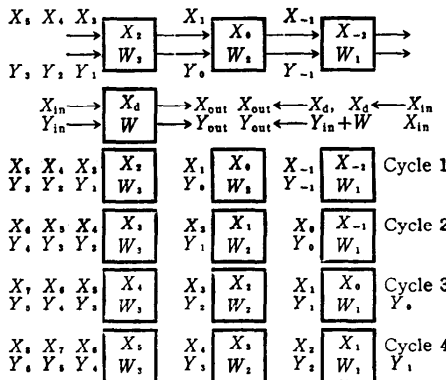


図-2 1次元コンポリューション(1)のデータの動き

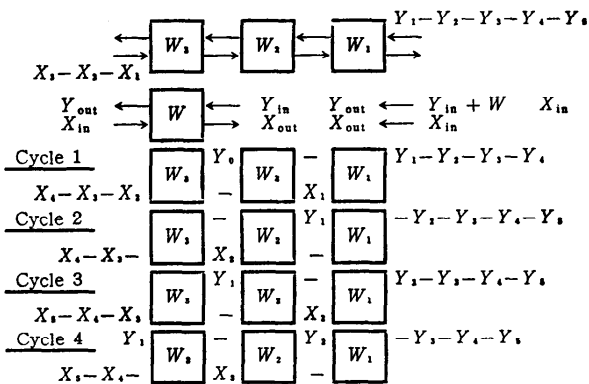


図-3 1次元コンポリューション(2)のデータの動き

パルス応答フィルタ、再帰型フィルタ、多項式の乗算・除算・評価、ソーティング(バブルソート、スタック、キュー、リバウンドソート、パイプラインソートマージ、ヒープソート)、メジアンフィルタ、パターンマッチング、行列ベクトル積、DFT (Discrete Fourier Transform), GCD (Greatest Common Divisor) およびリードソロモン符号の復号。

- (2) 2次元アレイで実現できるアルゴリズム
ソーティング (バイトニックソートなど)、パターンマッチング、行列の積、LU 分解、1次方程式の解法、FFT。
 - (3) 2分木アレイで実現できるアルゴリズム
ソーティング、プライオリティキュー。
- このほか FFT などで用いられるシャフル・イクスチェンジなどがある。バイトニック・ソートなどシストリック以前のものにもシストリックアルゴリズムと解釈できるものが含まれている。

2.3 セルの実現方法

シストリックセルとして、個々のアルゴリズムに適した専用の LSI を用いるほかに、種々のマイクロプロセッサを使用することも考えられる。

セルとして汎用のマイクロプロセッサ (Z80, 8086, 68000 など) を用いる場合、マイクロコードレベルでプログラムできないので簡単な処理でも数サイクルかかる。ポートもアドレス用とデータ用の二つのポート (実際はバス) しかなく、命令やデータの読みだしに使用されるため I/O が重大なボトルネックになる。

デジタルシグナルプロセッサ DSP (NEC 7720, TMS 320, HSP など) の場合は内部にプログラムメモリとデータメモリをもち、パラレル乗算器をもっていて、積和とアドレスレジスタのインクリメントを同時にできるなどかなり内部では並列動作を取り入れているが、信号処理以外で使用しようとする、構造があまりに専用化されていて使いにくく、さらに汎用のマイクロプロセッサと同じく I/O のボトルネックがあり、シストリックアレイのセルとして適しているとは言えない。

しかしながら、通信機能を強化したプロセッサの場合 (たとえばトランスピュータ) では、その入出力機能をうまく使えば、I/O のボトルネックをある程度解消できセルとして使用することも可能と思われる。

VLSI でシストリックアレイのセルを作製することは、セルの最適化が容易なため、限定したアルゴリズムの実現に向いており、これまで種々の VLSI が実現されてきた。しかし必要としたときから設計して完成するまで期間がかかるため、セル用の VLSI を開発することはそれほど簡単ではない。この期間を短縮し VLSI によるシストリックアレイを実現しやすくするため、汎用のシストリックアルゴリズム用 LSI として PSC (Programmable Systolic Chip) が開発された。

3. シストリックマシンの例

マイクロプロセッサをセルに用いたものは多いが、比較的初期の例として NOSC のシストリックアレイ⁹⁾と、汎用のシストリックアルゴリズム用の LSI チップとして設計された PSC^{10), 11)}を紹介する。さらに高速のシストリックアレイには 1981 年の ESL¹²⁾のものがあるが、機能がより高い Warp¹³⁾⁻²⁰⁾マシンを紹介する。

3.1 マイクロプロセッサによる実現

NOSC (Naval Ocean Systems Center) がマイクロプロセッサをセル (SPE: Systolic Processor Element と呼んでいる) とし、セルを 8×8 の 2 次元にならべ、縦横斜めの 3 方向 6 ポートで結んだシストリックアレイを試作し行列演算を行わせた。セルは Intel 8031 MPU, 32 ビット浮動小数演算の 8231 APU, プログラムメモリに 4 KB の EPROM, データメモリに 1 KB の RAM, セル間の通信にビットシリアルな 6 個の I/O ポートを持つ。インタフェースから与えられるコマンドにより EPROM 内のルーチンを読みだし実行する。周辺回路により、1 次元のアレイにすることもできる。ビットシリアルにして I/O を簡単にしているので種々のセル間の通信ができる反面、速度が遅くなるので通信がネックになる。

3.2 プログラマブル・シストリックチップ (PSC)

H. T. Kung らは、汎用のシストリックアルゴリズム用 LSI (PSC: Programmable Systolic Chip) 開発プロジェクトを 1981 年 10 月から始め、Mead-Conway²⁰⁾流で LSI を設計し、DARPA の MOSIS システム (全米の大学をユーザとする VLSI 製造サービスシステム) で NMOS 25000 トランジスタ 74 ピンの LSI を作った。

PSC の目標は、(1)制御をローカルにできかつ柔軟性のあること、(2)チップの数が少ないこと、(3)基本演算として高速の乗算を持つこと、(4)セル間の通信の能力を高くするため幅の広い I/O ポートとデータバスを持つこと、(5)内部で高い並列処理を行いその制御を容易にするため水平マイクロプログラムを採用すること、(6)用途と LSI の大きさにあったデータの語長であることである。

PSC の構造を図-4 に示す。60 ビット 64 語のマイクロコード用 DRAM, レジスタファイルとして 9 ビット 64 語のデータ RAM, 8 ビットの ALU, 8 ビットの MAC (乗算累算), 9 ビット幅の入力ポート三つと出力ポート三つがあり、三つの内部バスに接続されている。

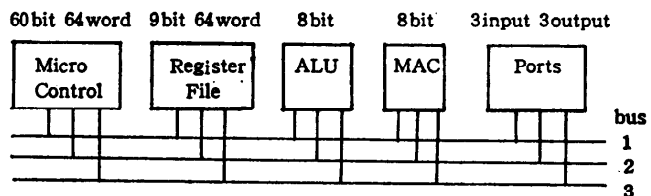


図-4 PSC のバスの構造

データ語長はチップを小さくするため8ビットとするが、データバスを9ビットにしてある。9番目のビットをタグや制御情報として使用する。またガロア体 $GF(257)$ 上のリードソロモン符号を表すのにこのビットを使用している。また、倍長精度の演算にも使用できる。三つの入力ポートと三つの出力ポートはセルを縦横斜めに接続して、行列の積や LU 分解²⁰⁾をするのに必要なポートの数である。ポートの幅も9ビットであり、8ビットをデータに使用し1ビットを制御に使用する(この1ビットをシストリックコントロールビットと呼ぶ)。

内部の三つのバスで、ALU や MAC と三つのポートを同時に動作させるため、1語 60 ビットの水平マイクロコードとなっている。このマイクロコードで64語のプログラムを作ることができる。マイクロコードはホストからビットシリアルにロードされる。診断用としてすべてのレジスタをシフトレジスタでむすびデータのセットやチェックができる。

PSC の応用として、8ビットの FIR (Finite Impulse Response) フィルタは、その1次元アレイで実現できる。これは一つのマイクロ命令で実行でき、1マイクロ命令は 200 ns で実行できるため、FIR フィルタは 200 ns のサンプルでできることになる。16ビットのデータでは、6マイクロ命令かかり、1,200 ns となる。また $GF(257)$ 上の (256, 224) リードソロモン符号の復号ができる。この復号器はシンドロームの計算、GCD の計算、誤り位置と誤り訂正に合計 112 個の PSC を1次元アレイにならべたものであり、毎秒 8 M ビットの速度での復号が期待できる。ディスクソートにも使用できる²³⁾。

SUN ワークステーションをホストとした9個の PSC からなるシステムが実際に作られ、信号処理のデモが行われた。

このプロジェクトは、シストリックアルゴリズムを VLSI 上に取り入れる一つのインパクトを与えたと考えられる。米国の大学では UCB や MIT で開発された CAD を使い、ツールが十分に整備されていないため高速なものを開発することは難しいが、簡単に IC を作ることができる。PSC の開発においては、200 ns の設計目標に対して、良いもので 700 ns、多くは

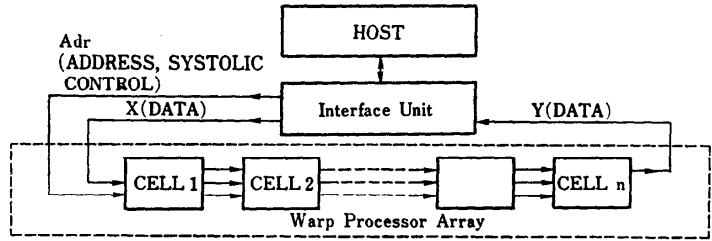


図-5 Warp マシンのシステム図

1,200 ns であった。

しかしながら、自分の IC が作れることは、種々の分野に大きなインパクトを与えている。PSC の経験は Warp のアーキテクチャなどに広く取り入れられている。

3.3 Warp

Warp マシンは、画像処理の分野の高性能なシストリックアレイであり、CMU (カーネギメロン大学) で 1984 年から始まったプロジェクトである。

Warp のシステムを図-5 に示す。ホストは、SUN ワークステーションで、この VMEバスに3台の 68000 とビデオカメラ、ディスプレイが接続されている。インタフェースユニット (IU) は、ホストと Warp セルアレイとの間のデータ変換や通信を行い、Warp セルに対して演算に必要なアドレスとシストリック制御信号とデータを毎サイクル送り出す。各 Warp セルは、10MFLOPS の計算能力と毎秒 20M 語の I/O をもつ。IU は Warp アレイの I/O 要求 (最高 40 Mbyte/sec) をサポートしている。

Warp セルは、マイクロプログラムのロードや例外処理を行う診断部、マイクロプログラムを格納し順序を制御する制御部、データを受け取り処理後送り出すデータ転送部の三つに分けられる。ここでは主にデータ転送部について紹介する。

データ転送部: Warp の1語は、32ビットであり、図-6 に示すようにデータのパスに三つの算術演算装置 (ALU, MPY, Lu) と6つの記憶ブロック (XQ, YQ, AdQ, Mem, A, M) がある。これらがクロスバースイッチで結合されている。クロスバースイッチは、8つの入力ポートと6つの出力ポートをもっている。スイッチの状態をマイクロコードで毎サイクル変えることができる。

ALU と MPY は、浮動小数点演算の加減算と乗算であり7段にパイプライン化され、結果を1命令 (200 ns) ごとに出すことができる。Lu は逆数および平方

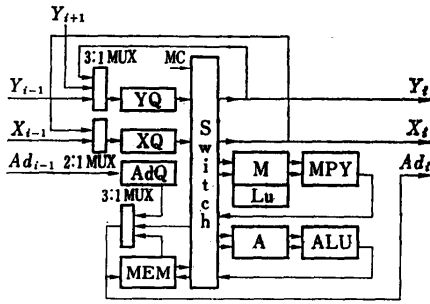


図-6 Warp セルのデータパス

根の逆数を索引する表で、近似値を1回のニュートン法で計算して得る。

AとMは二つの入力ポートと二つの出力ポートをもつ31語のレジスタファイルで、ALUとMPYのオペランドバッファの役目をする。LuはMからデータを与えられ、結果をMにもどす。

MEMは32ビット4K語のローカルメモリで、二つの入力と二つの出力を持ち、1対はデータに、もう1対はアドレスに使用される。毎クロック1回のReadと1回のWriteができる。

XQ, YQ, AdQは128語のキュー(FIFO)であり、データが異なった速度で動くシストリックアルゴリズムでは、重要な働きをする。Adの32ビットの上下16ビットは、おのおのwrite用read用であり、2ビットはシストリック制御用で、14ビットはMEMのアドレスを与える。3:1のマルチプレクサを用いてアドレスを合成して間接アドレスも可能にしている。

入力信号 X_{i-1} , Y_{i-1} , Ad_{i-1} は、左隣のセルから与えられ、出力信号 X_i , Y_i , Ad_i は、右隣のセルのキューへ送られる。出力 X_i と Y_i は自分自身にもフィードバックされる。さらに Y_i は、左隣のセルの Y_{i-1} に送られるので、 Y のみ右から左へ(X と反対方向)のデータ移動も可能である。これにより、1次元アレイで実現できる任意のシストリックアルゴリズムを実行できる。マイクロ命令から定数やアドレスを得ることもできる。

制御部¹⁵⁾: マイクロコードメモリは、112ビット4K語で、コントローラとしてAMD 2910Aを用いている水平マイクロプログラム方式である。分岐の条件として、ALUの符号、ALUの指数部のMSB2ビット(整数の比較)、左隣のセルからのシストリック制御ビット2ビットが使用される。

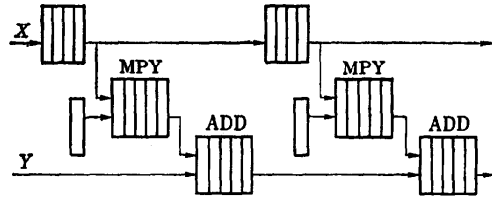


図-7 2レベルパイプラインのシストリックアレイの実現(1Dコンボリューション)

診断部: 各セルの診断部は、グローバルバスをとおして、インタフェース用プロセッサIU(Interface Unit, 図-5参照)につながっている。これをとおしてIUからセルにプログラムがロードされる。実行中にエラーが発生したセルはIUに割り込み信号を送る。IUはこれに回答してクロックをとめ、セルを診断する。

ソフトウェアとして低レベルの言語W2があり、スケジューリング、マイクロ命令のパッキングやメモリ管理を意識せずにプログラムをかくことができる。W2はセル間通信(Send, Receive)のモジュールを持っている。シボリックデバッグや高レベル言語からW2へのトランスレータが計画されている。1985年6月にホストとIUと二つのWarpセルから構成されるプロトタイプの実験が行われた。セルはデスクリートICで構成されている。1命令は200nsで実行され、1Dと2Dのコンボリューション、行列の乗算、1Dと2DのFFT、ヒストグラム、エッジ検出フィルタ、特徴抽出などが行われた。図-7は、2レベルにパイプライン化された1Dコンボリューションを実行する様子を示したものである¹³⁾。データ X は、結果 Y より速く移動するので、 X のパスのディレイは、 Y のパスより一つ少なく、 Y のパスのディレイは、ALUのパイプライン段数である。

同じ性能をもつセルを民間会社2社で製作中であり、1986年中ごろ全システムのデモが予定されている。さらにWarp-2では、クロスバスイッチとレジスタ部分をLSI化したLINCチップ¹⁶⁾や周辺セルを使って、1,000MFLOPSを目標にしている。また、WarpセルをVHSIC計画を用いてシングルチップのVLSIにすることが計画されている。シストリックアルゴリズムでは、アレイの端のセルの機能が他のセルと異なる。Warpの端のセルとして上記の性能をあげたバウンダリプロセッサ¹⁷⁾が計画されている。

4. むすび

ここでは、シストリックアルゴリズムの原理を説明しその実現する方法として、多くのアルゴリズムを実行できるシストリックアレイを、シストリックマシンとして紹介した。シストリックアルゴリズムの考えを含む VLSI アルゴリズムは、DSP の内部などに取り入れられておりますますます重要になると思われる。セルを一つの VLSI 上に多く配列することは、現在歩留まりやコストの面でまだ問題がある。しかし、シストリックマシンは、画像処理など高速な処理の必要な分野ではいろいろの影響を与えていくと思われ、今後が期待される。

参考文献

- 1) Kung, H. T.: Why Systolic Architecture?, IEEE Comput., Vol. 15, No. 1, pp. 37-46 (Jan. 1982).
- 2) 都倉: VLSI アルゴリズムおよび面積時間複雑度, 情報処理, Vol. 23, No. 3, pp. 176-186 (1982).
- 3) 都倉: VLSI 用の行列計算法, 情報処理, Vol. 24, No. 4, pp. 558-562 (1983).
- 4) 吉田, 菊野, 藤井: シストリック配列とバス付きセル配列上のハードウェアアルゴリズム, 情報処理, Vol. 26, No. 6, pp. 613-621 (1985).
- 5) Kung, S. Y. et al.: Wavefront Array Processor: Language, Architecture and Applications, IEEE Trans. Comput., Vol. C-31, No. 11, pp. 1054-1066 (1982).
- 6) Kung, S. Y.: On Supercomputing with Systolic/Wavefront Array Processors, Proc. IEEE, Vol. 72, No. 7, pp. 867-884 (1984).
- 7) Batcher, K. E.: Bit-Serial Parallel Processing Systems, IEEE Trans. Comput., Vol. C-31, No. 5, pp. 377-384 (1982).
- 8) Kondo, T. et al.: A Large Scale Cellular Array Processor: AAP-1, ACM CSC '85, pp. 100-111 (1985).
- 9) Bromley, K. et al.: Systolic Array Processor Developments, CMU VLSI Conference, pp. 273-284, Oct. 19-21 (1981).
- 10) Fisher, A. et al.: Architecture of the PSC: A Programmable Systolic Chip, Proc. 10th Annual International Symposium on Computer Architecture, SIGAECHE Newsletter, Vol. 11, No. 3, pp. 48-53 (1983).
- 11) Fisher, A. et al.: Experience with the CMU Programmable Systolic Chip, Proc. SPIE Symp., Vol. 495, Real-Time Signal Processing VII (Aug. 1984).
- 12) Kulkarni, A. V. et al.: Systolic Processing and an Implementation for Signal and Image Processing, IEEE Trans. Comput., Vol. C-31, No. 10, pp. 1000-1009 (1982).
- 13) Kung, H. T.: Systolic Algorithms for the CMU Warp Processor, CMU-CS-84-158.
- 14) Kung, H. T. et al.: Warp: A Programmable Systolic Array Processor, Proc. SPIE Symp., Vol. 495, Real-Time Signal Processing VII (Aug. 1984).
- 15) Arnould, E. et al.: A Systolic Array Computer, IEEE ICASSP, pp. 232-235 (Mar. 1985).
- 16) Gross, T. et al.: Warp as a Machine for Low-level Vision, IEEE International Conference on Robotics and Automation, pp. 790-800 (Mar. 1985).
- 17) Annaratone, M. et al.: Extending the CMU Warp Machine with a Boundary Processor, Proc. SPIE Symp., Vol. 564, Real-Time Signal Processing VIII (Aug. 1985).
- 18) Kung, H. T. et al.: Global Operation on the CMU Warp Machine, Proc. 1985 AIAA Computers in Aerospace V Conference (Oct. 1985).
- 19) Hsu, F. H. et al.: LINC: The Link and Interconnection Chip, CMU-CS-84-159.
- 20) Mead, C. et al.: Introduction to VLSI Systems, Addison-Wesley (1980).
- 21) 天満, 溝口, 花木: 画像処理プロセッサ TIP の構成とシミュレーション評価, 電子通信学会画像処理工学研究会, IE 81-6 (1981).
- 22) 佐々木, 佐藤, 岩瀬, 後藤: 構造可変型ビデオレート画像処理システム「韋駄天」, 情報処理学会コンピュータビジョン研究会資料, No. 37-1, pp. 9-16 (1985).
- 23) 土肥: 大容量ファイルを整列するシストリックソータ, 電子通信学会論文誌, Vol. J 67-D, No. 3, pp. 281-288 (1984).

(昭和61年5月2日受付)