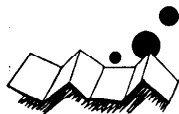


解説

3. アーキテクチャ



3.1 画像処理マシン†

前田 明††

1. まえがき

デジタル画像処理は、アナログ処理に比べ処理が柔軟であること、高精度であること、同一処理を繰返し行えることなどの利点を持ち広く利用されてきた。その反面、二次元状に配置された膨大なデータを扱わねばならないこと、画像処理特有のアクセス方法が必要であること、さらに画素の表現に必要なビット数が一定でないことなどの理由により、現在の逐次型の計算機では高速処理が難しい面がある。しかしながら画像処理は本質的に空間的および時間的な並列性を有しており、並列処理により非常に高い処理性能が実現できる可能性がある。実際これまで並列方式を基本とした種々の画像処理装置が提案され、開発されてきた。

以下において、画像処理のもつ並列性に簡単に触れたあと、これらの並列性を活かした画像処理の基本方式、さらにこれらの方式に基づいたシステムの具体例について解説する。

2. 画像処理における並列性

画像処理の最大の特徴はその空間的に広がった二次元状の画像データを扱うことにある。第一に考えられる並列性は、この空間的に広がった画像の各画素を同時に処理することにより得られる並列性であり、非常に高い並列度が得られる。これを画面並列性と呼ぶ。また各画素に対する処理を細かく見た場合それ自身にも並列性が存在する。たとえば 3×3 の空間フィルタリング処理では、 p_i を画素値、 w_i を重みとすると

$$\sum_{i=1}^9 p_i \times w_i \quad (1)$$

で示される演算を行う。この演算における乗算はすべ

て、さらに加算も部分和を順に求めていくことにより並列に実行することができる。このような並列性を局所並列性と呼ぶ¹⁾。また、画像処理においては、一連の処理を各画素に対して順々に施していく場合が多い。この場合一連の処理のそれぞれに演算装置を割り当て、これらの装置間で次々と画素を転送し処理を進めることにより、装置台数分の並列性を得ることができる。この処理方式は、前二者が空間的な並列性を利用しているのに対し、時間的な並列性を利用しているといえる。

上述の種々の並列性を利用したさまざまなタイプの画像処理装置が開発されている。これらの並列性は互に排他的ではなく、二つ以上の並列性を利用することが可能であり、実際のシステムではこれらが巧みに利用されている。

画像処理における並列性は以上述べたように非常に高いものと考えられる。しかしながらこの並列性を活かすには、並置された演算装置に対し画像データを間断なく供給し、その稼働率を高く保つ必要がある。一般に並列度が上がれば上がるほど、演算装置にデータを供給することが困難となり、並列性を十分活かすためには高速なデータの供給手段がきわめて重要となる。

3. 並列画像処理の基本方式

前章で述べた並列性を利用し、さまざまなタイプの並列方式が考えられている。これらを大きく分類すると、空間的な並列性を利用した(1)完全並列処理方式と(2)局所並列処理方式、時間的な並列性を利用した(3)パイプライン方式、柔軟性の高い(4)マルチプロセッサ方式の4つに分けることができる²⁾。以下、各方式の概要、特徴などを説明する。

(1) 完全並列処理方式

前章で説明した画面並列性を利用し、演算要素を画素対応に二次元状に配置して、同時に全画素を処理す

† Image Processing Machines by Akira MAEDA (Information Systems Laboratory, R&D Center, Toshiba Corporation).

†† (株)東芝 総合研究所情報システム研究所

る方式である。通常、演算要素はデータ転送のため隣接する要素と互に接続されている。この方式を画像のもつ空間的並列性を完全に利用しているという意味で、完全並列処理方式と呼ぶ²⁾。この方式では膨大な数の単純な演算要素を用い、SIMD型の制御方式を採用する場が多い。このタイプに属するMPP³⁾の演算要素は図-1に示すように、1ビットの加算器を中心に6個の1ビットレジスタ、可変長シフトレジスタからなる。演算はA、B、Cのレジスタを用い、ビットシリアルに実行され任意ビット長の演算が実行できる。P、Sレジスタは隣接要素との結合に、Gレジスタは実行制御に用いられる。

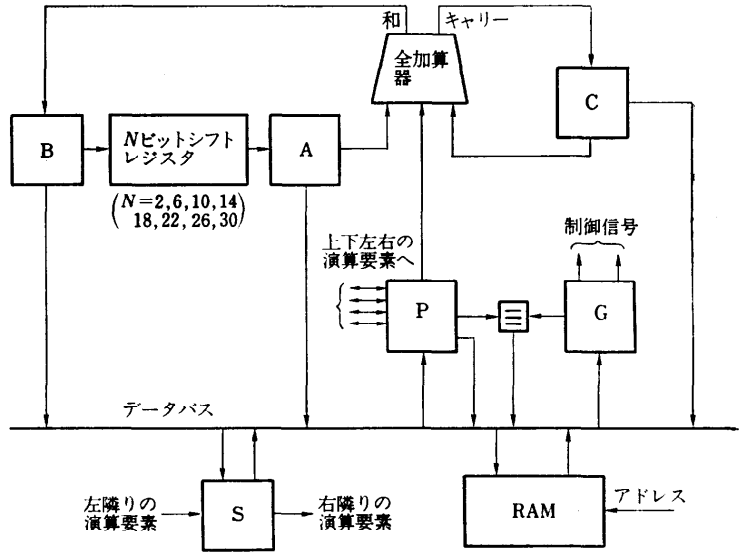


図-1 MPPにおける演算要素の構成

この完全並列処理方式のシステムは、先にあげたMPPのほか、DAP⁴⁾、AAP⁵⁾、CLIP-4⁶⁾さらに通産省が進めている大型プロジェクト「科学技術用高速計算システムの研究」の中で開発中のCAP⁷⁾などがある。このタイプの装置は、画像処理における完全並列性を十分に活かせる反面、一般にSIMD型の制御方式からくる柔軟性の欠如、各演算要素に画像を分配するためのオーバーヘッド、さらには互に離れた要素間でのデータ転送に時間がかかるなどの問題点の解決が課題と考えられる。

(2) 局所並列処理方式

各画素をその局所並列性を利用して処理し、この処理を全画像に対し順々に施していく方式である。空間フィルタリングの例では、図-2に示すように一つの画素(Aで示す)の周辺3×3の画素(これを窓と呼ぶ)を用いて、(1)式に従い計算を行い、この窓を1列ずつ右にずらしながら画像全体に対する処理を進めていく。この処理の局所並列性を効果的に活用するには、処理に必要な画素を絶えず演算器に供給してやる必要がある。上例では窓を構成する画素を同時にアクセスする必要がある。これを実現するためさまざまな工夫がなされているがその一例を図-3に示す。この例では画像3行分のシフトレジスタによるラインバッファを設け、左端から順に画素を入力することにより、各ラインバッファの右端の3画素に、計9画素の

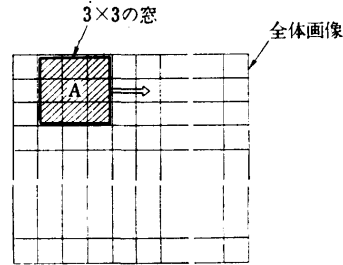


図-2 局所並列型処理方式

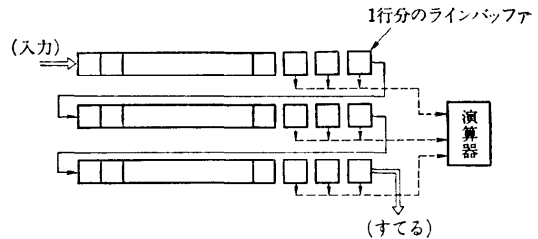


図-3 局所並列型処理装置における画像アクセス

窓に相当する小画像が次々と得られる。

この局所並列処理方式では実行できる処理があらかじめハードウェアで決っており柔軟性に乏しいという欠点はある。しかしながら比較的簡単に実現できるため実用化レベルに達しており、多くのシステムが試作あるいは商品化されている。この局所並列性を利用しているシステムに、TOSPIX⁸⁾、IP⁹⁾、CYTECOMPUTER¹⁰⁾、章駄犬¹¹⁾などがある。

(3) バイプライン方式

画像の基本的な処理を行う演算器を直列に接続しパイプラインを形成し、このパイプラインの中を次々と画素を転送していくことにより処理を進める方式である。この方式は制御および演算器相互の接続が比較的単純で、処理速度もデータの転送速度と同じで非常に高速なものが実現できる。反面、演算器が構成するパイプラインの流れに従わない処理は実行できないなど、柔軟性に乏しいという欠点がある。この欠点を改善するためパイプラインを可変にする工夫をしたものも提案されている。このパイプライン型に属するシステムに、韋駄天、CYTECOMPUTER、FLIP¹²⁾ などがある。

なお、このパイプライン方式に属するものとして Kung らの提案しているシストリックアレイがあるが、本並列処理特集の 3.5 に詳しいのでここでは取り上げない。

(4) マルチプロセッサ方式

先に説明した(1)~(3)のタイプの方式は、ハードウェアレベルで画像処理に特化されており、一般に柔軟性に乏しいという欠点がある。そのため、複数の演算モジュールあるいは汎用のプロセッサを結合した柔軟性のより高いマルチプロセッサ型のシステムが提案されている。まだ接続されるモジュールの数はそれほど多くはない。しかしながら各モジュールはそれぞれ任意にプログラムでき、さらに相互の転送もバスやクロスバー方式などにより自由にできるものが多く、柔軟性に富んだものとなっている。このマルチプロセッサ方式のシステムには、MACSYM¹³⁾、SPARC¹⁴⁾、ZMOB¹⁵⁾、さらに通産省の進めている大型プロジェクト「科学技術用高速計算システムの研究」で開発中の VPP¹⁶⁾ などがある。

このタイプのシステムは今後、条件分岐を必要とするような高度な処理に活用されていくと思われる。プログラミングの問題、多数のプロセッサの柔軟な接続方式などが今後の課題として残されている。

このマルチプロセッサタイプにデータフロー方式のものも含まれるが、本特集 3.7 に詳しく述べられており、またこの方式を画像処理に適用したシステム TIP-1 の詳細が本学会誌¹⁷⁾で解説されているため、ここでは取り上げない。

4. 並列画像処理マシンの実例

3章では並列画像処理マシンの4つのタイプを説明

した。実際の画像処理装置は必ずしもこれらの4つのタイプの一つに分類されるわけではなく、システムの特徴をどう捉えるかにより異なるタイプのものに分類されることもある。本章では主たる特徴がそれぞれのタイプに属する画像処理装置の中から、

- (1) 完全並列処理型…CAP
- (2) 局所並列処理型…TOSPIX-II
- (3) パイプライン型…韋駄天
- (4) マルチプロセッサ型…VPP

を取り上げ、システム構成、特徴などを説明する。

4.1 完全並列処理型プロセッサ CAP

CAP (Cellular Array Processor) は PE (Processor Element) と呼ぶ非常に単純な機能をもつセルを二次元状に配置した SIMD 方式の並列処理プロセッサであり、その全体構成を図-4(a)に、演算を行うセルアレイ部の詳細を同図(b)に示す。画像データは記憶装置内に格納され、処理対象となる画像が右端の I/O バッファを介して全 PE に分配される。全 PE は制御部から送られる命令に従い全画面並列に処理を行い、その結果を左端の I/O バッファを介してもとの記憶装置に戻す。以上が CAP における基本的な処理手順である。その他、柔軟な画像の分配を可能にするため上端および右端のブロードキャストバッファからそれぞれ列単位、行単位の PE にデータをブロードキャストする機能もあわせ有している。

一般にセルアレイ方式では、各セルは隣接する4つまたは8つのセルと接続されている。4つでは転送能力が不十分で転送ネックとなることがあり、また、8つではセル間の接続が複雑になることがある。この問題を解決するため CAP は、図-4(b)に示すように、セルアレイを Pセルと呼ぶ演算を行うプロセッシングセルと Sセルと呼ぶデータ転送を行うスイッチングセルの2種のセルより構成している。この二つのセルを設けたことにより CAP は、

(1) Pセル自身の持っている4つのポートを用い、Sセルを介して周囲8つのPセルとデータ転送できる。

(2) データ転送をPセルとは独立したSセルにより行えるため、演算と転送のオーバーラップ、データ転送用の高速クロックの利用、ができる。

などの利点を有している。特に(2)の機能によりセルアレイのサイズより大きな画像に対しても、その画像を小画像に分割し、これらの小画像に対する処理と転送をパイプライン的に行うことにより、効率良く処

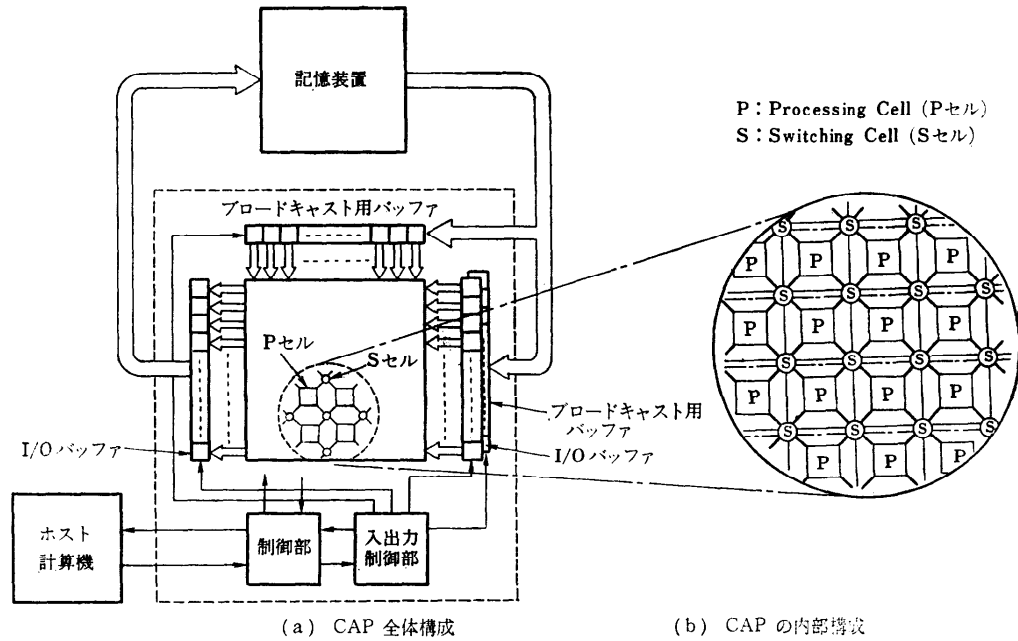


図-4 セルアレイプロセッサ CAP

理を進めることができる。この方式をブロックパイプラインと呼んでいる。

PセルはALU、制御レジスタ、レジスタファイルおよびRAMなどから構成されている。一方、Sセルはビットシリアルな転送を基本とし、Pセル間での転送を行うデータパスと、外部の記憶装置との入出力を行うシフトレジスタパスの2種類のパスを持っている。

CAPはSIMD方式を採用している。一般に、この方式の画像処理システムは全PE(演算要素)が同一の命令を実行するため、演算の種類や各セル内でアクセスするメモリの番地が同じとなり、データにより演算の異なる場合などに十分な柔軟性が得られない。この欠点を避けるため、CAPでは、命令やレジスタに対するアドレスを各セル内に設けたフラグの状態により修飾する機能を持たせている。たとえば、同一の命令をセルにより加算命令、減算命令、転送命令などと解釈したり、さらにある条件を満たしたとき(たとえばオーバフローを検出したとき)に以後の命令をNOPと解釈し、演算を停止させたりすることができる。これらの機能により絶対値を求める演算や浮動小数点加算など、値により処理手順の異なるものも効率よく処理可能となっている。

4.2 局所並列型プロセッサ TOSPIX-II

画像プロセッサ、画像メモリなどを4本の画像バス

で結合した TOSPIX-II のハードウェア構成を図-5に示す。画像プロセッサは、局所並列性を利用して画像処理を実行するモジュールであり、画素間演算およびデータ変換、フィルタリング演算、積和演算の3種類用意されている。処理目的に応じ、必要なモジュールを画像バスで結合した専用システムを構成することができる。画像メモリは 512×512 (1024×1024 まで拡張可)のものを最大8枚まで接続でき、各メモリ内に備えられたアドレス制御回路により、二次元領域の画像データを画像プロセッサに次々と供給することができる。処理制御部は上記ハードウェアを制御するモジュールで、画像バスとは別のバス(マルチバス)を介してコマンドが出せるため、画像処理と制御を並行して実行することができる。4本の画像バスはそれぞれ独立に動作し、各モジュールは必要に応じこのバスを介して画像データを転送する。このバスは同期制御方式を採用しており、オーバヘッドの少ない高速転送が実現できる。

この TOSPIX-II における画像処理の例を図-6に示す。今、仮に、二つの画像メモリ M_1, M_2 に格納されている画像の画素同士の演算を行い、結果をほかの画像メモリ M_3 に格納するとする。この場合、まず処理制御部がマルチバスを介して必要な制御情報を画像メモリ M_1, M_2 と画像プロセッサに送り起動をかけ

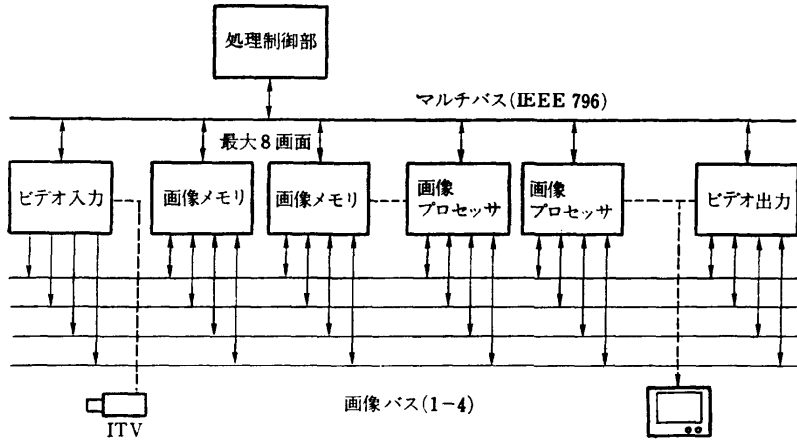


図-5 TOSPIX-II ハードウェア構成 (文献8) より

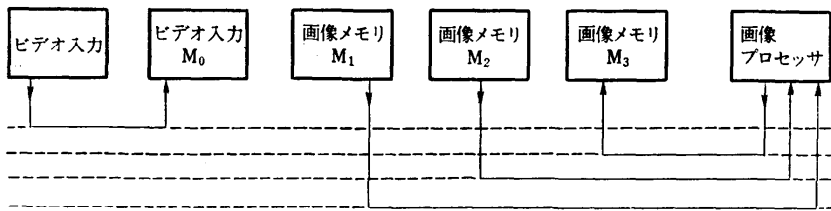


図-6 画像処理の実行例

る。その後は画像メモリ M_1, M_2 が必要データを順々に画像プロセッサに送り、画像プロセッサは演算結果を M_3 に次々と送りつける。これらの画像データの読み出し、演算、結果の書き込みがパイプライン的に進められるため、画像プロセッサは局所並列性を十分に活かすことができ、高い処理効率が得られる。実際、 512×512 の画像に対する基本的な処理はほぼ $1/30$ 秒以内で実行でき、ビデオレートでの処理が可能である。なお、同図に示すように上記の処理と並行して、残りの1本の画像バスを用い、画像の入力を同時に行うこともできる。

以上のように、TOSPIX-II では複数本のバスを用いることにより、さまざまな形態でのデータ転

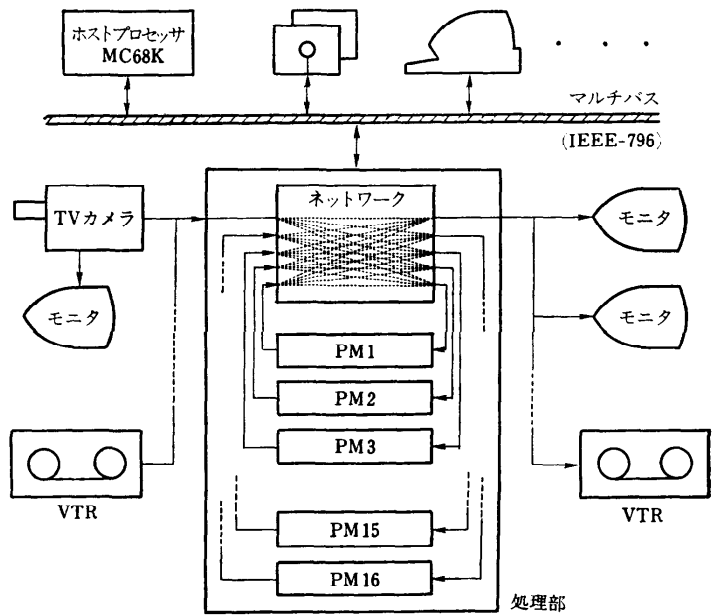


図-7 章駄天の全体システム構成 (文献11) より

送ができ、画像処理のもつ局所並列性を活かす方式を実現している。

4.3 パイプライン型プロセッサ^{いんぐん}章駄天

章駄天はパイプライン方式の利点である簡潔さを活かし、かつ、その欠点である柔軟性のなさを可変構造のパイプラインを採用することにより解決することを目指した画像処理システムである。その全体構成を図-7に示す。ホストプロセッサはマルチバスを介して処理部と接続されており、種々の指示を出すことができる。処理部はネットワークと、このネットワークに接続されたPM (Processing Module) とからなる。ホストプロセッサは、PM 内の制御レジスタやメモリも自分のメモリ空間に取込んでおり、直接木目細かな制御ができる。

章駄天の最大の特徴はネットワークにある。このネットワークは多段スイッチングネットワーク Bens Permutation Network の改良版であり、システム内の各モジュールを接続し、処理に応じたパイプライン構成を作り出すことができる。ネットワークの入出力ノード数は 16×16 であり、これを 2×2 のスイッチを用いて構成している。このスイッチは (i)直進、(ii)交換のほか、入力の一つを出力の二つに分岐する (iii)上分岐、(iv)下分岐の二つが追加されている。8つのモジュールで図-8 (a) に示すパイプラインを構成した場合、スイッチの状態 (この例のネットワークは 8×8 としている) は同図 (b) となる。実際モジュール 0 の出力は、このネットワークによりモジュール

1, 4 に接続されていることが分かる。このネットワークを用いて所望のパイプラインを構成するには各段のスイッチの状態を定めてやる必要がある。その状態を決定するアルゴリズムはすでに開発されており、文献 11) に詳しい。このネットワークは現在ノード数は 16 であるが、二のべき乗単位で拡張できる。

基本構成要素である PM は、画像処理の基本演算、たとえばフィルタリング、ヒストグラム計算などを、局所並列性を活用して実行するモジュールである。この他、画像を格納する IM (Image Memory)、データを一定時間貯える DM (Delay Module) がある。DM はパイプライン上での実行時間の差を吸収するために設けられたモジュールであり、最大 16384 単位時間まで画像を遅延させることができる。この遅延時間はネットワークの構成が決ったとき、各 PM での処理時間より自動的に計算することができる。

このように章駄天は、処理に応じてパイプラインを構成できる可変構造方式を基本とし、各演算器において局所並列性を活かした、ビデオレートでの処理が可能な画像処理システムである。

4.4 マルチプロセッサ型プロセッサ VPP

VPP は図-9 に示すごとく、ベクトル演算を基本とした演算装置 PU (Processor Unit)、画像メモリおよび制御プロセッサ CP を、非常に高速な結合部で結合した MIMD 型のマルチプロセッサである。各 PU はプログラムメモリ PM、データメモリ DM を有し、それぞれのプログラムに従い互に協調しながら処理を

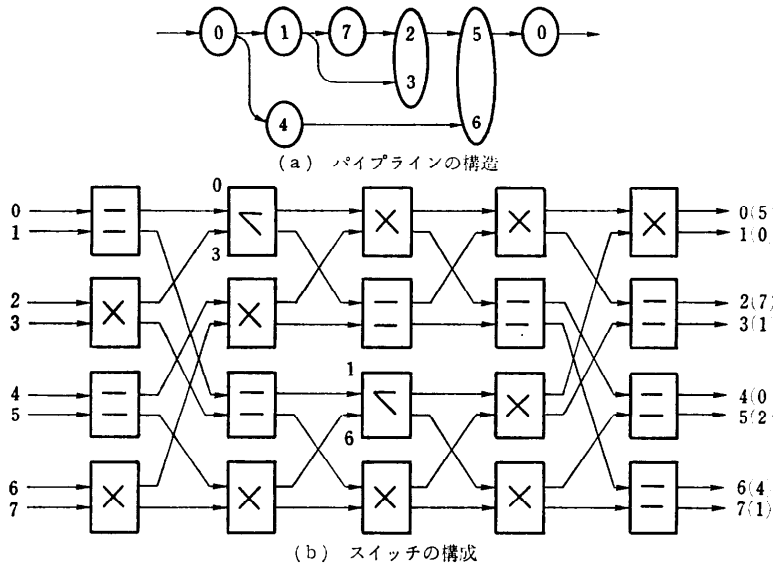


図-8 章駄天におけるネットワーク (文献 11) より)

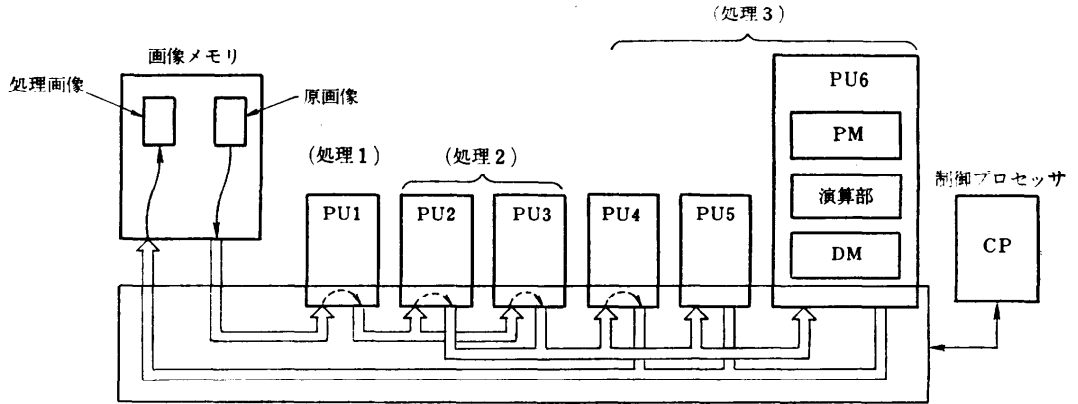


図-9 VPP システム構成

進めていく。各 PU は CP により起動されるが、一旦起動された後は PM 内プログラムに従い自律的に動作し、CP とのやり取りは不要となる。

VPP において画像処理は次のように進められる。画像メモリ内に格納された大画像を小さな部分画像に分割し、この部分画像を次々と PU 間で転送しながら処理を施し、一連の処理が終わった時点で画像メモリに戻す。各 PU はそれぞれ一連の画像処理の一つを受け持つ。このとき一つの処理を分担する PU 台数は、その処理の複雑さ、すなわち処理時間に比例して割り当てられる。処理 1 から処理 3 までの三つの処理を割当てた例を図-9 に示してある。この例では、処理 2 および処理 3 には、複数台の PU が割当てられているため、これらの処理を実行させる PU を一台選ぶ必要がある。VPP では各 PU に部分画像を格納する複数個のバッファがあり、空のバッファの多い PU を選び画像を転送し、全体の負荷のバランスをとっている。

このシステムでは分割された部分画像が、プロセッサ PU の構成するパイプラインを次々と流れていくように見え、さらにこのパイプラインは可変であり、与えられた処理に応じ最適に設定できることから、このシステムを VPP (Variable Processor Pipeline) と呼んでいる。

VPP のようなマルチプロセッサシステムでは、結合部のデータ転送能力がシステム全体の性能に大きく影響を与える。VPP ではこの結合部に、

- (1) 全 PU が同時にデータ転送しても競合が発生しない
- (2) PU 間の関係を平等にし、物理的な位置により転送手順、速度が変わらない

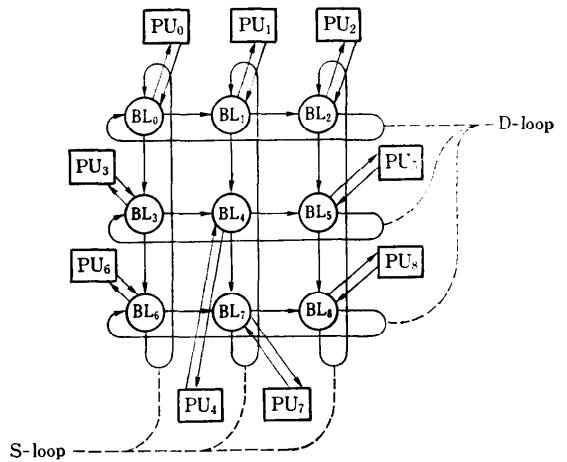


図-10 結合部の構成

という特徴をもたせ、PU によるパイプラインを任意に設定できるようにしている。さらに自 PU 内での演算結果を直接、ほかの PU の DM に書き込むことができ、演算と転送のオーバーラップが可能となっている。この結合部の詳細は図-10 に示すとおりであり、各 PU に対し一つのノード (BL: Bus Logic) を対応させ、この BL を格子状に並べた構成を採っている。図は 9 台の PU を 3×3 に配置した場合を示している。この BL は列方向、行方向にそれぞれ S (Source)-loop, D (Destination)-loop によりループ状に結合されており、画像データは、S-loop→交点の BL→D-loop の順に転送される。これらのループ上には、そのループに接続された BL に対応したスロットが回っており、データはこのスロットにより転送される。たと

えば左端の S-loop には BL₀, BL₃, BL₆ に対応したスロットが、下段の D-loop には、BL₆, BL₇, BL₈ に対応したスロットが回っている。このように列方向のループには転送元に対応したスロットが、行方向のループには転送先に対応したスロットが回っており、本結合部は転送先が異なるかぎり任意の二つの転送間でスロットの奪い合いがなく、競合が発生しない性質を有している。

5. あとがき

画像処理のもつ並列性、これらの並列性を活かした画像処理マシンの基本方式、さらには現在開発中あるいは開発されたいくつかの画像処理システムの概要について解説した。画像処理は本質的に高い並列性を有しており、並列処理化が比較的容易であること、また逆に膨大なデータを高速に処理する必要があるとの理由より、以前から並列処理を基本とした画像処理マシンが提案あるいは開発されてきた。実用レベルに達しているものも少なくない。

また最近の LSI の発展により、今までは構想段階であったものも実現可能となり、さらに高い並列性を有するシステムが開発されていくことに疑問の余地はない。

並列処理における効率を上げるには、基本となるプロセッサをいかに遊ばせないか、すなわち処理すべきデータを間断なく供給することがきわめて重要である。特に画像処理では対象とするデータ量が膨大になることが普通であり、演算器の高速化のみならず、画像の格納の方法、アクセスの方法を考慮したシステム設計がきわめて重要である。

これまで、画像処理においては、画素に近い、比較的低レベルでの並列性を利用したシステムが中心であった。この低レベル処理で抽出された原画像の特徴量を利用した、高いレベルでの並列処理システムはまだ少なく、ほとんど実験段階にある。今後はこの二つのレベルの処理を統合した、高速かつ柔軟な画像処理システムへ発展していくと考えられ、そのためにはハードウェアの構成もさることながら、画像処理アルゴリズム、プログラミング言語などのソフトウェアの問題の解決がきわめて重要である。

参考文献

- 1) 坂上, 木戸出: 最近のイメージプロセッサの動向, 信学誌, pp. 90-98 (昭 59. 1).
- 2) 木戸出, 坂上: パイプライン方式と完全並列処理方式が増えた最近の画像処理装置, 日経エレクトロニクス, pp. 179-211 (7. 19. 1982).
- 3) Batcher, K. E.: Design of a Massively Parallel Processor, IEEE Trans. Comput, Vol. C-29, pp. 836-840 (Sep. 1980).
- 4) Hunt, D. J.: The ICL DAP and its Application to Image Processing, Language and Architecture for Image Processing, Academic Press, pp. 275-282 (1981).
- 5) Kondo, T. et al.: Pseudo MIMD Array Processor-AAP 2, Proc. of International Symposium on COMPUTER ARCHITECTURE, pp. 330-337 (1986).
- 6) Duff, M. J. B.: Review of the CLIP Image Processing System, Proc. of NCC, pp. 170-184 (1978).
- 7) 宮田他: 高速画像処理向きセルラ・アレイ・プロセッサ, 信学技報, EC 84-1~12, pp. 49-60 (1984).
- 8) 木戸出他: 高速画像処理装置のハードウェア, 情報処理学会第 29 回全国大会, pp. 1159-1160 (1984).
- 9) 松島他: アレイ方式を用いた映像処理装置の開発, 信学技報, IE 78-11 (1978).
- 10) Sternberg, S. R.: Biomedical Image Processing, Computer 16, 1, pp. 22-34 (1934).
- 11) 佐々木他: 構造可変型ビデオレート画像処理システム「韋駄天」, コンピュータビジョン 37-1, (1985).
- 12) Luetjen, K. et al.: FLIP; A flexible multi-processor System for Image Processing, Proc. of 5th International Conference on Pattern Recognition, pp. 326-328 (1980).
- 13) 坂井他: ファクシミリ端末をもつパターン理解並列処理装置, 信学技報, PRL 80-98 (1980).
- 14) Allen, G. R. et al.: SPARC-Symbolic Processing Algorithm Research Computer, Proc. of Image Understanding Workshop, pp. 171-174 (1979).
- 15) Kushner, T. et al.: Image Processing on ZMOB, Proc. of Computer Architectures for Pattern Analysis and Image Database Management, pp. 88-95 (1981).
- 16) 井上他: VPP (画像処理用ベクトルプロセッサ) の性能評価, 情報処理学会第 32 回全国大会論文集, pp. 77-78 (1986).
- 17) 天満: 画像処理用のプロセッサ, 情報処理, Vol. 25, No. 9, pp. 909-917 (1984).

(昭和 61 年 11 月 27 日受付)