

ゲートアレイによるマイクロプロセッサ設計教育 — 教育の評価 —

小野寺 毅 石井 吉彦 三浦 敏孝 村岡 洋一
早稲田大学理工学部

onodera@muraoka.info.waseda.ac.jp

本稿では、1993 年度に早稲田大学理工学部情報学科で実施したゲートアレイによるマイクロプロセッサ設計教育の結果について、(1) マイクロプロセッサの実装方法、(2) 学生の理解度、(3) 理解度を高めるために整備した教育環境の効果、の項目を、(a) 学生の設計したマイクロプロセッサ、(b) 学生の CAD 使用時間、(c) 教育終了後の学生に対するアンケート、の三つを通じて分析・評価する。

Microprocessor Design Education Using a Gatearray — Evaluation of Education —

Takashi ONODERA Yoshihiko ISHII Toshitaka MIURA Yoichi MURAOKA
School of Science and Engineering, Waseda University

This paper describes about the result of the microprocessor design education using a gatearray at Waseda University in 1993. We analyze and evaluate this education in view of following items, (1)Implementation of microprocessors, (2)Comprehension rate of students about microprocessor design, (3)Effects of education environments to get high comprehension rate.

1 はじめに

早稲田大学理工学部情報学科では、学部3年次の専門選択科目である「情報システム実験」の中で、ゲートアレイを使用したマイクロプロセッサ設計実験を実施している。実験期間は週2時限(3時間)で後期半期(12週)である。

本教育の初年度であった1993年度は、学生38名を8つの班に分け、それぞれ1つずつマイクロプロセッサの設計を行った。この38名の学生は、77%がごく簡単なデジタル回路(カウンタ回路など)を理解できるレベルであり、残りの23%はそれよりも低い(論理関数を理解できる程度)レベルである。

この実験の結果、8班中7班がマイクロプロセッサを完成させ、ゲートアレイを使用してチップ化に成功した。

本報告では上記の1993年度のマイクロプロセッサ設計教育を、

- (a) 学生の設計したマイクロプロセッサ
- (b) CADの使用時間
- (c) 終了後の学生に対するアンケート

の結果をもとに、

- (1) マイクロプロセッサの実装方法
- (2) マイクロプロセッサの各モジュールに対する学生の理解度
- (3) 理解度を高めるために採用した教育環境の効果

の項目について、分析し評価する。

2 マイクロプロセッサ

表1に、学生の設計した各マイクロプロセッサの使用ゲート数を示す。

チップ化では、これらの7班分のマイクロプロセッサを1つのゲートアレイ上に実装した。回路

上では、図1に示すように、7つのマイクロプロセッサの入出力部をマルチプレクサで統合して一組の外部入出力端子へと接続した形となる。このため、学生には予めマイクロプロセッサの入出力端子の統一規格を与えた。

この1つにまとめた回路を、54Kゲートのマスタチップと101ピンのPGAパッケージを使用してチップ化した。図2にチップの写真を示す。

表1: 各マイクロプロセッサの使用ゲート数

班	ゲート数
1	2144
2	2573
3	2209
5	1770
6	2332
7	2033
8	2158
全7班合計	15219
マルチプレクサ他	864
全回路合計	16083

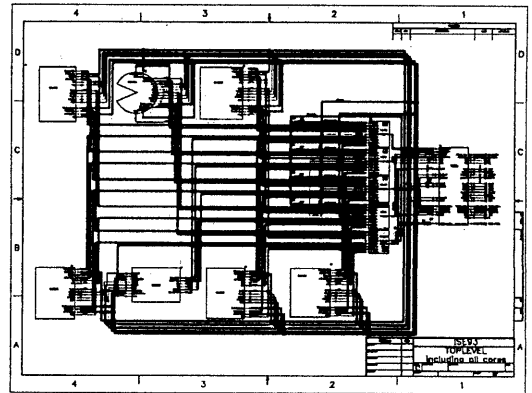


図1: 1つに統合したマイクロプロセッサの回路図

複数のマイクロプロセッサを、マルチプレクサで1つのゲートアレイ上に実装することには以下

のような利点がある。

- (1) チップ化する回路が1つになるため、個々にチップ化するのに比べてコストを削減できる
- (2) 限られた予算の中で、より多くのマイクロプロセッサをチップ化できる(本教育では全てのマイクロプロセッサをチップ化)
- (3) 外部入出力端子を統一するため、チップ動作試験用のボードおよびモニタプログラムの作成が容易である(全てのマイクロプロセッサに対して1つのボードおよびモニタプログラムで試験できる)

逆に、以下のような欠点がある。

- (1) 全マイクロプロセッサを1つにまとめるため、よりゲート規模の大きなマスタチップが必要である
- (2) 1つにまとめる作業—マルチプレクサの挿入、テストパターンの合成—が必要である

欠点(1)で挙げた、ゲート規模の大きなマスタチップが必要となるということは、利点(1)の裏返しであるが、マイクロプロセッサ設計教育の目的から考えるとどうしても必要な事柄と考える。

各マイクロプロセッサをより小さなマスタチップで別々にチップ化した場合、1マイクロプロセッサ当たりのコストは低い、レイアウト(本教育ではチップ化する半導体メーカー側が行う)やマスク作成がマイクロプロセッサの数だけ必要となるため、全体としてのコストは逆に高くなってしまふ。ここで、実際にチップ化するマイクロプロセッサの数を減らせばコストは抑えられるが、せっかく学生が苦勞して設計したマイクロプロセッサを全てチップ化することはできなくなり、学生の意欲も落ちてしまふ。

学生に「もの作り」の面白さを体験してもらうことが1つの大きな目的であることから、ある程度のコスト増を伴っても、ゲート規模の大きい

マスタチップで全マイクロプロセッサをチップ化することが最善であると考え。このことは、チップが完成した後に学生に聞いた感想で、多くの学生が「自分たちの設計したマイクロプロセッサが本物のLSIになったのを見て、非常に感動した。」と答えたことでもわかる。

欠点(2)で挙げた、回路の合成作業の問題であるが、合成作業を考慮に入れた簡単な設計規則を適用すれば、作業量を少なく抑えることができる。

複数マイクロプロセッサの合成で最も問題になるのは、ユーザ定義のセル名(階層化した部分回路名)の衝突である。衝突する名前が存在する場合、合成作業をする者—本教育ではTA(Teaching Assistant:教務を補助する大学院生)—が、それぞれの名前を付け替えなければならない。この作業量は予想以上に多い。しかし、予め各班毎にユニークな命名法を定めておけば回避できる。

もう1つの問題はテストパターンの合成である。しかし、これも、学生の作成する各マイクロプロセッサ毎のテストパターンの先頭で、回路の状態を初期化するパターンを必ず入れるように(このことは、単一のマイクロプロセッサの場合でも同様に重要なことである)、テストパターンの最後にマイクロプロセッサを停止状態にするパターンを入れるように指導すれば、作業量を大きく削減できる。

本教育では、上で述べたような方針を採用しており、効率良く回路の合成を実行している。

3 学生の理解度

図3に、各班の週毎のCAD使用時間のグラフを示す。図4に、週毎の全班平均のCAD使用時間のグラフを示す。各週の課題内容は表2の通りである。

また、図5～図10に各段階における課題内容に対する理解度について学生に取ったアンケートの結果を示す。アンケート結果のグラフ中の数値は

有効回答者数である。

図3から、いずれの班のCAD使用時間も期間中を通じてほぼ一定している。前・後半の間に1週間の休講期間(早稲田祭)があるため、山が2つあるように見えるが、これを除いて考えると、全期間を通して、1班当たり平均して25時間前後の使用時間となっている。1班の構成は4~5人であるから、1人当たり約5~6時間/週となる。

ただし、前半・後半のCAD使用時間が同程度なのは、回路の複雑さが同じだったからではない。図11のアンケート結果では、前半に設計した算術論理演算器やカウンタ・レジスタが「難しい」「作業が大変」であると答えた学生はほとんどいなかった。つまり、前半の使用時間が大きいのは、設計した回路が複雑だからではなく、CADツールの操作方に慣れていないために、その習得に時間がかかったということである。

この習得時間を短縮し、設計や理解の方へより多くの時間を割けるようにするため、1993年度に使用したCADマニュアルを改訂し、よりわかり易くしたものを1994年度より導入する予定である(マニュアルの評価については第4節で述べる)。

第11週目の40時間を超えるような使用時間は、最後の最も大きなトップレベルの設計が大詰めを迎えたせいもあるが、原因は他にもある。

トップレベルでは、それまで作ってきたモジュールを1つのマイクロプロセッサに組上げる作業となるわけだが、ここで問題が生じる。その1つが、ドライブ能力の不足である。モジュール毎に回路図検証(配線、ドライブ能力などについてネットリスト上で検証)をした場合は問題がなかった場合でも、それらをつなげて大きな回路に組上げたときの回路図検証で、ドライブ能力不足が指摘されることがよくある。この場合、ドライブ能力が不足してしまった部分を探し出して、より大きなドライブ能力を持つものに交換することになる。

しかし、回路図検証によって得られる情報がテ

キストベースであり、実際の回路図との対応が簡単にはわからない。このため、指摘された箇所を特定するために余分に時間を費やしてしまう場面が多々あった。これに関しては、ユーザインターフェイスの向上が待たれるところである。

参考までに、この週にはCAD使用時間が60時間を越えた班が3班あった。

表2: 各週の課題内容

週	課題
1-2	CADの操作方法・回路設計方法の習得
3-4	算術論理演算器(ALU)の設計
5	カウンタ・レジスタの設計
6-7	メモリアクセス制御シーケンサの設計
8	その他のシーケンサ・命令デコーダの設計
9-12	トップレベルの設計

ただし

第7週目(10/29-11/4)は早稲田祭のため講義は休講

第12週目(12/3-12/7)は第11週までに終了しなかった班のための予備の週

4 教育環境

本教育では、教育の効果と学生の理解度を高めるために、以下のような教育環境の採用・整備を行っている。

- (1) マニュアルの整備
- (2) TA 制度
- (3) 質問メーリングリストの作成
- (4) 専用ニュースグループの作成

(1)のマニュアルの整備として以下の3種類のマニュアルを用意した。

- CAD マニュアル¹
使用する CAD ツールの操作方法の説明書。TA が、Cadence 社の英文のマニュアルを元に、実際の回路図入力の流れに沿って日本語でまとめたもの。
- ASIC デザインマニュアル²
ゲートアレイを使用して回路を設計する場合の注意事項やノウハウについての解説など。
- TSTL2 マニュアル³
論理シミュレーションおよび故障検出のためのテストパターンを記述するための言語 TSTL2(東芝標準テストインタフェース言語 2) の説明書。

これらのマニュアルの内容について学生に取ったアンケートの結果を、図 12 に示す。

図 12 より、特に「ASIC デザインマニュアル」と「TSTL2 マニュアル」の内容が難しいとする学生が多かった。これら 2 つのマニュアルは、専門家を対象としたマニュアルをそのまま使用したものであるために、用語の問題等で学生に難しい印象を与えてしまったものと考ええる。

また、理解度アンケート(図 5～図 10)の項目の中で、ゲートアレイを使用した LSI 設計を行う際に現れてくる、重要な、あるいは特別な項目「クロックスキュー」「入出力バッファ」「駆動能力」「縮退等の故障」「クロックドライバ」「クロックツリー」「CMOS」についての学生の理解度が、他に比べるとかなり低い。

ゲートアレイを使用した LSI 設計に関する項目の理解度が低いのは、ゲートアレイをターゲットにした基礎的な教科書・参考書がほとんど存在しないため、実験中の説明からしか情報を得られないためと考えている。

¹石井 吉彦

²株式会社 東芝

³株式会社 東芝

これらの問題を解決するべく、1994 年度からは、第 2 節で述べた CAD マニュアルの他に、さらに新たな教科書を用意することにした。この教科書は、

- ゲートアレイを使用してデジタル回路を設計するために必要な知識
- 実験で使用する CAD 環境—CAD ツール (Cadence 社の Design Entry) と東芝の Design Kit—への短時間での習熟と効率的な利用のためのノウハウ
- マイクロプロセッサのアーキテクチャ設計について解説したものである。

この教科書の使用で、よりいっそうの教育内容の充実と、より円滑な実験進行が可能となるのではないかと考え、1994 年度以降の教育に導入する予定である。

(2)TA 制度 (3) 質問メーリングリスト (4) 専用ニュースグループの 3 つの有効性について学生に取ったアンケートの結果を、図 13 に示す。

図 13 の通り、いずれも有効性があるという高い評価が得られた。

TA 制度は、全学生が有効であると答えている。これは、TA が学生と年齢的に非常に近く、同じ学生という身分であるということ、気軽に質問できるという精神的な面が大きいのではないかと考える。

質問メーリングリストと専用ニュースグループについても、ほぼ全ての学生が有効であると答えている。これらの手段は、電子的に非同期に TA との連絡が取れるため、結果的に質問・疑問等に迅速に答えられるという利点が評価されたものであると考える。

動作テスト用のプログラムなどの電子的に提出された方が都合の良い課題について、メーリングリストを使って提出してもらう方法を採用した。また、ニュースグループでは、提出されたレポートを点検していて気になった点や、理解が足りない

いと感じた点について、講評や補足説明を行った。これらのことも有効性的一端として評価されたのではないかと考える。

今後も本教育を続ける上で、上記3つの有効な手段をより活性化し、教育効果の増強に役立てていく予定である。

5 おわりに

本報告では、早稲田大学理工学部情報学科で1993年度に初めて実施された、ゲートアレイによるマイクロプロセッサ設計教育の結果について、

- 学生の設計したマイクロプロセッサ
- CADの使用時間の統計
- 教育終了後の学生に対するアンケート

をもとに分析・評価を行った。

その中で、8班中7班がマイクロプロセッサを完成させ、その全てをチップ化することに成功し、学生にもの作りの面白さを実感してもらうことができたことを述べた。このことは、本教育の目的の中でも最も重要な事柄の1つであると考え、今後もこの方針に乗っ取って本教育を実施していく予定である。

また、学生の理解度向上および円滑な教育の進行のために、マニュアル類の充実、TA制度や電子メール、ニュースグループといった環境の整備が重要かつ有効であることを述べた。

1994年度からは、新しく作り直した、CADマニュアルおよびゲートアレイによるマイクロプロセッサ設計について解説した教科書を使用して、より教育効果の高いマイクロプロセッサ設計教育を行なっていく予定である。

本教育を実施するに当たり、CADツールや機器、設計工程などの環境を提供して頂いた、(株)東芝ならびにCadence社に深く感謝致します。

また、実験の遂行に当たり、的確な御助言と叱咤激励を頂き、辛抱強く応援して下さいました(株)東芝ICセンターの方々に深く感謝致します。

さらに、初めての試みである本マイクロプロセッサ設計に果敢に挑戦し、見事マイクロプロセッサを完成させた学生諸氏に感謝致します。

参考文献

- [1] 三浦, 小野寺, 石井, 村岡: “ゲートアレイを用いた教育用マイクロプロセッサの開発”, 情報処理学会第47回全国大会, 2G-6, 1993
- [2] 佐藤 政生: “早稲田大学における集積回路設計実験”, 平成5年度科学研究補助金 試験研究(B)(1) 研究成果報告書, 1994

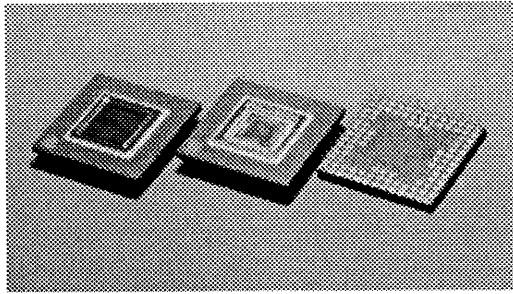


図 2: 完成したチップ

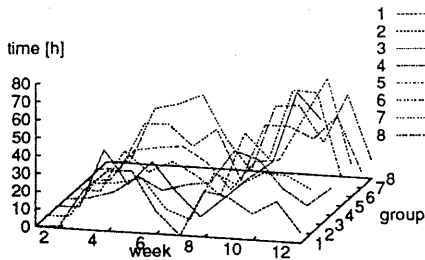


図 3: 班毎の CAD 使用時間

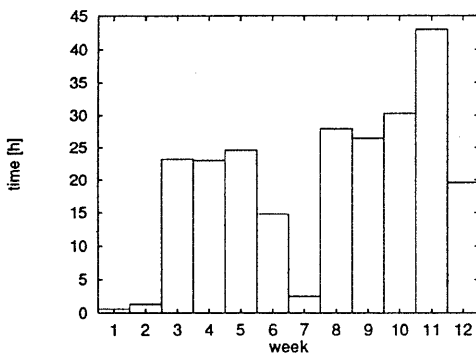


図 4: 全班の平均 CAD 使用時間

ゲートと端子	高い 28	低い 3
フリップフロップ	高い 31	
エッジトリガ	高い 18	低い 13
正論理と負論理	高い 31	
真理値表とブール代数	高い 31	
2の補数表現	高い 31	
階層設計等の CAD の用語	高い 29	低い 2

図 5: 学生の理解度アンケート結果 (CAD 使用方法・回路設計方法)

リップルキャリ	高い 28	低い 3
遅延時間	高い 29	低い 2
クリティカルパス	高い 20	低い 11
キャリルックアヘッド	高い 25	低い 6
ハザード	高い 31	

図 6: 学生の理解度アンケート結果 (算術論理演算器)

同期回路と非同期回路	高い 29	低い 1
ダブルラッチ	高い 28	低い 3
非同期クリア	高い 28	低い 3
クロックスキュー	高い 15	低い 16
ハザード対策	高い 24	低い 7
バイナリカウンタ	高い 29	低い 2
奇数進バイナリカウンタ	高い 20	低い 11
ジョンソンカウンタ	高い 30	低い 1
ブービトラップ	高い 23	低い 8
リングカウンタ	高い 24	低い 7

図 7: 学生の理解度アンケート結果 (カウンタ・レジスタ)

ストップ モーション	高い 25	低い 6
アーキテクチャ 設計	高い 24	低い 7
アキュムレータ 方式	高い 25	低い 6
ブロック ダイアグラム	高い 27	低い 4
命令セット	高い 30	低い 1
命令およびデー タフォーマット	高い 22	低い 9
データバス	高い 23	低い 8
IF,OF,EX 等の ステージ	高い 16	低い 15
ストローブ	高い 24	低い 7
シーケンサの モジュール化	高い 24	低い 7
メモリの規格表	高い 5	低い 26

図 8: 学生の理解度アンケート結果(シーケンサ)

入出力バッファ	高い 18	低い 13
駆動能力	高い 16	低い 15
テスト容易化 設計	高い 25	低い 6
縮退等の故障	高い 13	低い 18
故障検出用 テストデータ	高い 23	低い 8
機能検査用 テストデータ	高い 25	低い 6
クロックドライ バ	高い 12	低い 19
クロックツリー	高い 11	低い 20
CMOS	高い 14	低い 17

図 9: 学生の理解度アンケート結果(トップレベル)

レイアウト以降	高い 7	普通 19	低い 2
---------	------	-------	------

図 10: 学生の理解度アンケート結果(レイアウト工程以降—講義—)

C	仕	回	論	動	レ
1	6	13	11	6	6

(a) 面白かった工程

仕	回	論	動	レ
5	3	15	3	2

(b) 難しかった工程

仕	回	論	動
3	9	11	5

(c) 作業の大変だった工程

ALU	CNT	SEQ	TOP
10	5	8	5

(d) 面白かった回路

ALU	SEQ	TOP
1	17	10

(e) 難しかった回路

SEQ	TOP
17	11

(f) 作業の大変だった回路

—図中の略号の意味—

C	CAD 操作方法の習得	ALU	算術論理演算器
仕	仕様決定	CNT	カウンタ・レジスタ
回	回路図入力	SEQ	シーケンサ
論	論理シミュレーション	TOP	トップレベル
動	動作テストプログラム		
レ	講義(レイアウト以降)		

図 11: 感想アンケート結果

CAD	易しい 3	普通 25	難しい 2
マニュアル	普通 19	難しい 10	
ASIC デザイン	普通 17	難しい 13	
マニュアル			
TSTL2			
マニュアル			

図 12: マニュアルの内容についてのアンケート結果

TA 制度	有り 31	
質問メーリング リスト	有り 27	なし 3
ニュース グループ	有り 31	

図 13: 有効性についてのアンケート結果