

## ゲートアレイによるマイクロプロセッサ設計教育 —教育環境と設計工程—

石井 吉彦 小野寺 毅 三浦 敏孝 村岡 洋一  
早稲田大学理工学部  
新宿区大久保 3-4-1

ishii@muraoka.info.waseda.ac.jp

### あらまし

本稿では、1993年度早稲田大学で実施した、ゲートアレイによるマイクロプロセッサ設計教育を教育環境と設計工程に着目して述べる。本教育の特徴は以下の4つである。

- (1) ゲートアレイを使用した国内初の教育であり、メディアを駆使した教育環境を整備したこと。
- (2) 大学と半導体メーカーが設計工程を分担・協力したこと。
- (3) 半期という設計工程内で完成できた学生の割合が約88%と高いこと。
- (4) アーキテクチャの異なるマイクロプロセッサを1つのゲートアレイにマージする設計工程により、コストを削減したこと。

和文キーワード マイクロプロセッサ、ゲートアレイ、CAD、半導体メーカー、教育

## Microprocessor Design Education Using a Gatearray — Education Environment and Design Process —

Yoshihiko ISHII Takashi ONODERA Toshitaka MIURA Yoichi MURAOKA  
School of Science and Engineering, Waseda University  
3-4-1 Okubo, Shinjuku-ku, Tokyo 169, Japan

### Abstract

This paper describes a microprocessor design education using a gatearray at Waseda University in 1993. This education has following four characteristics.

- (1) The first education using a gatearray in Japan, and Education environment using multi media.
- (2) Design process in cooperation with university and semiconductor maker.
- (3) High design completion rate (about 88 %) of students within half school term.
- (4) Low cost resulting from merging several microprocessors into one gatearray.

英文 key words Microprocessor, Gatearray, CAD, Semiconductor Maker, Education

## 1 はじめに

教育の対象、教育の期間、教育の目的、及び、設計の対象について述べる。

教育の対象は早稲田大学理工学部情報学科3年生38名である。情報学科は1991年に設立され、本教育は1993年度が最初の試みである。彼ら学生のうち、77%はカウンタ回路といった簡単なデジタル回路を理解できるレベルであり、23%はそれより低いレベルである。また、電子系CADの使用経験者はいない。なお、設計の際は学生を4~5人の班(計8班)に分け班毎に実施する。

教育の期間は週2時限(3時間)で半期(計36時間)である。なお、この36時間以外に、学生は設計の進捗状況に応じてCADを自由に使用できる。

教育の目的は、

(工程1) CADの操作方法や回路設計方法を学習

(工程2) 回路入力

(工程3) 論理シミュレーション

(工程4) ゲートアレイ化

(工程5) ゲートアレイの評価テスト

といった一連の設計工程を体験することにより、各工程における要素技術を習得することである。

設計の対象は12bitのアキュムレータ方式の約2000ゲートのマイクロプロセッサである。このbit数やゲート数はゲートアレイの規模によって定めている。

第2章では、ゲートアレイを使用した国内初の教育として整備した、メディアを駆使した教育環境を述べる。第3章では、一連の設計工程を詳述し、大学(早稲田大学)と半導体メーカー(東芝)がどのように分担・協力したか述べる。第4章では、学生が設計したマイクロプロセッサのアーキテクチャを解説し、1つのゲートアレイにマージするノウハウを述べる。第5章では、1994年度以降の本教育の指針を提案する。

## 2 教育環境

本章では、ゲートアレイを使用した国内初の教育[1]として整備した、メディアを駆使した教育環境を述べる[2]。

教育環境の整備は、図1のように、

- WSの整備
- CADの整備
- マニュアルの整備
- TA( Teaching Assistant : 授業を補佐する大学院生のこと)制度
- レポートの報告事項の決定
- 評価テスト用PCの整備

に分けられる。

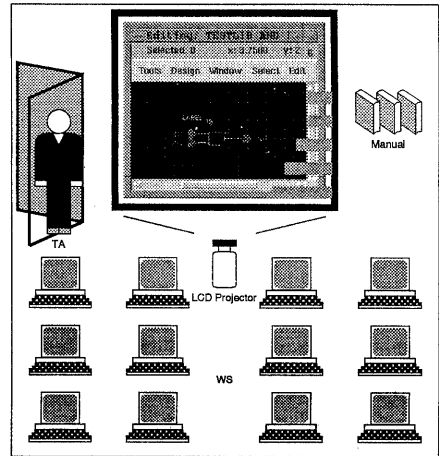


図1 CAD室の環境

WSの整備として、13台のCAD専用WS(SunOS 4.1.3)を用意する。さらに、学生を支援するため、授業での質問を受け付けるメーリングリストと授業を捕捉するニュースグループを用意する[3]。このメーリングリストにはTAが登録されており、図2のような学生の質問に対してTAが解答する。また、このニュースグループの使用項目は、図3のように、

- 授業の捕捉説明
- 回路の修正指導
- レポートの考察指導
- レポート未提出一覧
- 次回の授業予定
- CADを自由に使用できるオープン利用日の案内と多岐に渡る。なお、学生はコンピュータリテラシとして、エディタ NEmacs、メッセージハンドラ mh-e、及び、ニュースリーダ GNUSなどを習得している。

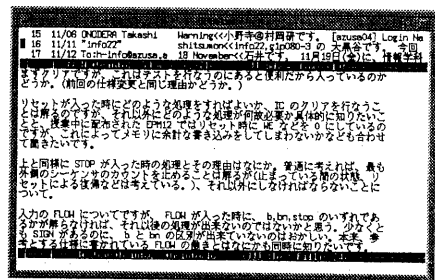


図2 学生の質問例

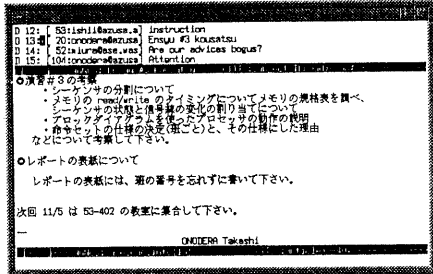


図3 ニュースグループの使用例

ピンの作成

■ Schematic

Create → Pin...

↓

■ Create Pin

Terminal Names IN1 IN2

Direction input

Interpretation full

Terminal Names に対し IN1 IN2 と空白で区切って入力して下さい。

Direction に対し input を選んで下さい。

Interpretation に対し full を選んで下さい。

↓

■ Schematic

左マウスボタンでクリックして下さい。

図4 「CAD マニュアル」(抜粋)

CADの整備として、WSに対し、(工程2)で用いるCadenceのDesign Entryと(工程3)で用いる東芝のDe-

sign Kitをインストールする。このDesign EntryとDesign Kitは半導体メーカーが使用しているものと同じであるが、CADの操作方法の一貫性を保つため、バージョン(4.2.65.4)の更新を控える。

マニュアルの整備として、

- CADの操作方法を示した「CAD マニュアル」
- テストデータの記述方法を示した「TSTL2 マニュアル」
- 設計規則を示した「ASIC デザインマニュアル」

を用意する。この「CAD マニュアル」は図4のように、著者がCadenceのマニュアルを日本語化しまとめたものであり、「TSTL2 マニュアル」と「ASIC デザインマニュアル」は東芝のマニュアルの抜粋である。また、学生に対する教育効果を高めるため、これらのマニュアルに対応したビデオ映像、及び、ビデオ映像を投影する液晶プロジェクターを用意する[4]。

(a) 回路図

(b) テストデータ

(c) 波形

(d) 結果報告ファイル

図5 レポートの報告事項(4つのファイル)の例

TA 制度として、授業を講義する TA 1 名とレポートのチェックなどの授業を補佐する TA 2 名を配置し、オープン利用日には CAD 室の隣のサポート室に TA 1 名が駐在し、学生を支援する。

レポートの報告事項として、

- 演習問題

マイクロプロセッサのモジュール設計を演習とし、最終的にモジュールをまとめて全体を設計する。

- 図 5 に示す 4 つのファイル

- (a) (工程 2) で作成する回路図
  - (b) (工程 3) で作成するテストデータ
  - (c) 論理シミュレーションの結果を示す波形
  - (d) 論理シミュレーションの結果報告ファイル
- これらのファイルにより、学生が設計した回路を TA がチェックする。

- 考察

と定める。

評価テスト用 PC の整備として、図 6 に示す PC と PC インターフェイスボードを用意する。さらに、マイクロプロセッサ中の内部状態と外部メモリの値を表示するモニタプログラムを用意する。

この PC インターフェイスボードとモニタプログラムは TA が作成したものである。

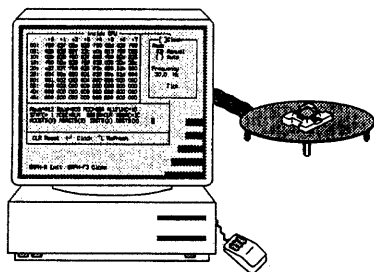


図 6 評価テスト用 PC

### 3 設計工程

本章では、一連の設計工程を詳述し、早稲田大学と東芝がどのように分担・協力したか述べる。

設計工程は、

- (工程 1) CAD の操作方法や回路設計方法を学習
- (工程 2) 回路入力
- (工程 3) 論理シミュレーション
- (工程 4) ゲートアレイ化
- (工程 5) ゲートアレイの評価テストの 5 つに分けられる。

以下、(工程 1)～(工程 5) 毎の担当と期間について述べる。

#### 3.1 (工程 1)～(工程 3)

(工程 1)～(工程 3) では、図 1 に示す CAD 室の環境の中、TA の指導の下、学生が班毎にマイクロプロセッサのモジュール設計を完成させ、最終的にモジュールをまとめて全体(トップレベル)を完成させる。

(工程 1)～(工程 3) の担当は全て早稲田大学である。

(工程 1)～(工程 3) の期間は半期弱である。

なお、(工程 1)～(工程 3) は以下の 5 つの課程に分けられ、この順に学生がマイクロプロセッサのモジュール設計を完成させる。

(課程 1) CAD の操作方法の学習

(課程 2) 算術論理演算器の設計方法の学習

(課程 3) カウンタとレジスタの設計方法の学習

(課程 4) シーケンサの設計方法の学習

(課程 5) トップレベルの設計方法の学習

(課題 1)～(課題 5) 毎の教育の期間と CAD の使用時間を表 1 にまとめる。

表 1 (課題 1)～(課題 5) の教育の期間など

	教育の期間	CAD の使用時間
(課程 1)	2 日間	4.9 時間/学生
(課程 2)	2 週間	46.2 時間/班
(課程 3)	1 週間	24.6 時間/班
(課程 4)	2 週間	45.2 時間/班
(課程 5)	3 週間	99.8 時間/班

レポートの出題例として(課題 2)での演習問題を図 7 に示す。なお、テストデータ作成の不慣れさが障害になるため、(課程 2)に限りテストデータを穴埋め問題とする。

#### 3.2 (工程 4)

(工程 4) では、(工程 2) で完成した複数のマイクロプロセッサの回路図の入出力端子に対し、TA がマルチプレクサを挿入し 1 つの回路図とする。さらに、(工程 3) で完成した複数のテストデータに対し、TA がマージし 1 つのテストデータとする。その後、マージした回路図とテストデータを東芝へ渡し、ゲートアレイ化を実施する。このようにして、学生が班毎に作成したアーキテクチャの異なるマイクロプロセッサを 1 つのゲートアレイに搭載する Multi Project Chip を実現する。

(工程 4) 中の回路図とテストデータのマージ作業の担当は早稲田大学であり、(工程 4) 中のゲートアレイ化の担当は東芝であるが、マージした回路図とテストデータに不具合がある度、TA と東芝は密に連絡し協力している。

演習問題

表A、表Bに示す仕様に基づいた算術論理演算器を設計せよ。

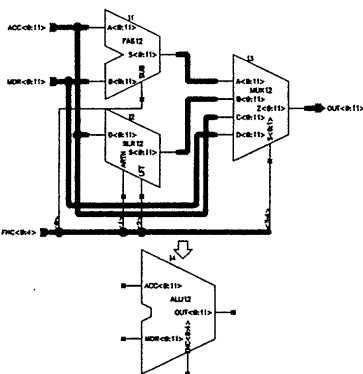
項目	内容
bit数	12
入力ピン	ACC(0:11) MDR(0:11) FNC(0:4)
出力ピン	OUT(0:11)
桁上げ	リップル・キャリ
機能	加算、減算、論理右シフト、論理(算術)左シフト、算術右シフト、通過

FNC(0:4)	機能
0~4	
0XX00	加算 $OUT \leftarrow ACC + MDR$
1XX00	減算 $OUT \leftarrow ACC - MDR$
X0001	論理右シフト $OUT \leftarrow ACC \gg 1$
X0101	論理左シフト $OUT \leftarrow ACC \ll 1$
X1001	算術右シフト $OUT \leftarrow ACC \gg 1$
XXX10	ACC 通過 $OUT \leftarrow ACC$
XXX11	MDR 通過 $OUT \leftarrow MDR$

Xはdon't care

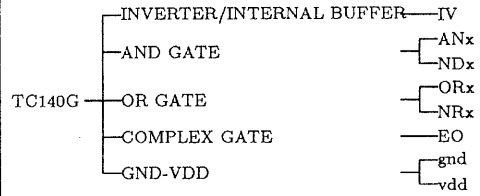
設計上の注意事項

- 正論理  
全ての回路は正論理で設計すること。
- 階層設計  
図aを参考にして階層設計すること。



図a 算術論理演算器の階層設計

- ゲートと端子の制限  
図bに挙げるゲートと端子を使用すること。



xは入力数  
図b ゲートと端子の制限

- テストデータ  
図c中の?に数字(FNC(0:4)は2進、OUT(0:11)は16進)を入れてテストデータを完成させ、論理シミュレーションを行なうこと。

```

TITLE TEST_FOR_ALU12 ;
FNC(0:4) TEST_FNC_ALU12 ;
INPUT(0:5) ACC_0..ACC_1..ACC_2..ACC_3..ACC_4..ACC_5..
MDR_0..MDR_1..MDR_2..MDR_3..MDR_4..MDR_5..
FNC_0..FNC_1..FNC_2..FNC_3..FNC_4..FNC_5..
OUTPUT(7) OUT_0..OUT_1..OUT_2..OUT_3..OUT_4..OUT_5..
TIMING CYCLE 10 ;
TIMESPEC(7) 100 ;
ENDTIME ;
SEQUENCE PRG_0..ACC_10..ACC_9..ACC_8..ACC_7..ACC_6..
MDR_11..MDR_10..MDR_9..MDR_8..MDR_7..MDR_6..
MDR_5..MDR_4..MDR_3..MDR_2..MDR_1..MDR_0..
FNC_0..FNC_1..FNC_2..FNC_3..FNC_4..FNC_5..
OUT_11..OUT_10..OUT_9..OUT_8..OUT_7..OUT_6..
OUT_5..OUT_4..OUT_3..OUT_2..OUT_1..OUT_0..
TESTPRG PRG_0 ;
ENABLE PRG_0 ;
REC ACC MDR FNC OUT
#1234
$$$$ $$$$ 000?? 01?? ; /* ADD */
$$$ $$$ 100?? 1?? ; /* SUB */
$$$ $$$ 01?? 1?? ; /* AND */
$$$ $$$ 01?? 1?? ; /* OR */
234 456 110?? 1?? ; /* XOR */
FNC FFF 11?? 1?? ; /* ADD */
$$$ $$$ 11?? 1?? ; /* SUB */
$$$$ 000 0?? 1?? ; /* AND */
$$$ $$$ 0?? 1?? ; /* OR */
$$$ $$$ 0?? 1?? ; /* AND */
$$$ $$$ 0?? 1?? ; /* OR */
$$$ $$$ 0?? 1?? ; /* AND */
$$$ $$$ 0?? 1?? ; /* OR */
$$$ $$$ 0?? 1?? ; /* AND */
$$$ $$$ 0?? 1?? ; /* OR */
$$$ $$$ 0?? 1?? ; /* AND */
$$$ $$$ 0?? 1?? ; /* OR */
ENDTEST ;
    
```

図c 算術論理演算器に対するテストデータ

図7 (課程2)での演習問題

(工程4)の期間は1カ月間であり、さらに、(工程4)における要素技術を学生が習得するため、東芝が早稲田大学で講義を実施する期間を1日間設けてある。

3.3 (工程5)

(工程5)では、学生が班毎にテストプログラムを作成する。その後、(工程4)で完成したゲートアレイに対し、図6に示す評価テスト用PCを用いて、班毎にテストプログラムを実行させ評価テストを行なう。

- (工程5)の担当は全て早稲田大学である。
- (工程5)の期間は約1週間である。
- なお、(工程5)は、(課程6) テストプログラムの作成方法の学習 (課程7) テストプログラム実行による評価テスト

の2つの課程に分けられる。

(課程6)(課程7)の教育の期間はそれぞれ1週間と1日間である。

なお、(課程5)で設計できなかった班(1つの班のみ:4班)に対して特別にアセンブラの作成を出題する。また、(課題6)での可観測性を高めるため、マイクロプロセッサ中の全フリップフロップ(内部状態)を観測する専用の出力端子を割り当てている。

#### 4 マイクロプロセッサ

本章では、学生が設計したマイクロプロセッサの例として1班と2班を挙げ、アーキテクチャを解説する。また、(工程4)で用いた、アーキテクチャの異なるマイクロプロセッサ7班分を1つのゲートアレイにまとめるノウハウを述べる。

##### 4.1 学生が設計したマイクロプロセッサ例

1班と2班のマイクロプロセッサのブロック図を図8に示す。このブロック図は授業で提示したデフォルトと同じであり12bitのアキュムレータ方式である。

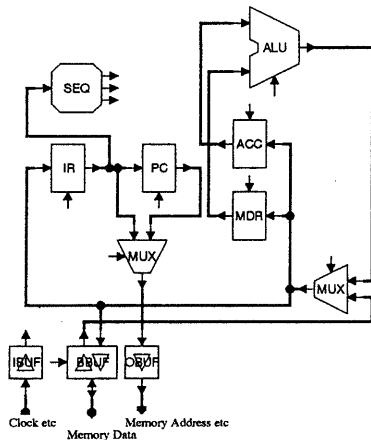


図8 1班と2班のブロック図  
(1993年度のデフォルトのブロック図)

1班と2班の命令セットをそれぞれ表2と表3に示す。

表2 1班の命令セット

命令フォーマット1			
オペコード	命令	オペランド	機能
001	ADD	ADR	$ACC \leftarrow ACC + [ADR]$
101	SUB	ADR	$ACC \leftarrow ACC - [ADR]$
X00	ST	ADR	$[ADR] \leftarrow ACC$
010	B	ADR	$PC \leftarrow ADR$
110	BN	ADR	if $ACC < 0$ then $PC \leftarrow ADR$

命令フォーマット2

オペコード	命令	オペランド	機能
111X01	SLL	-	$ACC \leftarrow ACC \ll 1$
111X10	SRL	-	$ACC \leftarrow ACC \gg 1$
111X00	CLR	-	$ACC \leftarrow 0$
111X11	STOP	-	実行停止

Xはdon't care

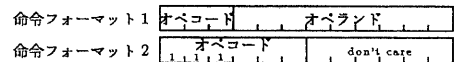
表3 2班の命令セット

命令フォーマット1			
オペコード	命令	オペランド	機能
010	ADD	ADR	$ACC \leftarrow ACC + [ADR]$
011	SUB	ADR	$ACC \leftarrow ACC - [ADR]$
001	ST	ADR	$[ADR] \leftarrow ACC$
100	B	ADR	$PC \leftarrow ADR$
101	BN	ADR	if $ACC < 0$ then $PC \leftarrow ADR$
110	LD	ADR	$ACC \leftarrow [ADR]$

命令フォーマット2

オペコード	命令	オペランド	機能
000XXX	NOP	-	-
111100	SLL	-	$ACC \leftarrow ACC \ll 1$
111101	SRL	-	$ACC \leftarrow ACC \gg 1$
111000	CLR	-	$ACC \leftarrow 0$
111111	STOP	-	実行停止
111010	INC	-	$ACC \leftarrow ACC + 1$
111011	DEC	-	$ACC \leftarrow ACC - 1$

Xはdon't care



1班はLD命令をCLR命令とADD命令の組み合わせで具現化し回路の縮小を目指した命令セットで設計しており、2班はLD命令やINC命令やDEC命令を追加し処理時間の短縮を目指した命令セットで設計している。

1班と2班の回路図をそれぞれ図9と図10に示す。

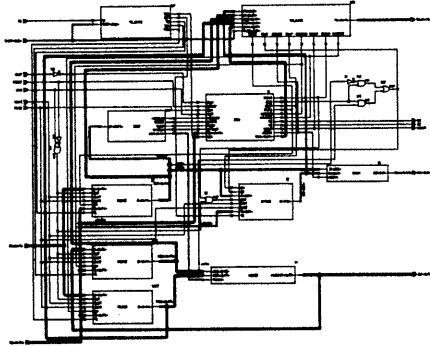


図9 1班の回路図

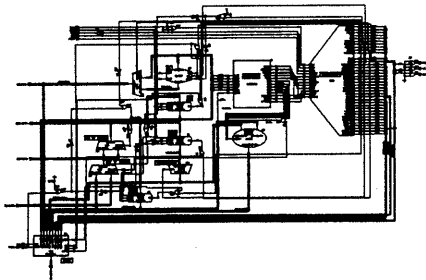


図10 2班の回路図

#### 4.2 1つのゲートアレイにまとめるノウハウ

(工程4)で用いた、マイクロプロセッサ7班分を1つのゲートアレイにまとめるノウハウは、

- 入出力端子の統一
- ユニークなユーザ定義セル名の採用
- マイクロプロセッサの状態を考えたテストデータ

である。

マイクロプロセッサ7班分をマージした回路図を図11に示す。

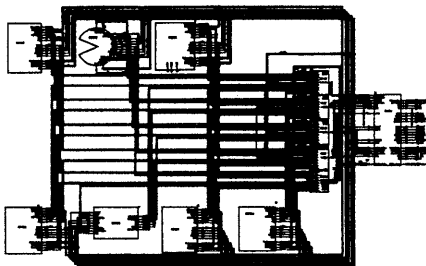


図11 マイクロプロセッサ7班分をマージした回路図

図11中の上段3つのシンボルが左から1班～3班のマイクロプロセッサを表し、下段4つのシンボルが左から5班～8班のマイクロプロセッサを表している。中程のバスを束ねているシンボルがTAが挿入したマルチプレクサであり、右端のシンボルが統一した入出力端子を表している。

(工程2)で完成した複数のマイクロプロセッサの回路図の入出力端子を統一することにより、このTAのマルチプレクサ挿入作業を容易なものとしている。

また、マルチプレクサ挿入後、駆動能力の変更に伴い回路を修正する必要がある。1班ならばユーザ定義セル名の頭にG1を付けユニークにすることにより、どのセルの駆動能力が足りないか特定でき、このTAの修正作業も容易なものとしている。

さらに、(工程3)で完成した複数のテストデータをマージする際、マイクロプロセッサの状態に注意する必要がある。テストデータの開始にはマイクロプロセッサの状態を初期化するパターンを記述し、テストデータの終了にはマイクロプロセッサの状態を実行停止にするパターンを記述することにより、マイクロプロセッサの危険な状態を回避でき、このTAのテストデータのマージ作業を容易なものとしている。

最後に、(工程4)で完成したゲートアレイの使用ゲート数を表4にまとめる。

表4 ゲートアレイの使用ゲート数

班	使用ゲート数
1班	2144
2班	2573
3班	2209
5班	1770
6班	2332
7班	2033
8班	2158
全体	16083

ゲートアレイの使用ゲート数が16083より、マスターチップ(T3D14)をゲート数が40K(16083/0.4)以上の101ピンで54KのPGA(PGA101-C-S13U)と定める。ゲート数が40K前後という規模のマスターチップならば高レベルの実装技術は不要でコストを削減している。

#### 5 今後の教育方針

本章では、1994年度以降の本教育の指針を提案する。今後の教育方針は、

- CADの使用時間の軽減
- メモリアクセスが理解しやすいアーキテクチャ

である。

表1に示す(課題2)～(課題5)のCADの使用時間を見てわかるように、学生にとって負荷が高かったといえる。また、(課題5)のトップレベルでは、機能を検査する機能検査用テストデータと回路図中の全ての配線を活性化させる故障検出用テストデータが必要となり、bit数に応じてテストデータのステップ数は大きくなる。そこで、メモリアドレスに影響がない程度に12bitというbit数を減少させ、CADの使用時間の軽減すべきである。

また、図8に示す授業で提示したデフォルトのブロック図では、ゲート数を気にするあまりメモリアドレスレジスタを持っていなかった。このため、(課程5)で設計できなかった班がメモリアクセスのタイミングに不具合を起こした。そこで、メモリアドレスレジスタを持ったメモリアクセスが理解しやすいアーキテクチャにすべきである[5]。

例えば、図12のようなブロック図を1994年度以降の授業で提示するデフォルトとする。このブロック図は10bitのアクキュレータ方式であり、著者の試作では使用ゲート数は1573である。

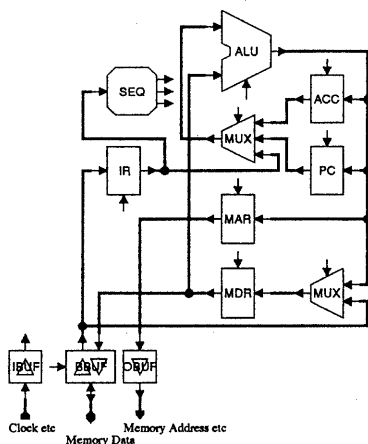


図12 1994年度以降のデフォルトのブロック図

## 6 おわりに

本稿では、早稲田大学で1993年度実施した、ゲートアレイを使用したマイクロプロセッサ設計の教育事例を述べた。本教育の特徴は以下の4つである。

- (1) ゲートアレイを使用した国内初の教育であり、ビデオなどのメディアを駆使した教育環境を整備したこと。

- (2) 早稲田大学と東芝が設計工程を分担・協力したこと。
- (3) 半期という設計工程内で完成できた学生の割合が8班中7班と高いこと。
- (4) 入出力端子の統一などによりマイクロプロセッサ7班分を1つのゲートアレイにまとめ、コストを削減したこと。

さらに、12bitといったbit数などが学生が設計する上で障害になったか明らかにし、1994年度以降の本教育の指針を提案した。

## 謝辞

本教育に必要な環境や設計工程を提供して頂いたCadenceと東芝に深く感謝致します。最後に、本教育初年度で至らぬ環境の中、果敢にマイクロプロセッサ設計に挑んでくれた学生諸氏に感謝致します。

## 参考文献

- [1] 安浦寛人, " 計算機工学・集積回路工学教育研究用マイクロプロセッサの開発", 平成5年度科学研究補助金 試験研究(B)(1) 研究成果報告書(1994)
- [2] 浮貝雅裕, 菅原研次, 三井田博郎, " 情報系学科新生に対する導入教育とそのための演習教育環境", 情報処理学会論文誌, Vol.33, No.1, pp.1-10(1992)
- [3] 松井林生, 斎藤明紀, 都倉信樹, " 電子メールによる講義の補助", 情処研報, Vol.92, No.77, 92-CE-23-4, pp.29-38(1992)
- [4] 中村博幸, 秋尾保子, 矢内秋生, 池田勝枝, 石桁正士, 岩崎重剛, " ガイダンス教育の展開(2)ーガイダンスのためのビデオ映像の作成ー", 信学技報, Vol.93, No.541, ET93-130, pp.47-54(1994)
- [5] 柴山深, 新實治男, " 大学における計算機アーキテクチャの教育方法に関する考察", 情処研報, Vol.93, No.49, 93-ARC-100-4, pp.25-34(1993)