

解説



専用ハードウェアによる ニューロ・コンピューティング†

小池 誠彦^{††} 梶原 信樹^{††}

1. はじめに

生物の脳/神経回路網の機能/構造から学び、考え出された人工神経回路網が超並列処理の計算モデルとして近年再び注目されている。神経回路網の研究は1960年代のパーセプトロンの時代から行われており、新しいものとは言えないが次の理由により再び脚光を浴びるようになったと考えられる：①近年 VLSI 技術の進展により実用規模のハードウェアが実現可能となったこと、②Hopfield らが従来困難とされていた組み合わせ最適化問題に神経回路網を用いて良い解を得たこと、③バックプロパゲーション学習則が考案され文字認識などに適用し高い認識率を実現したこと、④ニューロ・コンピュータと称するシミュレーション用アクセラレータが商用化されたこと。

神経回路網（ニューラルあるいはニューロ・ネットワーク）といっても、実際の生物における神経回路網をさす場合と、本当の神経回路網の動作をシミュレーションや電子デバイスなどで実現したシステムをさす場合の二つの異なる意味に使われている。違いを明確にするために後者を人工神経回路網（Artificial Neural Network）と呼ぶこともある。人工神経回路網の立場は脳の構造や情報処理機構にヒントを得て従来型の計算機と異なる新しい計算機（ニューロ・コンピュータ）を目指しているが、実現された計算機構は必ずしも生物の機構と同じである必要はない。神経回路網の機能の解明という科学的な観点よりは、単純化した神経回路網モデルを用いたときその計算機構によってどのような計算能力があるか、また並列処理の枠組みとしてどのような適性があるかを考える工学的な観点が強いと言える。

ニューロ・コンピュータというすでにハードウ

アとして実現されている印象を与えるが、現在製品化されているマシンは従来型の計算機で模擬されているものがほとんどであり、むしろニューロシミュレータ（エミュレータ）と呼ぶほうが適切である。したがって、本稿ではニューロ・コンピューティングと題して、並列処理技術及び VLSI 技術を用いたニューロ計算素子を実現した研究レベルのものから神経回路網のシミュレーションを高速に行う専用シミュレータを実現した製品レベルのものまでを含めた、専用ハードウェアによる各種実現方式について、その技術動向をまとめた。

2. 神経回路網モデルとニューロ・コンピューティング

人工神経回路網とは簡単な関数計算を行う計算ユニットが互いに重み付きの方向性リンクで結合されネットワークを構成し情報処理を行うものである。ネットワークの振舞いは結合形態（トポロジ）、重み、ユニットの出力関数によって定められる。ニューロ・コンピューティングは、従来の計算機のようにプログラムによって動かすのではなく、神経回路網を用いて環境に自ら適応して動く情報処理システムに関する工学的アプローチである。そこでは環境からの収集データより連想・変換・マッピングが行われ結果を得る。人が容易に行っている時間・空間的な複雑なパターンの認識、雑音が混入したり、歪んだデータでも認識可能とする。むしろ、人間に匹敵するような人工神経回路網は、脳には 10^{11} 個もの神経細胞があるとされているので、現在の LSI 技術をもってしてもとうてい実現不可能である。しかし、音声認識、文字認識、組み合わせ最適化問題や学習方式など、最近の研究成果にみられるとおり、現実的なニューロン数でもかなりなことができる見通しがでてきたといえる。

ニューロ・コンピューティングの研究を行ううえで高速な処理系が不可欠である。たとえば、NETtalk

† Special Purpose Machines for Neurocomputing by Nobuhiko KOIKE and Nobuki KAJIHARA (C & C Systems Laboratories, NEC Corporation).

†† 日本電気 C&C システム研究所

などで用いられるバックプロパゲーション式の学習方式は訓練データを数千から数万パターンも繰り返し与え重みを学習させる必要がある。

これを従来型のミニコンピュータ (VAX 780) で実行させると数日も掛かってしまい、アルゴリズムの改良や試行錯誤的な学習方式の研究のためには膨大な計算機時間が必要となる。

従来型の計算機は数値計算・記号処理を得意としているが、本質的に並列に動作している神経回路網のような単純な計算ユニットの集合体を処理するには粒度が細かすぎ並列性も生かされず遅くなってしまふ。そこで、神経回路網のもつ並列性を生かし、計算アルゴリズムを専用のハードウェアなどで実現した専用ハードウェアが開発されるようになってきた¹⁰⁾。

専用ハードウェアの研究は、このような研究を加速させるためのツールとしてだけでなく、もっと積極的に次の世代の計算機の一つの枠組みとしても考えられている。従来の数値处理的・記号处理的手法では複雑となりすぎ解決が困難とされていた組合せ最適化問題や学習などの分野での適用が期待されている。また、VLSI の発達により数千数万の計算機を構築可能となったが、従来の手法では並列性を十分に開拓できずそれらの計算機資源を有効に利用することが困難であった。神経回路網は超並列処理向きの計算モデルとしても期待されている。

神経 (ニューロン) のモデルは図-1 の (a) に示すとおり、複数の他のニューロンの出力値 O_j を入力とし、それぞれに重み W_{ij} を掛け加算したものを内部状態 V_i とし、内部状態に出力関数 F_i をほどこしたものがニューロンの出力値 O_i となる。通常、内部状

表-1 ニューロモデルの分類

トポロジ	時間要素あり	時間要素なし
相互接続ネットワーク型 (フィードバック含む)	ホップフィールド型 自己連想メモリ型	
階層構造型	特徴抽出型連想メモリ	バックプロパゲーション型
構造化ネットワーク型	PAN	CIS, コネクションリストネット

態値はアナログ値をとり、出力関数として S 字状の飽和関数を用いられ出力値が区間 $[0, 1]$ に正規化される。このニューロンモデルを電気回路に置き換えたものが図-1 の (b) と考えられる。ニューロンの出力値が電圧に、重みが抵抗 (トランジスタ) で与えられ電流加算されオペアンプによって出力関数を実現される。電気神経回路網はこのようにアナログ回路により直接実現する以外にデジタル処理の手法も考えられている。

現在、人工神経回路網としておのおのの目的に応じてさまざまなモデルが提案され用いられている。表-1 にネットワークのトポロジと時間要素の有無によっていくつかのモデルを整理した。おのおのの範疇に明確な区分があるわけではないが、それぞれネットワークの特性、実現されるハードウェアや、学習アルゴリズムが異なったものとなる。

自己連想メモリ型⁷⁾は図-2 に示すとおり、フィードバックを含み層構造のない相互接続ネットワークで、おのおののニューロンは内部履歴をもち時間的に連続動作をする。ネットワークはいくつかの入力パターンをネットワークの系の安定状態として記憶し、未知の入力パターンを与えると記憶された中から近いパターンに対応 (連想) する安定状態にやがて落ち着く。

バックプロパゲーション型は図-3 に示すとおり時間要素を含まない層構造をもち、隣り合う層間のニ

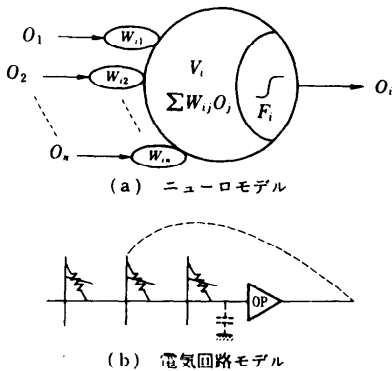


図-1 ニューロモデルとその電気回路モデル

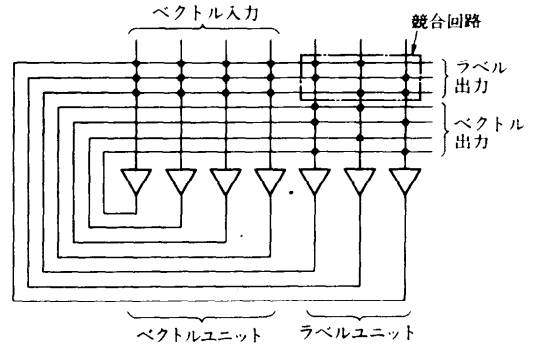


図-2 自己連想メモリ型

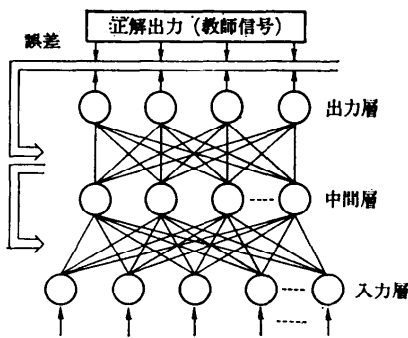


図-3 バックプロパゲーション型

ニューロンだけが完全結合される。入力パターンから出力を求め、期待出力（教師信号）との差をとり出力層から入力層までネットワークを逆に辿り誤差が少なくなるように重みを修正する作業を多くのパターンについて繰り返し学習を行う。

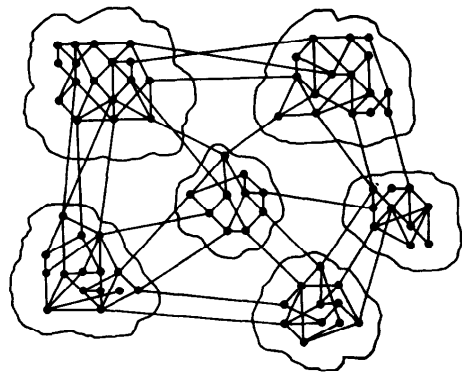
構造化ネットワーク型は、図-4 に示すとおり、あらかじめネットワークの構造を仮定して構築するものである。大規模なネットワークを実現する場合、階層化、機能分散化が不可欠であることを前提としている。CIS²⁹⁾ ではルールベースシステムを、構造化されたネットワークに展開し、前向き/後向き推論を行う。Cruz らが提案している PAN^{19), 20)} などのように時間要素を含む場合は短期記憶を内部状態を保持することでモデル化し、長期記憶は重みの変更あるいはネットワーク・トポロジの変更でモデル化することができる。

3. 高速化の方策

人工神経回路網を高速に処理するマシンを考える場合、次の点を考慮する必要がある。

- ① 神経回路ユニットの専用ハード化
- ② 計算アルゴリズムの専用化・ハードウェア化
- ③ 部分ネットワークの並列性の開拓
- ④ 拡張性・モデルの柔軟性

神経回路網のそれぞれを専用のアナログ回路技術により LSI を実現するアプローチは最も直接的である。図-5 に示すとおりプログラムロジックアレイ (PLA) のようにプログラマブルな抵抗あるいはトランジスタをクロスバスイッチの各交点に配置しアナログ的な積和を行いオペアンプを介して入力に戻す。一つのニューロン素子を一つの電気回路で実現するので高速な処理が可能であるが、神経回路モデルが固定化されてしまい多様なモデルを扱うことができず柔軟性に乏し



大規模ニューラルネットワーク (複数の機能モジュール)

図-4 構造化ネットワーク型

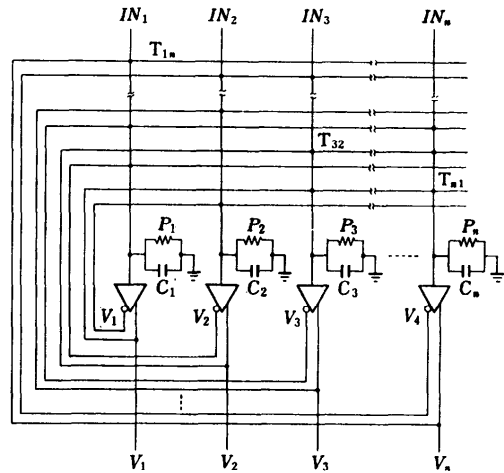


図-5 アナログ回路による実験 (ホップフィールド)

い。現在の技術では1チップに数10から数百ユニット程度しか入らず、それほど集積度が実現されていない。重みは抵抗あるいはトランジスタのコンダクタンスで実現するので可変とすることが難しく、学習を考える場合に問題となる。また、大規模化したときにチップ間のニューロンをいかに接続するかの問題点もある。アナログによる実現法は、以上のような問題点を抱えているが、最近では応用向き LSI の製造が比較的容易でもあり、大規模化は将来の ULSI, ウェハスケールインテグレーションに期待して、まず作ってみて何ができるかを考えようという立場から、“ニューロチップ”の開発が活発である^{2), 12), 15)}。

デジタル処理では、1個のニューロン素子を1台の実計算ユニットで実現するものと、複数のニューロン素子を1台の計算ユニットが担当し仮想的に処理す

るものとの二つのアプローチが考えられる。前者のアプローチでは、おのおのの計算ユニットに積和演算と出力状態値の送受信機能が必要となりハードウェア量がどうしても大きくなってしまふ。数万台の1ビット計算機で構成されたコネクショマシンを用いた例では^{28), 29)}シリアル処理によりハードウェア量の問題を克服しているが、それでも数万ニューロンが限界であり、それ以上は仮想化の方策が考えられている。後者のアプローチでは処理速度は複数のニューロン素子を1台の計算ユニットが担当して仮想的に処理するのでアナログに較べると遅くなるが、プログラムの変更によりモデルの変更が容易であり、大規模化にも対応可能である。提案されているほとんどのシステムがこの方式に基づいている。仮想的にデジタル処理で実現した場合の典型的なシステムの構成イメージを図6に示す。全体のネットワークを部分ネットワークに分割し、複数の計算機で分担並列処理することで高速化が実現される。この場合プロセッサ間でニューロン素子の出力値を通信するためにプロセッサ間通信が多くなり接続ネットワークの選択が全体の性能を向上するうえでポイントとなる²⁶⁾。それぞれのプロセッサにおけるニューロン素子の処理アルゴリズムの実現方式はハードウェアによるものからソフトウェアによるものまで種々の形態が考えられる。必要機能としては、そ

れぞれのニューロンに対応した入力のリ、出力状態値、リンクの接続情報のそれぞれを収容するテーブル群、積和演算機能などである。さらに、学習機能を考慮すると重み変更機能も必要となる。

ニューロン素子の処理では入力のリ、積和計算が大抵を占める。特にバックプロパゲーション型では層間のニューロンは完全結合であるので積和計算をパイプライン式あるいはベクトル式に処理することにより大きなスピードゲインが可能である。積和演算のために信号処理プロセッサ DSP や浮動小数点演算プロセッサなどが用いられている^{19), 21), 30)}。積和計算以外にも、ニューロン素子の処理アルゴリズムにおいて、出力状態値の送受信、出力関数計算・状態更新などの処理、さらに学習のために重みの変更、誤差値の逆伝播などの処理を専用化する効果も大きい。これらの処理を専用のハードウェアを付加しマイクロプログラムで制御することによりさらに高速化が可能である。

4. 専用ハードウェアの実現

人工神経回路網の処理を指向し、今までに開発/製品化されたマシンの事例をまとめたものが表-2である。表からも一部分かるとおり、専用システムの研究動向には大別して次の6つのアプローチがみられる。

① アナログ回路により専用の LSI を開発

神経回路モデルを直接アナログ LSI などで実現したもので1ニューロンモデルに1回路ブロックが対応する。ホップフィールドらはディスクリート回路で実現、AT&T, CALTECH, MIT, JPL などは連想メモリ型を(一部) LSI で実現した。MEAD/CALTECH などは網膜モデルを LSI で実現している。

② 専用ハードウェアでデジタル処理

ニューロ処理に含まれる頻出処理を専用のハードウェアを用いて高速化、さらに並列処理を併用している。Odyssey/TI, NEP/IBM は DSP を用いて積和演算を専用化している。Delta/SAIC, ANZA plus, NeuMan は浮動小数点演算プロセッサを用いて積和演算その他の処理をマイクロプログラム制御により高速化している。データフロー・イメージ・プロセッサの利用例もある。

③ 汎用マイクロプロセッサを専用に構成

汎用プロセッサを用いているのでプロセッサとしての高速化は得られないが並列処理やシステム構成を工夫することにより高速化を実現する。Mark III/TRW

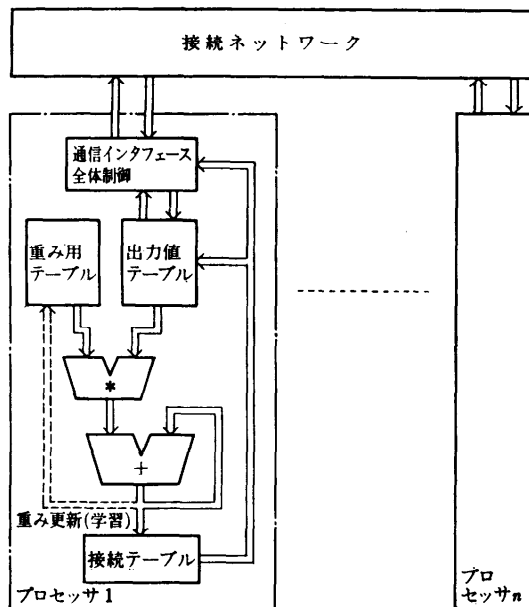


図-6 デジタル回路による実現

表-2 電気ニューロ・シミュレータ/コンピュータのシステム例

システム名/開発機関	技術	専用化レベル	アーキテクチャ	プロセッサ数	容量ノード数	速度リンク/秒	特徴
Mark III/TRW	デジタル	SW	共通バス	15	6.5×10^4	4.5×10^6	M68020 のマルチ構成
NEP/IBM	デジタル	SW	リング	<256	4×10^3	4.9×10^6	DSP を利用
Odyssey/TI	デジタル	SW	共通バス	4Xn	8×10^3	2×10^6	DSP を利用
ANZA/HNC	デジタル	SW		1	3×10^3	2.5×10^6	M68020 を利用
ANZA Plus/HNC	デジタル	FW		1	1×10^3	6×10^6	浮動小数点プロセッサ使用
Delta/SAIC	デジタル	FW		1	1×10^3	1×10^6	浮動小数点プロセッサ使用
Imp/日電	デジタル	SW	リング	4	8.2×10^4	2.2×10^6	データフロー型プロセッサ使用
NeuMan/日電	デジタル	FW	多段接続	8	5.1×10^3	8×10^6	浮動小数点プロセッサ使用
GRIFFIN/英 TI	デジタル	SW/FW	立方体				DSP ライクな専用チップ提案
コネクションマシン/MIT	デジタル	SW	メッシュ/キューブ	64K			NETtalk を実現
Butterfly/BBN	デジタル	SW	多段接続	256			商用汎用機上で実現
DAP/エジンバラ大	デジタル	SW	プロセッサアレイ	4K			SIMD 処理
SX-2/日電	デジタル	SW	ベクトル	1		7×10^7	NETtalk をベクトル化
連想メモリチップ/AT&T	アナログ	HW	抵抗クロスバ	54	54	実時間	オペアンプと抵抗ネットワーク構成
CCD 型/CALTECH	アナログ	HW	シリアルアレイ				CCD シフトレジスタで逐次処理
MNOS/CCD 素子/MIT	アナログ	HW	CCD アレイ				MNOS 素子で重みが可変
抵抗ネットワーク/JPL	アナログ	HW	抵抗アレイ	40	40	実時間	薄膜抵抗をプログラム可能
ハイブリッド型/JPL	デジ・アナ	HW		1			アナログ積和・重みデジタル

や ANZA は M68020 を用いている。

④ 汎用並列プロセッサの利用

最近では高並列型の汎用並列プロセッサが利用可能となっている。コネクションマシン、DAP などは SIMD 処理で、また NCUBE、Butterfly/BBN や Computing Surface などは MIMD 式に並列処理でシミュレーションの高速化を実現している^{24), 27), 28)}。

⑤ スーパーコンピュータの利用

神経回路網の処理の大半は積和演算であり、この点では科学技術計算向きに開発されたスーパーコンピュータが利用できる。計算能力が特に必要な学習フェーズでは開発マシンとして威力が発揮される。Cray-2、SX-2 を用いた実験例によると VAX の数千倍もの高速化が実現されている³¹⁾。

⑥ 光素子の利用

計算素子として光技術を用いて 2 次元平面処理と光演算の高速性を生かした光連想メモリの研究が行われている。また神経回路網が大規模になると配線の問題が深刻となるので、配線の不要な光伝播による通信が期待されている。なお、光ニューロ技術に関しては本特集の別稿に詳しく論じられているので参照されたい。

4.1 システム事例

提案されたマシンの中からアーキテクチャの特徴的なくつかのシステムについて研究機関ごとに以下に紹介する。

(1) AT&T²⁹⁾⁻³⁰⁾

AT&T のベル研究ではアナログ回路により連想記

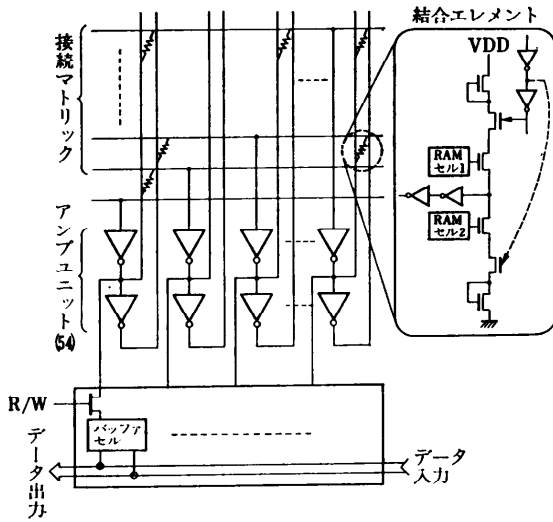


図-7 連想メモリチップ (AT&T)

憶型の LSI の開発に積極的であり、今までに、いくつかのチップが実際に開発されている。図-7 にその一つの連想メモリ構成を示している。54個のニューロン素子を含み、素子間の任意の抵抗（トランジスタ）接続がプログラム可能な 54×54 の接続マトリックス、接続を制御する 54×54 各2ビットの RAM セル及び外部インタフェースで構成されている。アナログ部分は接続マトリックスの抵抗アレイの加算部分だ

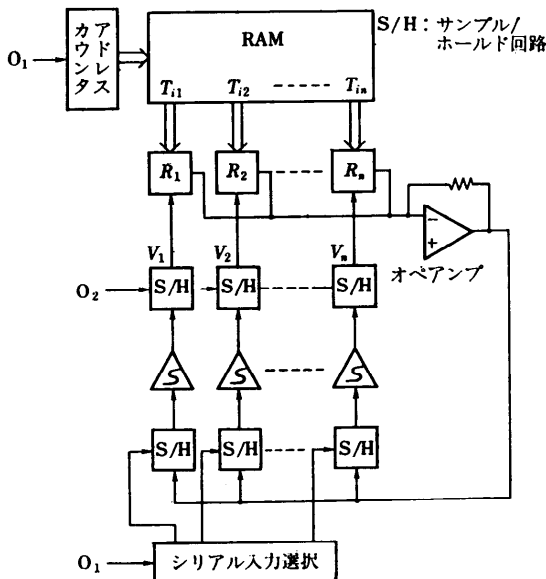


図-8 ハイブリッド型 (JPL)

けでアンプユニットで閾値処理により2値化され、興奮性と抑圧性の二つの信号が接続マトリックスに返される。各 RAM セルの2ビットによりその信号が選択される。動作としては、参照したい 54 ビットまでのベクトルがデータ入力よりバッファに入る、次にその値がアンプユニットに初期値としてセットされ連想動作が開始される。記憶されていたベクトルのいずれかに回路が落ち着くと、バッファを介して外部に読みだされる。実験例では、10個の定安状態（40ビット長）をセットしておき回路が安定するまでに50から600 μ 秒を要したという。

(ロ) JPL^{12),13)}

JPL では自己連想記憶型に基づき、トランジスタ及び抵抗アレイチップの試作、さらにハイブリッド方式のアーキテクチャを提案している。当初トランジスタ型の CMOS チップを試作したが、抵抗を MOS トランジスタで実現すると非線形性やオン抵抗が高いなどの問題があるため、薄膜抵抗を用いた 40×40 の抵抗アレイチップを試作した。おのおのの抵抗はアモルファス a-Si:H でできたマイクロスイッチが付随しており電圧パルスを印加すると OFF から ON 状態に変わることを利用してプログラム可能とした。しかし、さらにニューロン数が増えるとアレイサイズが2乗で増えるのでアナログ的には難しくなる。そこで、図-8 に示すハイブリッド式を提案している。重み付け積和出力関数計算を1組のアナログ回路を用いおのおののニューロン素子に対応する重み付けデータは RAM に入れ逐次ニューロン素子の評価を行う。

(ハ) MIT リンカーン研究所¹¹⁾

Sage らは自己連想記憶型において、重み付けネットワークの重みを可変とするため CCD デバイスと

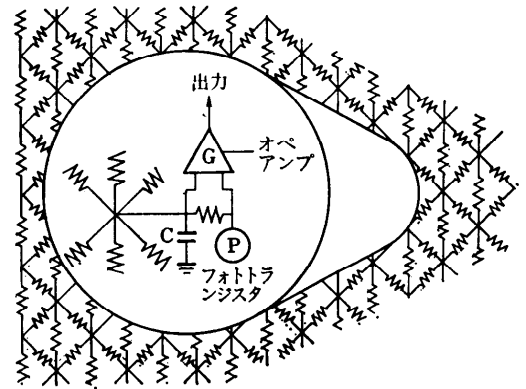


図-9 視覚系のシリコン化 (CALTECH)

MNOS と呼ばれる窒化膜をはさんだスイッチ構造のデバイスを提案している。MNOS の窒化膜層にトラップされた電荷量をプログラムすることによりポテンシャルの深さを変え、そのスイッチを通過するチャージ量を制限するものである。

(二) CALTECH^{15),16)}

Mead らは今までの神経回路モデルとは異なり、網膜の視覚系の細胞のシリコン化を検討している。空間的あるいは時間的な変化に反応する視覚系を図-9 に示すとおりフォトトランジスタ、蜂の巣状抵抗網及びオペアンプで実現している。フォトトランジスタから

入力した光は近傍の光のレベルと比較され物体のエッジ部分などの空間的な変化による差を検出する。また、入力部分の容量により時間的な変化も検出する。

Agranat らも自己連想記憶型のモデルに基づき、アナログ CCD シフトレジスタを用いたアーキテクチャを提案している。N 個の N 長の CCD シフトレジスタに重み(シナプス)を入れておき、1 個の N 長の出力値を入れる CCD シフトレジスタとを用いて、毎シフトクロックに同期して各出力値と対応する重みを読みだしアナログスイッチ群を介しそれぞれ積算し、一周したところで、閾値処理を行い出力値用のシ

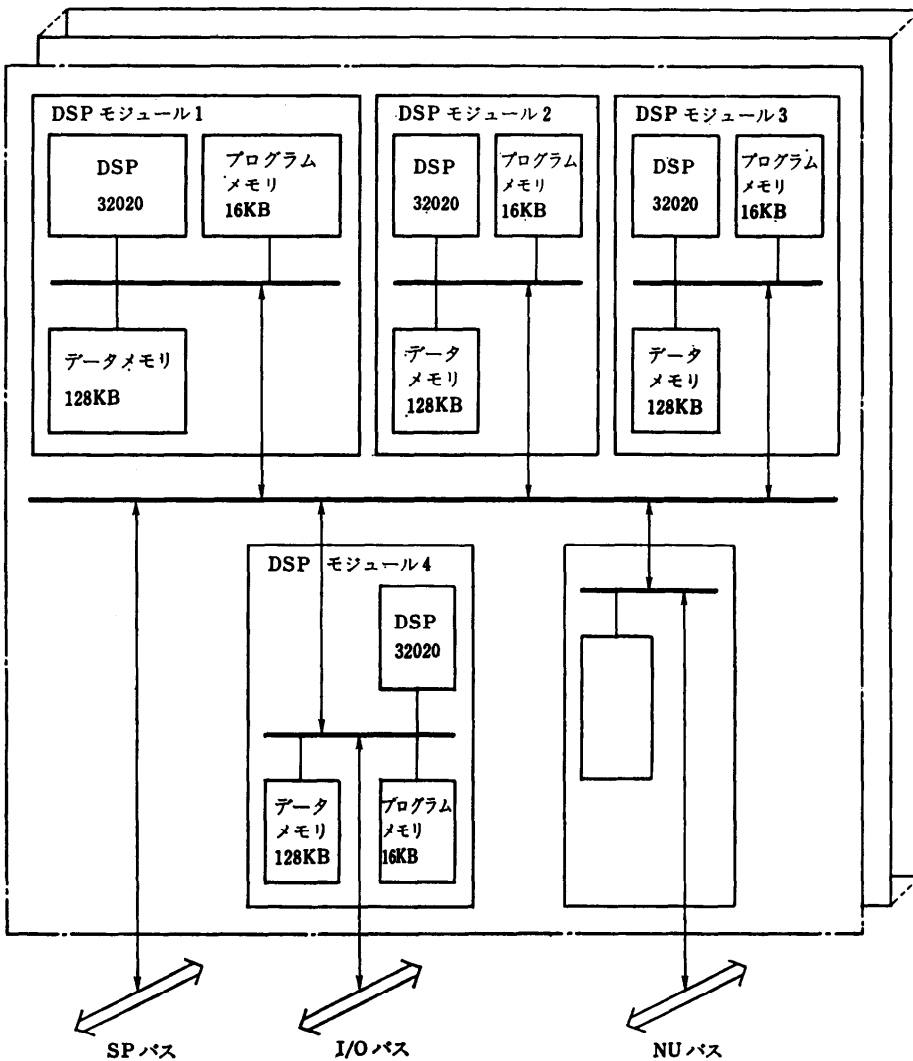


図-10 Odyssey の構成

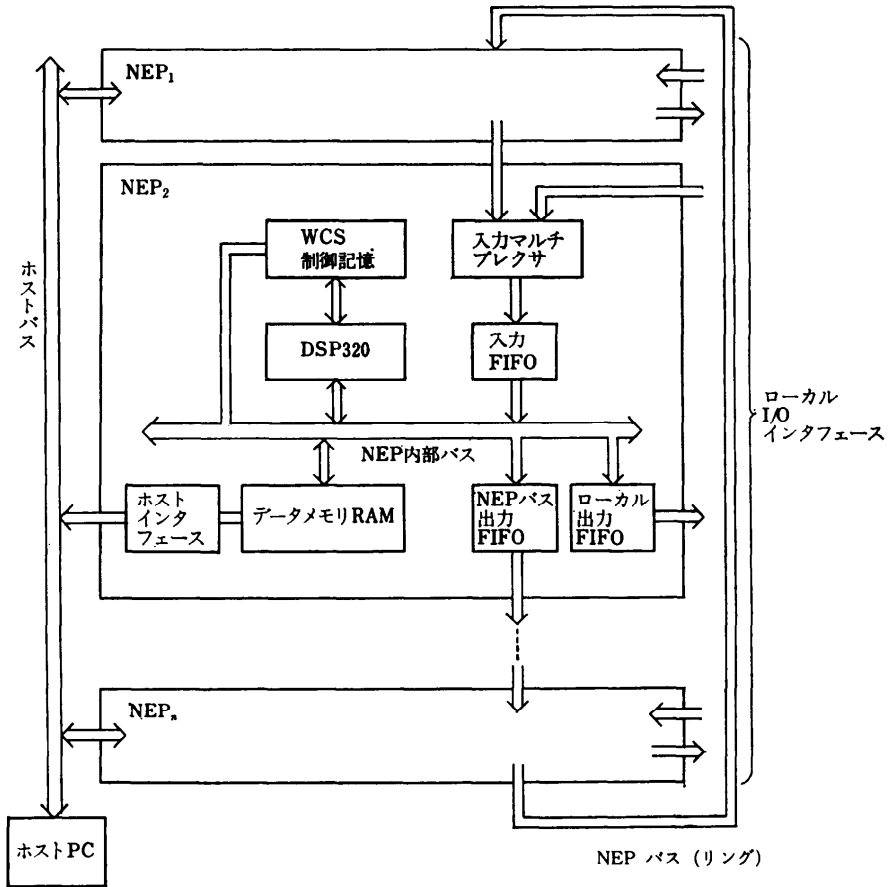


図-11 NEP の構成

フトレジスタを更新する。

(ホ) TI/Odyssey²¹⁾

Penz らは図-10 に示すとおりデジタル信号処理プロセッサ (DSP: 32020) を複数個用いて、DSP の積和演算の高速性と部分ネットワークの並列性を開拓する。それぞれの DSP は 16 KB のプログラムメモリと 128 KB のデータメモリをもち 4 組の DSP モジュールが 1 枚の基板を構成しバス結合で拡張可能である。DSP は 16 ビット固定小数かけ算精度であるのでプログラムに当たっては溢れに注意を要する。4 つの DSP モジュールで 512 個の連想メモリが実現され 39 ms で処理する。これは VAX 8600 の 1 桁上の速度である。

(ヘ) IBM/NEP^{19), 20)}

Cruz らは、やはり DSP を用いてパソコン用加速器を開発した。図-11 に示すとおり、リング状に DSP

モジュール (NEP) を複数接続する。それぞれは独立した入出力ポートをもち外部世界とインタフェースを可能としている。各 NEP は制御記憶、データメモリ、と入出力ポートのおおのに FIFO バッファを設けており、4 K ノード・16 K リンクを収容する。

(ト) TRW²⁵⁾

TRW は並列型の Mark III とパイプライン型の Mark IV を開発している。Mark IV の詳細は不明であるが専用パイプライン処理ハードウェアを用いて 256 K ノードと 5.5 M リンクを 5 M リンク/秒の速度で評価するという。Mark III は M68020/68881 プロセッサを 15 台まで共通バスで結合した構成をとり、それぞれの担当するノードの状態値、接続テーブル、重みをおおのに分散した共有メモリに置く。各共有メモリは 2 ポート化されており自プロセッサからのアクセスはバスを使用しなくて済む。

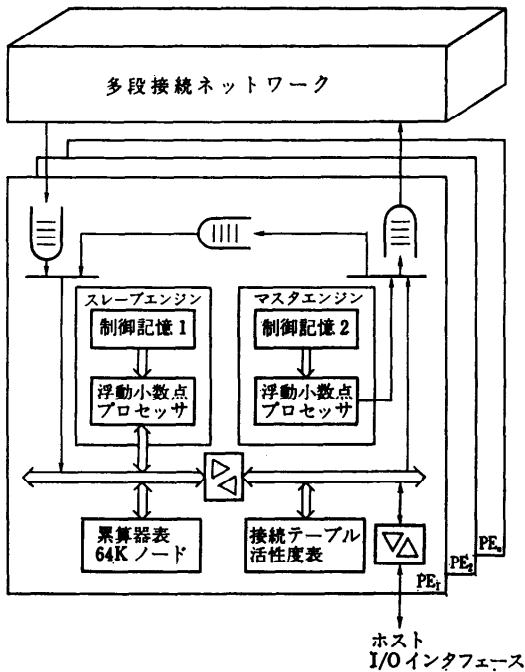


図-12 NeuMan の構成

(チ) 日電/NeuMan³⁰⁾

NeuMan はおのおののプロセッサエレメントに二つの浮動小数点演算プロセッサを用いてマイクロプログラム制御によりパイプライン処理を行う。図-12 に構成を示すとおり複数のプロセッサエレメントが接続ネットワークで結合されパケットの形で出力状態値が転送される。おのおののプロセッサは到着した出力状態値を加算する累算フェーズと出力状態値に接続先の重みをかけ算しパケットとして送出する投票フェーズの二つを別のマイクロエンジンを用いて並列にパイプライン処理する。1台のプロセッサで64Kノード、440Kリンクを収容し、1Mリンク/秒の処理速度を得る。

(リ) HNC/ANZA, SAIC/Delta¹⁰⁾

ANZA, SAIC など現在商用の加速器として売られているマシンについては、そのアーキテクチャについてはほとんど公表されていない。カタログから見るとANZAは1台のM60820を20MHzで動かしてソフトウェア処理を行っている模様。ANZA-Pluse及びSAICのDelta FPPは20MFLOPSクラスの浮動小数点演算プロセッサ(Weitek社など)をエンジン部に用い高速演算を実現している。

5. おわりに

人工神経回路網の処理を実現する専用ハードウェアについて述べた。ニューロ・コンピューティングのために望ましい計算機のアーキテクチャの研究は本稿で紹介したもの以外に各所で専用/汎用並列マシンを適用する研究が試みられている。また、機能をシリコンで実現する“ニューロチップ”の開発機運も高まっている。

ニューロ・コンピューティングの研究を一時のブームに終わらせないためには、人工神経回路網の適用性及び問題点・研究課題を明らかにし、今までの計算モデルにない、可能性を秘めた計算の枠組みが一つ追加されたものとして、その技術を大事に育てていく必要があると考える。

参考文献

- 1) Hopfield, J. J. and Tank, D. W.: Computing with Neural Circuits: A Model, SCIENCE, 8 Vol. 233, pp. 625-633 (Aug. 1986).
- 2) Tank, D. W. and Hopfield, J. J.: Concentrating Information in Time: Analog Neural Networks with Application to Speech Recognition, ICNN '87, pp. IV-455-468.
- 3) Graf, H. P., Hubbard, W., Jakel, L. D. and de Vegvar, P. G. N.: A CMOS Associative Memory Chip, ICNN '87, pp. III-461-468.
- 4) Hubbard, W. et al.: Electronic Neural Networks, Neural Networks for Computing, AIP Conf. Proc. 151, pp. 227-234 (1986).
- 5) Graf, H. P. et al.: VLSI Implementation of a Neural Network Memory with Several Hundreds of Neurons, Neural Networks for Computing, AIP Conf. Proc. 151, pp. 182-187 (1986).
- 6) Jackel, L. D., Graf, H. P. and Howard, R. E.: Electronic Neural Network Chips, APPLIED OPTICS, Vol. 26, No. 23, pp. 5077-5080 (Dec. 1987).
- 7) Graf, H. P., Jackel, L. D. and Hubbard, W. E.: VLSI Implementation of a Neural Network Model, IEEE COMPUTER, pp. 41-49 (Mar. 1988).
- 8) Graf, H. P. and de Vegvar, P.: A CMOS Associative Memory Chip Based on Neural Networks, IEEE ISSCC, pp. 304-305 (1987).
- 9) Howard, R. E. et al.: An Associative Memory Based on an Electronic Neural Network Architecture, IEEE Trans. on ED, Vol. ED-34, No. 7, pp. 1553-1556 (July 1987).
- 10) Agranat, A. and Yariv, A.: A New Archi-

- ecture for a Microelectronic Implementation of Neural Network Models, ICNN '87, pp. III-403-409.
- 11) Sage, J. P., Thompson, K. and Withers, R. S.: An Artificial Neural Network Integrated Circuit Based on MNOS/CCD Principles, Neural Networks for Computing, AIP Conf. Proc. 151, pp. 381-385 (1986).
 - 12) Thakoor, A. P., Moopenn, A., Lambe, J. and Khanna, S. K.: Electronic Hardware Implementations of Neural Networks, APPLIED OPTICS, Vol. 26, No. 23, pp. 5085-5092 (Dec. 1987).
 - 13) Moopenn, A., Thakoor, A. P., Duong, T. and Khanna, S. K.: A Neurocomputer Based on an Analog-digital Hybrid Architecture, ICNN '87, pp. III-479-486.
 - 14) Daud, T. et al.: Neural Network Based Feed-forward High Density Associative Memory, IEDM 87, pp. 107-110.
 - 15) Mead, C. A. and Mahowald, M. A.: A Silicon Model of Early Visual Processing, Neural Networks, Vol. 1, pp. 91-97 (1988).
 - 16) Hutchinson, J., Koch, C., Luo, J. and Mead, C.: Computing Motion Using Analog and Binary Resistive Networks, IEEE COMPUTER, pp. 52-63 (Mar. 1988).
 - 17) Clark, L. T. and Grondin, R. O.: Comparison of a Pipelined 'Best Match' Content Addressable Memory with Neural Networks, ICNN '87, pp. III-411-418.
 - 18) Hecht-Nielsen, R.: Neurocomputing Picking the Human Brain, IEEE SPECTRUM, pp. 36-41 (Mar. 1988).
 - 19) Cruz, C. A., Hanson, W. A. and Tam, J. Y.: Neural Network Emulation Hardware Design Considerations, ICNN '87, pp. III-427-434.
 - 20) Cruz-Young, C. A., Hanson, W. A. and Tam, J. Y.: Flow-of-Activation Processing: Parallel Associative Network (PAN), Neural Networks for Computing, AIP Conf. Proc. 151, pp. 115-120 (1986).
 - 21) Penz, P. A. and Wiggins, R.: Digital Signal Processor Accelerators for Neural Network Simulations, Neural Networks for Computing, AIP Conf. Proc. 151, pp. 345-355.
 - 22) Garth, S. and Pike, D.: An Integrated System for Neural Network Simulations, ACM SIGARCH Newsletter, pp. 37-44 (Mar. 1988).
 - 23) Garth, S.: A Chipset for High Speed Simulation of Neural Network Systems, ICNN '87, pp. III-443-452.
 - 24) Forrest, B. M. et al.: Implementing Neural Network Models on Parallel Computers, The Computer Journal, Vol. 30, No. 5, pp. 413-419 (1987).
 - 25) Kuczewski, R. M., Myers, M. H. and Crawford, W. J.: Neurocomputer Workstations and Processors: Approaches and Applications, ICNN '87, pp. III-487-500.
 - 26) Ghosh, J. and Hwang, K.: Critical Issues in Mapping Neural Networks on Message-Passing Multicomputers, ISCA 88, pp. 3-11.
 - 27) Feldman, J. A. et al.: Computing with Structured Connectionist Networks, Comm. of the ACM, Vol. 31, No. 2, pp. 170-187 (Feb. 1988).
 - 28) Belloch, G. and Rosenberg, C. R.: Network Learning on the Connection Machine, IJCAI 87, pp. 323-326.
 - 29) Belloch, G. E.: CIS: A Massively Concurrent Rule-based System, AAI 86, pp. 735-741.
 - 30) 梶原, 中田, 松下, 小池: ニューラルネットワークシミュレーションマシン: NeuMan, 情報処理学会コンピュータアーキテクチャシンポジウム予稿集, pp. 27-35, 昭和63年5月.
 - 31) 麻生川, 西, 妹尾: スーパーコンピュータによるニューラルネットワーク学習, 情報処理学会第36回全国大会論文集, pp. 2321-2322 (昭和63年).
 - 32) 三宅: ニューラルコンピューテーション, 電子情報通信学会会誌, Vol. 70, No. 12, pp. 1255-1261.
 - 33) 村岡: 並列処理とニューロ・コンピュータ, bit, Vol. 20, No. 2, pp. 142-147 (1988).
 - 34) 久間, 田井, 太田, 高橋: ニューラルネットワークモデルによる光連想メモリ, 情報処理学会計算機アーキテクチャ研究会, 71-8, pp. 53-60 (1988).
 - 35) 石川, 向坂, 豊田, 鈴木: 学習を導入した光連想記憶システム, 情報処理学会計算機アーキテクチャ研究会, 71-9, pp. 61-68 (1988).
 - 36) 秋山: ガウシアンマシンとそのアナログ/デジタル専用アーキテクチャ, 情報処理学会計算機アーキテクチャ研究会, 71-10, pp. 69-76 (1988).
 - 37) 鳴動するニューロチップ, 日経マイクロデバイス, 7月, pp. 43-89 (1988).

(昭和63年7月21日受付)