

解説

2. DSP の応用例



2.6 DSP の画像信号処理への応用†

村上篤道† 上澤 功†

1. はじめに

高度情報化社会に向けて、人間性豊かなオーディオ・ビジュアル通信への期待が高まっている。ISDN などのデジタル回線の普及にともない、動画像を含む各種マルチメディア情報の統合サービスが実現可能となる。

テレビ会議・テレビ電話などの画像通信サービスでは、伝送コスト低減に対するニーズが強い。これらの動画像は、動きや被写体などが比較的限定されているため、低ビットレートの動画像伝送を目的とした高性能符号化技術が大いに活用される。

最近、64 Kb/s でカラー動画像が伝送できるテレビ会議・テレビ電話システムが開発された。これらのシステムのキーデバイスであるビデオコーデックを経済的でフレキシブルに実現するため、DSP で構成するアプローチは魅力的である。

本稿では、まず、画像符号化方法がどのような手順から構成されているかを 64 Kb/s ビデオ符号化アルゴリズムに基づいて概説し、各部の画像信号処理に必要なアドレッシングや演算機能について述べ、これらの画像信号処理に適した DSP への要求条件を検討する。次に、画像信号処理 DSP の具体的アーキテクチャを紹介する。最後に、DSP の画像符号化システムへの適用例を紹介する。

2. 画像符号化

低レートビデオコーデックに用いられる符号化アルゴリズムは、画素ごとに信号処理手順が一律ではなく、画像の局所的アクティビティにしたがって処理の内容・深さが異なる。布線論理によるビデオコーデ

ックでは、処理が均一な専用の H/W を最大負荷量に合わせて準備する必要があり、装置が冗長なものとなる。これに対し、DSP を用いれば符号化アルゴリズムに則して信号処理量とデータ転送量との最適なバランスをとることが可能となり、小型 S/W コーデックの実現が期待できる。さらに、画像の特性に応じた細かな適応化処理も S/W によって実行できるため、画質改善も期待できる。

ここでは、低ビットレートコーデックの DSP 化に必要な演算処理とデータハンドリングなどの基本機能を抽出すべく、まず画像符号化技術について概説する。

2.1 画像符号化技術^{1)~3)}

画像符号化技術の概要を表-1 に示す。画像符号化の実用的立場から重要なものとして、予測符号化 (Predictive Coding)、変換符号化 (Transform Coding)、ベクトル量子化 (Vector Quantization) などがあげられる。さらに、上記の手法に組み合わせてデータ圧縮効果を高める手段として、可変長符号化やサブサンプリングがよく用いられる。

(1) 予測符号化

予測符号化手法は、画像信号の情報量低減手法として、最も伝統的なものである。画像をデジタル化し、近傍の画素から符号化すべき画素を予測して予測誤差を量子化して伝送することが基本である。予測符号化手法の性能は予測器と量子化器の特性によって決定される^{4),5)}。

予測器の設計において、もっとも基本的に用いられる画像のモデルは AR モデル (Auto-Regressive Model) である。AR モデルは次式で表される。

(w_i : 白色雑音)

$$x_i = - \sum_{k=1}^m a_k x_{i-k} + w_i \quad (1)$$

右辺第 1 項の線形結合が予測値に対応し、予測係数 a_k は、入力信号系列 x_i の自己相関関数に基づき設計される。

† Application of the DSP to Image Signal Processing by Tokumichi MURAKAMI and Koh KAMIZAWA (Communication Systems Development Laboratory, Mitsubishi Electric Corporation).

† 三菱電機(株)通信システム研究所

ARモデルによる線形予測は画像の多くの領域において有効であるが、画像は本来非定常であり局所的に統計的性質が変動するため、画像の局所的なアクティビティに応じた適応予測が試みられている。

動画像の基本的な予測手法として、フレーム内予測とフレーム間予測がある。連続するフレームにおいて同一位置にある画素には強い相関があるため、フレームメモリを用いて精度の高い予測が可能となる。さらに、予測がはずれた部分、すなわち時間的に変化の大きかった部分（動き領域）のみ符号化伝送する条件付画素補充が低レート符号化で用いられる。


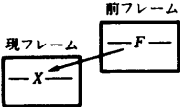
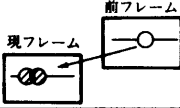
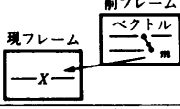
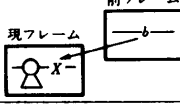
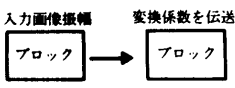
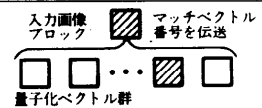
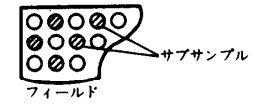
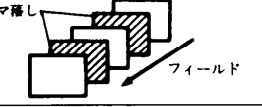
(2) 動き補償予測

単純なフレーム間予測では、被写体の動きに依存して予測誤差信号の統計的性質が大きく変動するため、動き補償予測が導入される。動き補償は画素ブロック単位に、最適な予測を与える画素ブロックを過去のフレームから探索し、動きベクトルを得る手法が一般的である。受信側へは、予測誤差の量子化情報に加えて、動きベクトルを伝送する。

(3) 変換符号化

変換符号化は、互いに大きな相関をもつ信号系列を無相関な係数に直交変換する。特定の変換係数に電力

表-1 動画符号化技術の概要

符号化技術	技術の概要	
フレーム内予測	 X の予測値 $\hat{X} = I$	近傍の画素から符号化する画素の値を予測して、予測値と真の値との差を伝送する。
フレーム間予測	 X の予測値 $\hat{X} = F$	時間的に相続く画面の似ていることを利用して予測する。
条件付画素補充		時間方向に変化の大きかった部分のみ抽出して伝送する。
動き補償	 $\hat{X} = m$	被写体の動きを検出し、動きに応じて予測値を変更する。
背景予測	 $\hat{X} = b$	被写体に隠れていた背景をメモリから予測生成する。
直交変換符号化		コサイン変換などで変換した係数を伝送する。(ブロック単位の2次元フィルタリング)
ベクトル量子化		複数画素の基本構造パターンを記憶しておき、入力されたパターンに似ているパターンの番号を伝送する。(パターンマッチング符号化)
サブサンプリング		画素数を間引いて伝送し、受信側で補間する。
コマ落し		単位時間に伝送するフレーム数を間引く。
可変長符号化	<p>頻度の高い語に短符号を、低い語に長符号を割り当てる。</p>	

が集中することを利用し、各係数に対し割り当てる情報量の配分を変えて量子化することで高圧縮を図るものである。結果として、空間フィルタ処理を施すことになる。

変換方式は種々あるが、以下に示す離散コサイン変換 (DCT) が一般に用いられる。

画素を x_{ij} で表すとき、 $N \times N$ 画素のブロックに対する 2次元 DCT の変換係数 ω_{uv} は次式で表される。

$$\omega_{uv} = \frac{2}{N} \cdot C(u)C(v) \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x_{ij} \cos\left[\frac{\pi u(2i+1)}{2N}\right] \cdot \cos\left[\frac{\pi v(2j+1)}{2N}\right]$$

$$\text{where } C(u), C(v) = \begin{cases} 1/\sqrt{2} & \text{for } u, v=0 \\ 1 & \text{otherwise} \end{cases} \quad (2)$$

2次元の変換では二つの方向に周波数に相当するシーケンスをもつため、変換係数の電力が大→小となるようにスキャン順序を並べかえて、電力の小さい高域成分の係数の量子化を打切る手法が用いられる。各係数の量子化特性とビット割当てを画像信号の性質に合わせて適応的に制御することも行われる。

(4) ベクトル量子化^{6),7)}

ベクトル量子化は、複数のサンプルをブロック化して、多次元信号空間において量子化する方式である。ベクトル量子化を Q とすれば、次のように表される。

$$Q(\mathbf{X}) = \mathbf{Y}_i \text{ if } d(\mathbf{X}, \mathbf{Y}_i) < d(\mathbf{X}, \mathbf{Y}_j) \text{ for } \forall i \neq j$$

$$Q = D \cdot C \begin{cases} C: \mathbf{X} \rightarrow i \text{ (encode)} \\ D: i \rightarrow \mathbf{Y}_i \text{ (decode)} \end{cases} \quad (3)$$

ただし、 \mathbf{X} は入力ベクトル、 $\mathbf{Y}_i, \mathbf{Y}_j$ は出力ベクトルのセット (コードブック) $\mathbf{Y} = [\mathbf{Y}_1, \mathbf{Y}_2, \dots, \mathbf{Y}_N]$ の元、 $d(\mathbf{X}, \mathbf{Y}_i)$ は \mathbf{X} と \mathbf{Y}_i の近似度を表す歪測度である。歪測度 $d(\mathbf{X}, \mathbf{Y}_i)$ は次式で定義される。

$$d(\mathbf{X}, \mathbf{Y}_i) = \left[\sum_{k=1}^n (x_k - y_{ik})^2 \right]^{1/2} \quad (\text{二乗歪})$$

$$d(\mathbf{X}, \mathbf{Y}_i) = \sum_{k=1}^n |x_k - y_{ik}| \quad (\text{絶対値歪})$$

$$\mathbf{X} = [x_1, x_2, \dots, x_n], \mathbf{Y}_i = [y_{i1}, y_{i2}, \dots, y_{in}] \quad (4)$$

具体的には、複数画素をブロック化し、出力ベクトルのセットとのパターンマッチングにより符号化する。受信側へは最小歪を与える出力ベクトルのインデックスを伝送して情報量の削減を行う。

汎用性のあるコードブックをコンパクトに保持するために、出力ベクトルを正規化しておくことも行われる。このとき、入出力ベクトル間の内積演算を実行するのみで、利得・波形ベクトル量子化が可能となる。

また、入力される画像の変化に追従してコードブックを自動的に更新していく手法、木状のコードブックを用い、画像信号のアクティビティに対応してコードブックサイズを適応的に制御し、演算量と情報量を削減する高速化手法も行われる。

(5) 可変長符号化

可変長符号化は、これまで述べた符号化手法と異なるビットシリアルな処理であるため、ビット操作やテーブルルックアップが主体となる。各符号化シンボルの発生確率密度に則して長・短符号を割り当てる冗長度削減手法であり、可逆性を保存する符号化である。符号化シンボルの統計的性質の変動が少ない場合に、平均符号長が最短となる符号を与えるものとして、ハフマン符号がある。統計的性質が変動する場合に、符号割当てを適応的に変えるユニバーサル符号化が研究されている。ユニバーサル符号の例として、算術符号 Ziv-Lempel の符号化などが報告されている。

(6) その他

画素数を間引くサブサンプリングや動画のフレームを間引くコマ落しは、ストレートにデータ量を削減する手法であるため、えられる画像品質に直接影響を与える。劣化をできるだけ少なくみせるための信号処理技術 (時間・空間フィルタ、フレーム内挿など) も活用されている。

現状の符号化装置 (コーデック) では、これらの技術が組み合わされて適用される。おのおのの技術がどのように展開されてきたかを図-1 に示す。図中、破線の部分は、今後の発展が予想されるものである。

最近実用化された 64 Kb/s コーデックは、ブロック単位の処理を基本として、動き補償フレーム間予測変換符号化あるいはベクトル量子化を採用している。

2.2 低レートコーデックと DSP アプローチ

低レート符号器 (エンコーダ) の標準的な構成を、図-2 に示す。エンコーダは大別して (1) 前処理部、(2) 符号化処理部、(3) 伝送路符号化部の 3 部分に分割される。

(1) 前処理部

前処理部は、入力画像信号を所定のピクチャフォーマットに変換する部分である。入力画像信号は、時間・空間フィルタリングをとおして帯域制限や雑音除去を施された後、符号化処理の単位に対応して階層的にセグメント化される。図-3 に CCITT で検討中の CIF (Common Intermediate Format) に対応した階層構成を示す。

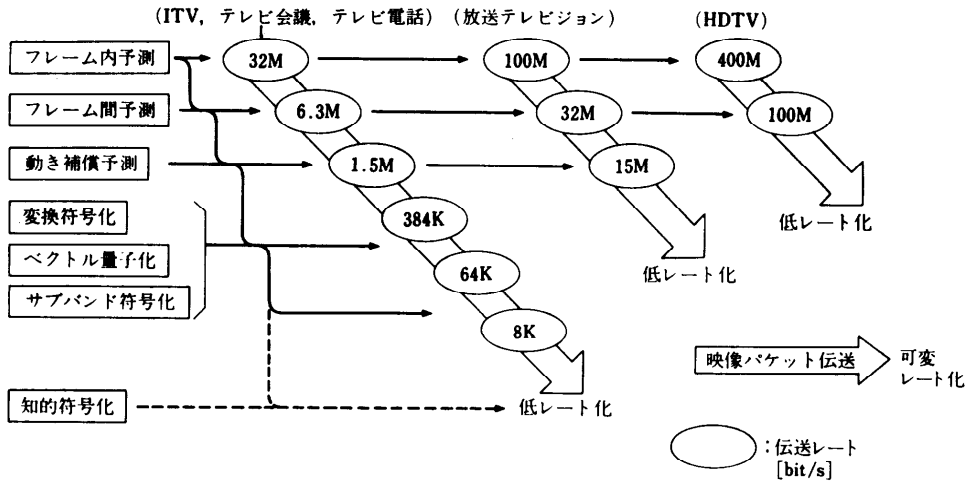
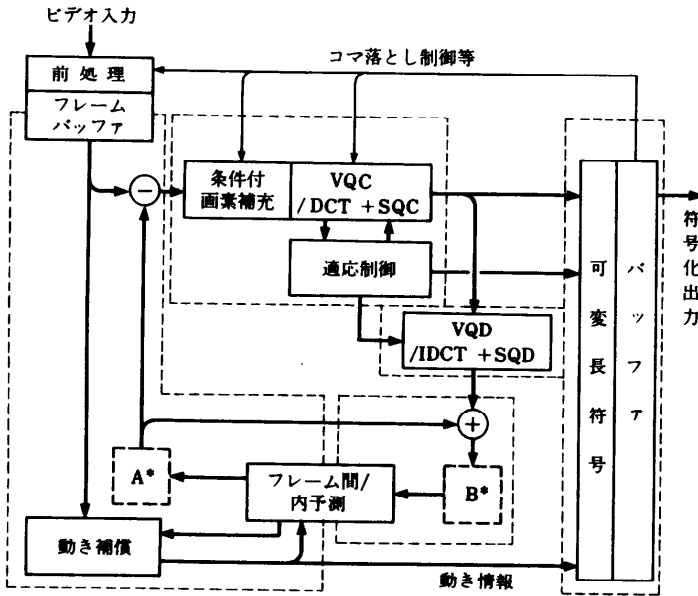


図-1 ビデオ符号化方式の展開



* A または B の位置にループ内フィルタが挿入される。

- VQC : Vector Quantization Coding
- SQC : Scalar Quantization Coding
- DCT : Discrete Cosine Transformation
- VQD : Vector Quantization Decoding
- SQD : Scalar Quantization Decoding
- IDCT : Inverse DCT

図-2 低レートビデオエンコーダの標準的な構成

前処理部は、各画素ごとに処理が一定であるため、専用 H/W による構成が有利である。

(2) 符号化処理部

符号化処理部は動き補償、フレーム内/間符号化、

条件付画素補充、予測誤差信号の変換符号化やベクトル量子化などを組み合わせて入力画像信号を高能率符号化し、符号化されたパラメータを可変長符号化する部分である。

ここでは、高圧縮・高画質を実現するため、階層的にセグメント化された画像信号の局所的性質すなわちアクティビティの変化に応じて、おの必要な符号化処理の内容・深さが適応的に変化する。また、被写体の動きに依存した符号化情報量の変動を、動き検出閾値や量子化ステップの制御により一定レートに平滑化することも必要である。

これらの符号化処理をセグメント単位に施す場合、S/W 制御による機能集約型の DSP が注目される。DSP の基本処理モジュールを並列型・パイプライン型のビルディングブロックに構成し、画像データを階層的なセグメント単位に取り扱うことで、リソースと負荷の配分の最適化が可能になる。また、S/W 制御であることから、より高性能のアル

ゴリズムへの変更、改良が容易である^{9),10)}。

逆に、DSP 化を意識した符号化アルゴリズムの開発は、コーデックの経済化に必要な条件の一つであるといえる。

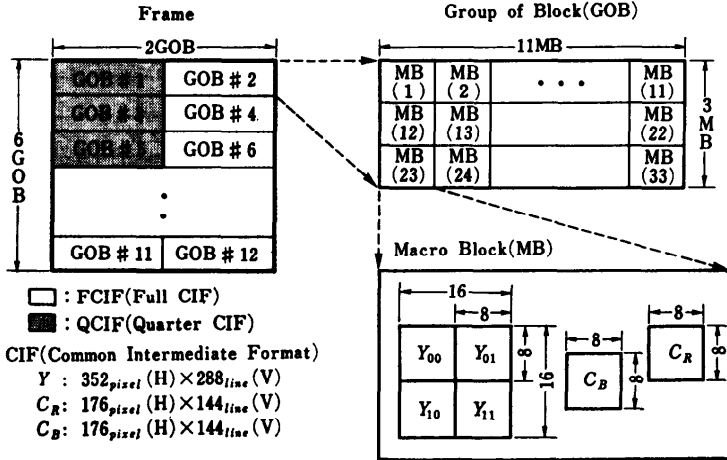


図-3 ピクチャフォーマットの階層構成

求めるために、演算とデータハンドリングの有機な結合が必要となる。

画像信号処理 DSP に必要な条件を以下にあげる。

(1) 大容量メモリ空間

画像メモリを扱うため、データメモリ空間が広く、ハンドリングしやすいこと。

(2) 2次元データアドレッシング

階層的にセグメント化された画像データを効率良くアクセスするために、画像データ中の

2次元データセグメントアドレスを生成できること。
テーブルサーチが可能なこと。

(3) 高速演算

実時間処理を実現するため、表-2 に示した画像信号処理に特有の複合演算および可変長符号化や伝送路符号化に必要なビット操作を高速に実行できること。

(4) データ入出力の効率化

データ入出力に要するオーバヘッドを極力減らし、処理のスループットを高めること。

(5) マルチプロセッサ間通信

現状の LSI 技術で実現できる処理速度では、1チップですべての処理を行うことは困難なため、マルチプロセッサ間通信、およびメモリ間のデータ転送が効率良く行えること。

これらの条件から、画像信号処理 DSP に必要な機能は表-3 のようになる。

(3) 伝送路符号化部

伝送路符号化部は、可変長符号化された符号化データを伝送速度に対応した速度に平滑化し、伝送フレームを構成して伝送路に送出する部分である。フレーム間符号化されたデータは、伝送路誤りに弱く伝送路誤りの影響が後続するフレームに伝搬するため、誤り検出や誤り訂正符号化などの誤り対策が行われる。

3. 画像信号処理に適した DSP

前章で述べた、画像信号処理の基本演算とアドレッシング機能の種別は表-2 のようにまとめることができる。動き補償やベクトル量子化のパターンマッチング処理のため積和(畳込み)、および歪測度を求める差分絶対値和、差分二乗和が多用される。また、木探索 VQ、2次元 DCT や動き補償の位置変位を効率良く

表-2 典型的なビデオ信号処理の演算(例)

機能	データハンドリング	演算
フィルタリング	1/2 次元画素単位	$a \cdot x + b$
畳込み(積和)	2次元ブロック(スライディング)	$\sum x \cdot y$
FFT	ビットリバース	$a \cdot x + b$
予測符号化	1/2 次元画素単位	$\sum a \cdot x$ etc
変換符号化	2次元ブロック(ランダム)	$\sum a \cdot x$
ベクトル量子化	2次元ブロック(ラスタ状/木状)	$\sum x \cdot y$ ないし $\sum (x-y)^2$
動き補償	2次元ブロック(ラスタ/スライディング)	$\sum x-y $ ないし $\sum (x-y)^2$
可変長符号化	木探索など	ビット操作

画像信号処理 DSP として、筆者らが開発した DISP (Digital Image Signal Processor) の構成と諸元をおのおの図-4、表-4 に示す^{10), 11)}。

DISP は、VLSI チップであり、プログラムバスとデータバスを分離した“ハーバードアーキテクチャ”を採用した信号処理プロセッサである。

パイプライン処理を行うことにより、等価的に1命令を1マシンサイクルで実行する。パイプラインステージは、

- ① 命令フェッチ
- ② 命令デコード、およびデータアドレス生成
- ③ データ読出し
- ④ 演算実行
- ⑤ データ書込みまたは累算

表-3 画像信号処理 DSP に必要な機能

項目	必要機能
外部制御	<ul style="list-style-type: none"> マルチプロセッサ制御機能 共有メモリ制御機能
データアドレッシング	<ul style="list-style-type: none"> 1次元/2次元画素単位アドレッシング 2次元ブロックアドレッシング (ラスタ, 木状, ランダム, スライディング) ビットリバースアドレッシング
データ I/O	<ul style="list-style-type: none"> 2次元並列データ転送機能 (DMA 転送)
演算機能	<ul style="list-style-type: none"> 算術演算 <ul style="list-style-type: none"> 複合演算: $x-y$, $(x-y)^2$, $(a \cdot x + b)$, $(x^2 + b)$ 累算: $\sum x$, $\sum x$ 複合演算: $\sum a \cdot x$, $\sum x^2$, $\sum x \cdot y$ + 累積: $\sum x-y$, $\sum (x-y)^2$, および「丸め, 切り捨て」 論理演算 ビット操作

の5ステージで構成されている。

動作速度とデータ語長

動作速度とデータ語長とは、トレードオフの関係にある。現状の画像信号処理アルゴリズムでは、演算語長は 16 bit 以上必要であり、アドレスデータ、可変長符号化語長、32 bit 浮動小数点データとの親和性をふまえて 24 bit の固定小数点フォーマットが適当である。実行速度は、20 MIPS (1 マシンサイクル=50 nsec のとき) であり、画像信号処理用 DSP として十分な性能を有する。

内部バス構成

DISP の内部バスは、プログラムバスと 3 本の演算用データバス、DMA バスから構成される。データバスは、信号処理演算に用いられる 2 項演算の 2 入力 1 出力データに対応して、2 本が入力用、1 本が出力用となっている。DMA バスは、データ I/O のスループット向上のためのデータ専用転送バスである。

データメモリ構成

内部バス競合を発生させることなく、内部メモリ間でベクトルデータの二項演算を行うために、内部データメモリは 2 面の 2 ポートメモリで構成されている。内部データメモリの 4 つのポートは、内部データバスと DMA バスに対応してリードポートに二つ、ライトポート、DMA 用リード/ライトポートにおおの 1 を割り当てる。

外部データメモリ空間は大量の画像データ、テーブル参照データをカバーするために十分な 16 MW を割

表-4 DISP-LSI の諸元

項目	諸元	
マシンサイクル	50 ns 以下	
内部メモリ	命令メモリ (WCS)	48 ビット × 512 W
	データ RAM (2 ポート)	24 ビット × 512 W × 2 面
	ユーザ・スタック	24 ビット × 64 レベル
パイプライン演算器	ALU	24 ビット固定小数点
	乗算器	24 × 24 ビット (47 ビット固定小数点出力)
	パレルシフト	24 ビット
	正規化シフト	24 ビット/47 ビット切替え
	累算器	24 ビット固定小数点
	ワーキングレジスタ	24 ビット × 8 W
アドレス生成器 (AGU)	24 ビット × 3 系統	
外部メモリ空間	命令バス	48 ビット × 16 KW
	データバス	24 ビット × 16 MW
デバイス	電源	5 V 単一電源
	消費電力	1.4 W (50 ns 動作時)
	プロセス技術	1.0 μm, 2 層メタル CMOS プロセス
	回路規模	約 538 k トランジスタ
	チップサイズ	13.80 × 15.49 mm ²
	パッケージ	177 ピンセラミック PGA パッケージ

り当てる。16 MW のアドレス語長は 24 bit となり、データの演算語長にも対応する。

演算部

演算部は、おのおの 24 bit の固定小数点演算を 1 マシンサイクルで実行する ALU、乗算器、パレルシフト、累算器、正規化シフト、ワーキングレジスタ (WR) から構成される。パイプライン処理を行うため、ALU、乗算器、パレルシフトは並列に接続され、その後段に正規化シフト、累算器が直列に接続されている。これによって、積和、差分絶対値和、差分二乗和などの複合演算を等価的に 1 命令で実行することができる。また、演算結果の切捨て/丸めも同時に行える。

さらに、コンディションコードチェックユニットでは、演算結果と設定された条件コードを比較し、結果をシフトレジスタにプッシュする機能がある。木探索の各ノードの歪量の判定結果をプッシュし、履歴を保

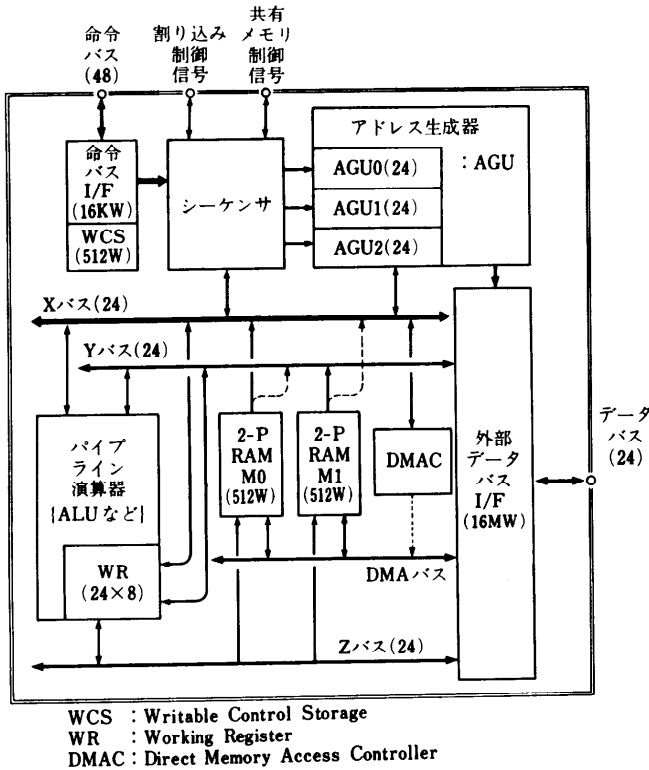


図-4 画像信号処理プロセッサ DISP の構成

持するなど、探索処理を効率良く実行することができる。

アドレス生成部

アドレス生成部は、3本のデータバスに対応して3系統の独立したアドレス生成器 (AGU 0-2) を備える。各アドレス生成器のアドレス語長は、演算部と同様 24 bit であり、アドレスレジスタ、インデックス修飾レジスタを備える。データのアドレッシングは、アドレスレジスタ、インデックス修飾レジスタ、および命令コード中のディスプレイメントから生成される。これらの加算の組合せを任意に選択して、2次元アドレッシングを実現する。また、ビットリバースアドレッシングを行うことで FFT を効率良く実行できる。

DMAC

DMAC は、外部データメモリと内部データメモリとの間で2次元データ転送を行う。この転送動作は内部演算とは独立に実行され、データ入出力のオーバーヘッドを削減することができる。特に、外部データメモリに低速のデバイスを用いた場合に、データ入出力

オーバーヘッド削減に効果がある。

インストラクションセット

画像信号処理演算は多種多様にわたる。繰返し演算ばかりではなく、適応処理などでは単独の演算も効率良く実行することが重要である。DISP のインストラクションは、データアドレッシング機能に重点をおき、命令から直接、任意のデータをアクセスできる構成を取る。命令コードはプログラミングの容易さを考え、MPU ライクに演算を制御する 48 bit 水平型命令コードを採用している。

4. 画像符号化システムへの応用例

マルチプロセッサ構成で動画コーデックを構成する場合、各 DSP で実行する演算とデータ転送の負荷のバランスが最適に配分される必要がある¹²⁾⁻¹⁴⁾。このとき、H/W リソースを最小化するために、階層的にセグメント化された画像データに対する符号化処理フローに合わせて機能分割を行う必要がある。動画符号化処理を2入力1出力を基本とした機能分割を行うと、以下の図-2 中の点線に相当する部分に分割される。

- (1) 動き補償
- (2) フレーム間予測 (差分)
- (3) 条件付画素補充, VQC, VQD
- (4) ループ内フィルタ
- (5) 符号割当て, 多重

これらの機能処理のうち、(1)動き補償、(2)フレーム間予測 (差分) はフレーム当たりの画素数とフレームレートに依存したスループットが必要である。一方、(3)条件付画素補充以後の VQC, VQD、(4)ループ内フィルタ、(5)符号割当て、多重は伝送速度相当のスループットで処理できれば良い。

前章で述べた DISP を用いた場合の各機能処理ごとのベンチマークを表-5 に示す。ここで、(1)動き補償は 16×16 画素ブロック単位の3ステップ探索、(3)VQC, VQD は 4×4 画素ブロック単位の内積演算を基本とした適応8進木探索、(4)ループ内フィルタは符号化されたブロックの雑音除去を行う平滑化フィルタを用いた。伝送速度 64 Kb/s の符号器を対象とし、最大処理フレームレートを 10 fr/s、ピクチャフォーマットを図-3 の FCIF または QCIF とすると、1 マクロブロック (MB) をそれぞれ 252.5 μsec およ

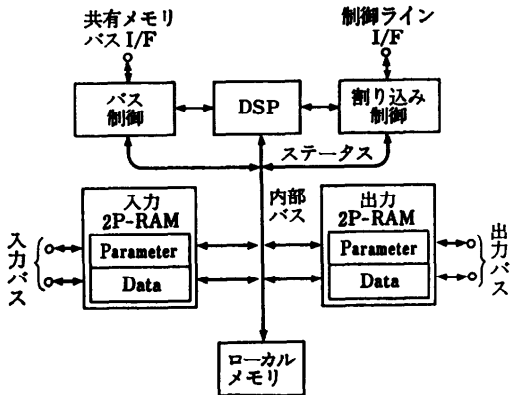


図-5 DSP モジュールの構成例

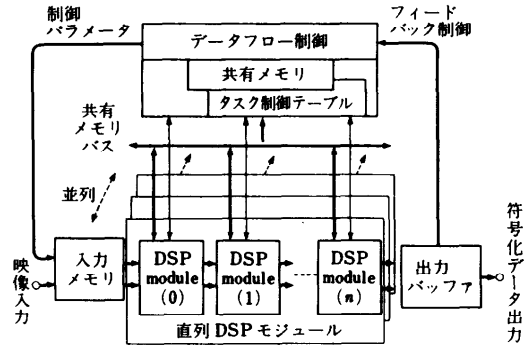


図-6 動画符号器の構成例

表-5 低ビットレート符号化処理のベンチマーク例

処理		50 ns 動作時の ベンチマーク [$\mu\text{sec}/\text{MB}$]	64 Kb/s 伝送時の 要求処理速度 [MOPS]	必要な DISP 数
フレーム間予測	動き補償	345 (6900 MC)	FCIF: 80 QCIF: 20	FCIF: ≤ 2 DISP QCIF: ≤ 1 DISP
	フレーム間差分	19.5 (390 MC)	FCIF: 1.5 QCIF: 0.4	
条件付画像補充 (ブロック単位)		24 (480 MC)	FCIF: 4 QCIF: 1	
ループ内フィルタ (B点)		最大 205 (最大 4100 MC)	FCIF: 26~1.5 (平均 4.0) QCIF: 6.5~0.4 (平均 3.5)	
VQ	VQC (8進適応木探索)	最大 530 (最大 10600 MC)	FCIF: 90~30 (平均 6.0) QCIF: 23~8 (平均 7.8)	FCIF: 1~2 DISP QCIF: ≤ 1 DISP
	VQD フレーム間加算	最大 50 (最大 1000 MC)	FCIF: 6 (平均 0.6) QCIF: 2 (平均 0.1)	
符号割当て 多重		最大 65 (最大 1300 MC)	FCIF: 5 QCIF: 1	

MC: Machine Cycle

び 1010 μsec で処理できればよいことになる。このとき、符号化すべき予測誤差信号の比率はそれぞれ 10% (FCIF) および 50% (QCIF) 程度となる。したがって、(3)条件付画像補充, VQC, VQD, (4)ループ内フィルタは最大負荷時の 10% または、50% の処理速度で処理すれば十分である。この結果、負荷分散を適切に行った場合、64 Kb/s エンコーダを FCIF では DISP 3~4 個, QCIF では 1~2 個で実現可能である。

マルチプロセッサ構成のための DSP モジュールの構成例を図-5 に示す。負荷分散を適切に行うためには、おのおのの機能処理に必要なデータをプロセッサ間で効率良く通信する必要がある。このため、DSP モジュールは、機能処理の分割単位に合わせて入出力

独立に通信用の 2 ポートメモリを備えている。また、データは機能処理単位であるマクロブロックごとに転送される。このマクロブロック単位に、その処理の属性、フレームにおける位置などを示すパラメータ情報を付加してフレーム間符号化に必要なフレーム単位の符号化処理の同期をとる。(1)動き補償に必要な符号化済みの過去のフレームを記憶するフレームメモリは共有メモリに設けられ、おのおのの DSP モジュールは共有メモリバスを介してこれに接続される。ベクトル量子化の出力ベクトルのセット(コードブック)などのテーブルは、ローカルメモリに設けられる。

DSP を用いた動画コーデックの構成例を図-6 に示す。おのおのの DSP モジュールはデータフロー制御

から起動され、マクロブロック単位のパラメータ情報を解読して処理内容を識別する。データフロー制御はタスク制御テーブルの内容に従い、リアルタイムで負荷分散制御を行う。制御のオーバーヘッドを削減するため、データフロー制御はパラメータ情報の初期値を設定し、DSP モジュールにおいておのおのの処理内容に従い更新される。これらの制御はリアルタイムモニタのタスク実行制御に相当する。

プロセッサ数が増大するに従い、マルチプロセッサ構成のシステムの効率が問題となってくる。低レートコーデックでは、処理分割の方法を工夫することで、システム構成の効率化が可能となる。

5. おわりに

本解説では、DSP を動き補償フレーム間ベクトル量子化を基本とする動画像符号化に応用した例について概観した。動画像符号化は、近年注目されている DSP の応用分野であり、符号化アルゴリズムの変更にも柔軟に対応できる。DSP アプローチはフレキシブルコーデックへの一つの試みである。今後、1ボードコーデックをベースとしたテレビ会議・テレビ電話システムが遠からず実現できることを期待したい¹⁵⁾。

参 考 文 献

- 1) 画像符号化小特集：電子情報通信学会誌，Vol. 71, No. 7, pp. 657-696 (July, 1988).
- 2) 村上篤道：高能率符号化技術，テレビジョン学会誌，Vol. 42, No. 11, pp. 1198-1204 (1988).
- 3) 小特集：次世代画像通信，テレビジョン学会誌，Vol. 42, No. 6, pp. 519-545 (1988).

- 4) Pratt, W.K.: Digital Image Processing, Wiley-Interscience (1988).
- 5) 有本 卓：信号・画像のデジタル処理，産業図書 (1980).
- 6) Gray, R. M.: Vector Quantization, IEEE ASSP Magazine, Vol. 1, No. 2, pp. 4-28 (Apr. 1984).
- 7) 村上篤道：ベクトル量子化による画像高能率符号化，電子情報通信学会技術報告，Vol. IT 85-61, pp. 1-8 (1985).
- 8) 小野定康：信号処理とプロセッサ，デジタル信号処理ワークショップ予稿，pp. 1-8 (1987).
- 9) 小特集：DSP (デジタルシグナルプロセッサ) テレビジョン学会誌，Vol. 41, No. 3, pp. 219-247 (1987).
- 10) Murakami, T. et al.: A 24-bit DSP for Motion Video Codec and Software Development Support System, Proc. ICASSP '89, pp. 1929-1932 (1989).
- 11) Nakagawa, S. et al.: A 50 ns Video Signal Processor, Proc. ISSCC '89, pp. 168-169, 328 (1989).
- 12) Eisenhardt, V. et al.: Architecture of a Full Motion 64 kbit/s Video Codec, Proc. PCS '88, pp. 15.2 (1988).
- 13) Fujii, T. et al.: Parallel Digital Signal Processing with a Multicomputer Type DSP System NOVI, Trans. of The IEICE, Vol. E 71, No. 12, pp. 1195-1202 (Dec. 1988).
- 14) 飯国洋二：シストリック処理，第2回回路とシステム軽井沢ワークショップ予稿，pp. 133-136 (1989).
- 15) Murakami, T. et al.: A Feasibility Study of 1×8 kbps Videophone Codec, Proc. PCS '88, pp. 15.3 (1988).

(平成元年6月29日受付)