

解 説



**テスト容易化設計技術の専用 VLSI
への適用†**

岩 崎 一 彦†† 畠 山 一 実††† 宮 本 俊 介††

1. はじめに

最近のエレクトロニクスの進展により、ASIC/ゲートアレイの適用分野は拡大し、年々その集積度も生産量も増加している。さらには、その設計を支援する DA ツールの性能/機能が向上している。このような専用 VLSI (本稿ではゲートアレイと ASIC を総称して専用 VLSI と呼ぶ) のテストは、集積度の増大とともに、より一層困難になってきた。もはやなんらかのテスト容易化の手段がなければテストはできない。

現在、専用 VLSI のテスト容易化手法として、次の手法が実用に供されている。(1)スキャン設計、(2)境界スキャン方式、(3)メガセルのテスト容易化設計、(4)内蔵メモリのテスト容易化設計、(5)組込み自己テスト (BIST: Built-In Self-Test)。

また、テスト容易化を推定するアルゴリズムあるいはそのシステムについても各種の提案がなされている。さらに、テスト容易化設計法を支援する設計自動化システムも重要である。

本稿では、上記手法の専用 VLSI への適用例を解説する。2. では、各種テスト容易化設計法の専用 VLSI への適用例を述べる。3. では、BIST の専用 VLSI への適用例を述べる。4. では、テスト容易化指標の例を述べる。5. では、スキャン設計を支援するシステムを例示する。6. はまとめである。

2. 専用 VLSI のテスト容易化設計とその適用例

2.1 スキャン設計の適用例

スキャン設計の概念、スキャンセル、実用例に

† Design for Testability of Custom VLSI Circuits by Kazuhiko IWASAKI (Central Research Lab., Hitachi, Ltd.), Kazumi HATAYAMA (Hitachi Lab., Hitachi, Ltd.) and Shun'suke MIYAMOTO (Central Research Lab., Hitachi, Ltd.).

†† (株)日立製作所中央研究所
††† (株)日立製作所日立研究所

については、すでに多くの解説^{1)~4)}がなされている。

すべてのラッチをスキャン可能にした場合のゲート数のオーバヘッドを表-1 に例示する^{5)~7)}。この表から、すべてのラッチをスキャン可能にした場合、約 20% のオーバヘッドが必要と言える。故障検出率 (Fault Coverage) は、テスト生成時間との兼ね合いであるが、90% 程度と報告されている。

このオーバヘッドの問題を改善するために、一部のラッチのみをスキャン可能とする部分スキャン法が提案されている⁸⁾。また、この部分スキャン法に適用する自動テスト生成システムも開発されている⁹⁾。

部分スキャン法は今後の一つの流れになる可能性がある。

2.2 境界スキャンの適用例

境界スキャン¹⁰⁾ (Boundary Scan) はスキャン設計をプリント基板レベルに拡張したものである⁴⁾。境界スキャンの目的はプリント基板に実装した LSI を検査することにある。図-1 に境界スキャンの原理的考え方を示す¹¹⁾。通常の入出力 (Mission Input/Output) に加え境界スキャン用の入出力端子が設けられている。

境界スキャンの適用例を二つ示す。第1の例は、境界スキャンをアナログ/ディジタル混在 LSI に応用したものである¹¹⁾。この例では、境界スキャンセルとして、入力境界スキャンセル、出力境界スキャンセル、入出力境界スキャンセルが例示されている。このうち、入力境界スキャンセルを図-2 に示す。図-2 にお

表-1 すべてのラッチをスキャン可能とした場合のゲート数のオーバヘッド

| | 文献 5) | | | 文献 6) | 文献 7) | | |
|--------|-------|-------|-------|---------|-------|-------|--------|
| | A | B | C | | B | D | F |
| 総ゲート数 | 7,934 | 6,235 | 7,398 | 約 3,000 | 2,943 | 7,086 | 22,501 |
| オーバヘッド | 24% | 27% | 26% | 約 20% | 25% | 42% | 16% |
| 故障検出率 | 92% | 92% | 88% | 80~90% | — | — | — |

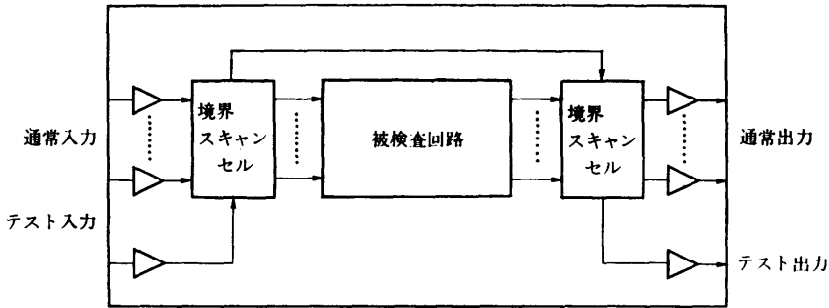


図-1 境界スキャンの例 (文献 11) より

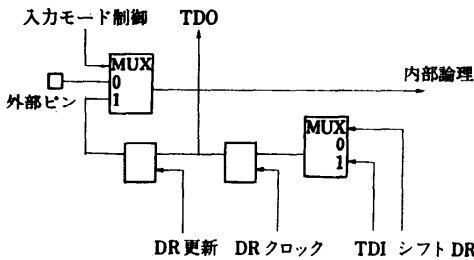


図-2 入力境界スキャンセルの例 (文献 11) より

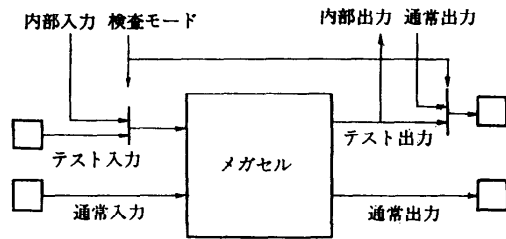


図-3 メガセルのテスト容易化設計の例

いて TDI, TDO はそれぞれ境界スキャン入力および出力である。その他の信号線, すなわち, 入力モード制御, DR 更新, DR クロック, シフト DR は, LSI 内部の境界スキャン用の制御回路から供給される。この LSI では, アナログ入力を A/D 変換した部分に対し, 境界スキャンを行っている。

第2の例は, 境界スキャンを 100k ゲートの Bi CMOS ゲートアレイに適用したものである¹²⁾。デジタルフィルタへの応用例が示されている。この LSI では, 境界スキャンのほかに, 4本のスキャンバスが適用されている。スキャンバスのオーバーヘッドは10%以下であり, 自動テストパターン生成によって90%の故障検出率を達成している。

2.3 メガセルのテスト容易化設計とその適用例

ASIC 設計の一つとして, 既存のマイクロプロセッサなどを一つの大きなセル (メガセルと呼ぶことにする) としてライブラリ化し, 集積化する方法が実用化されている。メガセルは既存のマイクロプロセッサをセル化したものなので, 既存のテストパターンが利用できる点が注目されている。メガセルのテスト法は, 大きく分けて次の二つの方法がある。

(1) テストモードにおいて, 外部ピンから直接アクセスする方法¹³⁾

表-2 メガセルに対する直列スキャンと並列スキャンの比較例

| | 直列スキャン | 並列スキャン |
|---------|--------|--------|
| 検査用追加セル | 166 | 45 |
| 検査用追加ピン | 1 | 1 |
| 多重化ピン | 6 | 35 |
| 検査時間 | 350ms | 200ms |

(2) スキャン設計によって, メガセルの入出力端子をアクセスする方法¹⁴⁾

図-3 は, 上記(1)によるメガセルのテスト容易化設計例を示すものである。テストモードでは, メガセルの端子に外部端子からのアクセスを可能とする。文献13)では, 3ステートバッファの切り替えによって外部ピンからの直接アクセスが達成されている。

上記(2)に基づく例が文献14)で提案されている。この LSI のメガセルテストでは, “スキャンモード” と “テストパターン印加モード” という二つのモードを用いている。このテスト容易化設計を用いて, FAX 用帯域圧縮・伸長 LSI が開発されている。

メガセルに対する直列スキャン方式と並列スキャン方式との比較が報告されている¹⁵⁾。この報告の中では 82C50 と呼ばれる非同期通信機能を例にとり, テス

ト時間、チップサイズ、テストプログラムの変更量などについて検討されている。結果を表-2 に示す。この例では、テスト時間、チップサイズとも並列スキンのほうが有利となっている。しかし、必ずしも一般的結果とは言えない。場合に応じて両方式の評価を行う必要がある。

2.4 内蔵メモリのテスト容易化設計とその適用例

内蔵メモリのテスト法は、大きく分けて次の三つの方法がある。

(1) テストモードにおいて、外部ピンから直接アクセスする方法¹⁶⁾。

(2) スキャン設計によって、アドレスレジスタ、データレジスタをアクセスする方法^{17), 18)}。

(3) BIST 構造にする方法¹⁹⁾。

上記(1)に基づく適用例を示す¹⁶⁾。この LSI は、ECL/TTL 両方のインタフェースをもつゲートアレイである。このゲートアレイの内蔵 RAM は、ECL と TTL の動作速度の違いを整合させることを目的として、次の二つの動作モードをもっている。一つは“internal select mode”であり、もう一つは“external mode”である。前者は、ECL とのインタフェースを目的としており、後者はチップ外部からの TTL レベルアクセスのためのものである。後者のモードは、本来、テスト用の機能ではないが、この機能を用いれば内蔵 RAM のテストに有効である。

上記(2)に基づく例は、例えば、文献18)に示されている。この例では、テスト補助回路の出力レジスタに2ビット余分を設けており、補助回路の試験が容易になっている。

上記(3)の方法、すなわち内蔵メモリを BIST 構造にする方法は、文献19)で詳しく紹介されている。また、ROM, RAM に対して BIST 構造を生成するソフトウェア(次章参照)も開発されている。

3. 組込み自己テストの専用 VLSI への適用

3.1 組込み自己テストの概要

VLSI のテスト容易化手法として BIST²⁰⁾が注目されている。BIST の基本的考え方は本号“VLSI のテスト容易化設計技術の研究動向”を参照されたい。

BIST 構造の構成要素は、擬似ランダムパターン発生器 (PRPG)、パターン圧縮器 (シグネチャ回路) である。PRPG として、線形掃選シフトレジスタ (LFSR) がしばしば用いられる。シグネチャ

回路として単一入力 LFSR と多入力シグネチャレジスタ (MISR) が用いられる。前者はスキャンパスに用いられ、後者は ROM, RAM, PLA に用いられている。制御線によってシフトレジスタ、PRPG、MISR として構成可能な Built-In Logic Block Observer (BILBO)²¹⁾ も提案されている。

BIST の特徴は次のとおりである。

(1) テストパターン設計が不要

(2) 並列に、複数ブロックの BIST 実行が可能
BIST の一つの問題点は、誤り見逃し (エイリアス誤り) である。すなわち、パターン圧縮にともない、被検査回路に故障があるにもかかわらず、故障なしと判断してしまうことである。単一入力 LFSR のエイリアス誤りについては、例えば文献22), 23)を、MISR のエイリアス誤りについては例えば文献24)~26)を参照されたい。

3.2 組込み自己テストの専用 VLSI への適用例

LSI への適用例を4件、および BIST を支援するシステムを1件例示する。表-3 に、LSI への適用例をまとめる^{27)~30)}。

20K ゲートのゲートアレイに BIST を適用した例が報告されている²⁷⁾。BIST 用回路のゲート数は2000 ゲートである。テスト専用ピンは4本である。Input Register と呼ばれるレジスタは、PRPG としても動作する。また、Output Register と呼ばれるレジスタは、チェックサムをとる。

30K ゲートの ASIC チップに BIST を適用した例が報告されている²⁸⁾。この LSI では、SRAM, ROM, 乗算器に対して、PRPG とシグネチャレジスタを集積化している。面積オーバーヘッドは、テスト制御回路が4%、全体で14%となっている。

自己テスト機能をもつ6Kゲートのゲートアレイが報告されている²⁹⁾。この LSI は、自己テストモードでは、入力レジスタが PRPG となり、出力レジスタがシグネチャレジスタとなる。また期待シグネチャ値をメタル層でプログラム可能であり、計算したシグネチャとの比較結果 (pass/fail) を出力する。

表-3 組込み自己テストの専用 VLSI への適用例

| | 文献 27) | 文献 28) | 文献 29) | 文献 30) |
|---------|---------|--------------|--------|----------------|
| 分類 | ゲートアレイ | ゲートアレイ | ゲートアレイ | ASIC |
| 総素子数 | 30K ゲート | 20K ゲート | 6K | 40K 回路 |
| オーバーヘッド | 面積 14% | 2K ゲート (10%) | 面積 3% | 1.1K 回路 (2.8%) |
| テスト専用ピン | 不明 | 4本 | 不明 | 不明 |

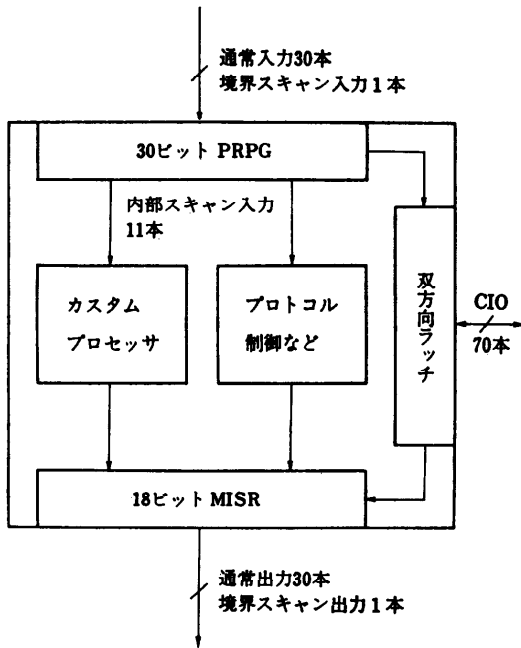


図-4 LAN チップの組み自己テスト構造の例 (文献 30) より)

ローカルエリアネットワーク (LAN) 用 LSI の自己テスト方式が報告されている³⁰⁾。図-4 に、この LSI の BIST 構造を示す。この LSI は、専用のマイクロプロセッサ、プロトコル制御回路などを集積化している。テスト入力端子が 30 本、双方向信号端子が 70 本、信号出力端子が 18 本ある。これらは、境界スキャン要素として、直列に接続されている。30 本の入力境界スキャンラッチは、30 ビットの PRPG として構成される。18 本の出力境界スキャンラッチは、18 ビットの MISR として構成される。約 1100 回路 (約 3%) が自己テスト用に追加され、このうち 900 回路は境界スキャン用である。自己テスト回路がチップ全体に占める面積割合は 1% 以下である。

また、BIST に精通していない設計者でも BIST 構造の利点が得られることを目的として、BIST 支援システムも報告されている³¹⁾。ROM, 乗算器, RAM について、面積オーバーヘッド、テストベクトル数、テスト時間、評価結果の例などが評価されている。

4. テスト容易化指標と検出率推定システムの例

4.1 テスト容易化指標

テスト容易化指標 (Testability Measure) は 1970

| 領域名称 | テスト容易化支援システム推定 | テストデータ自動生成システム判定 |
|------|----------------|------------------|
| A | 検出可能 | 検出可能 |
| B | 検出可能 | 検出不能 |
| C | 検出不能 | 検出可能 |
| D | 検出不能 | 検出不能 |

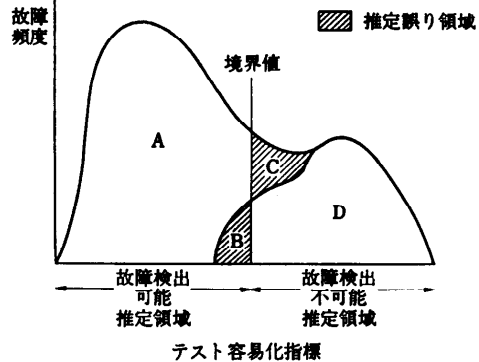


図-5 テスト容易化指標の分布 (文献 36) より)

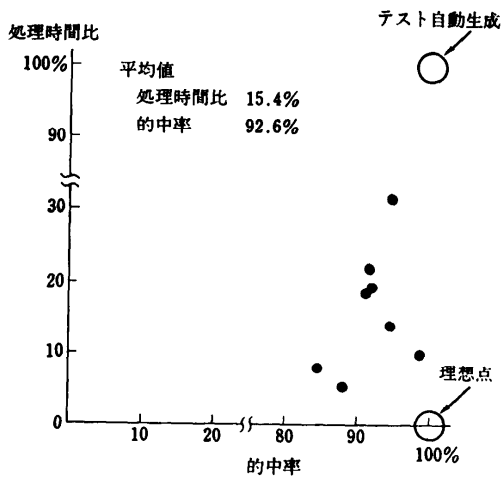
年代後半から 1980 年代前半に研究が盛んになった比較的新しい分野である^{32),33)}。各種の提案がなされているが、テスト容易化指標がテスト容易化設計に有効か否かに関する議論もある^{34),35)}。

4.2 検出率推定システムの例

検出率推定システムの一例を示す³⁶⁾。本システムの最終目的は故障検出率の精度よいかつ高速な推定にある。このための第一段階として制御容易度 (Controllability), 観測容易度 (Observability) を基にテスト容易化指標を計算する。この指標は対象論理回路中に仮定された 0/1 固定故障に対し、一つ一つ計算される。得られた結果を、縦軸にあるテスト容易化指標をもつ故障の頻度、横軸にテスト容易化指標をとりグラフ化する。一例が図-5 である。

理想的なテスト容易化指標が得られれば、図は二つの完全に分離された分布となる。しかし、現実には、本来は検出できない仮定故障を検出できると推定した部分およびその逆の部分が生じ、連続した二つ極大をもつ分布となる。このグラフのくびれの部分にテスト容易化指標の境界値を設定し、未検出となるであろう故障群と検出されるであろう故障群に分ける。

両者の群よりサンプリングにより仮定故障をいくつか選び出し、実際にテストデータ生成および故障シミュレーションを実施し、指定推定誤差以下になるようサンプリングを繰り返しながら個々の仮定故障に対する検出/未検出を推定し直し、最終的に故障検出率を



$$\text{処理時間比} = \frac{\text{TRUE 実行時間}}{\text{テスト自動生成システム実行時間}}$$

$$\text{的中率} = \frac{\text{推定的中仮定故障数}}{\text{全仮定故障数}}$$

図-6 TRUE システム評価結果 (文献 36) より

推定する。

8 回路についての実験結果を図-6 に示す。縦軸に自動テスト生成時間に対する本システムの実行時間比をとり、横軸にすべての仮定故障に対する予想の中した仮定故障数の割合を示してある。本システムの理想とする点は実行時間がほとんど 0 で 100% 予想的中する図中の右下の丸の点にある。実験結果では比較的右下に観測点が集まり、推定がうまくいっていることを示している。

テスト容易化指標としての今後の大きな課題は、実際の論理回路のどのような性質がテストを困難にしているか解明する高速な方法の発見にある。再収れん回路の多少のみによりテスト容易化指標が変化するのはないところに問題の難しさがある。上記が解明されればテスト容易化指標のみならずテスト生成アルゴリズムの新しい発展につながる可能性もある。

5. テスト容易化設計を支援する設計自動化システムの例

5.1 スキャン構造

スキャン構造をもたない論理回路を、スキャン構造をもち、かつそれともなう論理設計規則を満足する自動変換方式を紹介する³⁷⁾。この方式を用いたゲートアレイが実用化されている^{38), 39)}。

スキャン構造をもつ論理回路を設計するためにはいくつかの論理設計規則を守る必要がある。論理設計規則はスキャン方式によって多少異なるが、主なものは以下のとおりである。

- (R1) 各フリップフロップ (FF) のクロック入力はクロック外部入力端子によって直接あるいはゲートのみをとおして制御されること
- (R2) 各 FF は対応するクロック外部入力端子がすべてオフのとき、状態変化しないこと
- (R3) FF 間のデータの同相転送の禁止
- (R4) 二つ以上のクロック信号の AND の禁止
- (R5) ゲート・ループの禁止
- (R6) 各 FF はスキャン可能であること

図-7 にこれらの規則の違反例を示す。

図-8 は、スキャン構造の一種であるスキャンバス構造の基本構成を示したものである。

スキャンバス構造では、テスト用端子として、テスト専用端子 T, W, スキャン制御端子 M, R, C₁, C₂, スキャンアドレス端子 A₀-i-1 およびスキャンデータ端子 D₀-n-1 が用いられる。ただし、テスト専用端子以外は通常の端子と兼用できる。

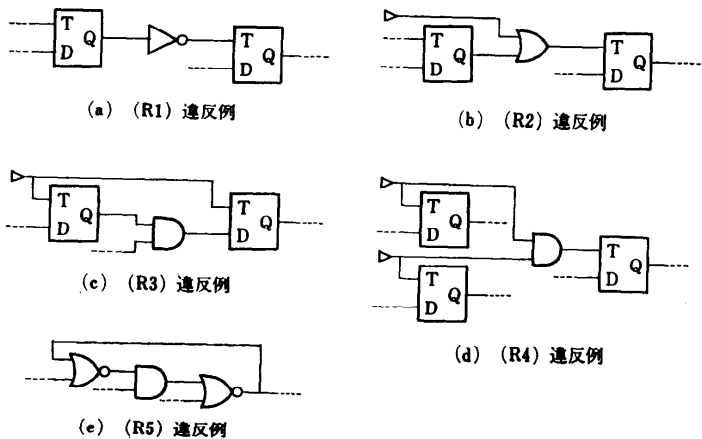


図-7 論理設計規則の違反例 (文献 37) より

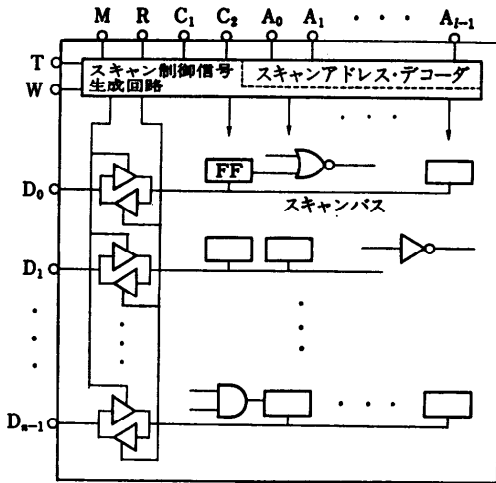


図-8 スキャンバス構造 (文献 39) より

また、スキャンバス構造ではテスト用付加回路として、スキャンアドレス・デコーダ、スキャン制御信号生成回路、およびスキャンバスが設けられる。

スキャンバス構造の特徴は、FF をそれに対応するスキャン機能付 FF に置き換え、図-8 に示すテスト用回路を付加するだけで、規則 (R5) 以外の規則が満足されることである。規則 (R5) は論理設計者にとってそれほど厳しい規則ではない。

5.2 スキャン構造をもつ

論理回路への自動変換

次に、一般の論理回路からスキャン構造をもつ論理回路への自動変換方式について述べる。変換は大きく分けて、スキャン情報の作成とスキャン機能付論理回路の生成から成っている。

スキャン情報としては、各 FF のスキャンアドレス (i, j) とテスト用端子番号が必要となる。スキャン情報決定の詳細手順は文献 37) を参照されたい。

スキャン機能付論理回路の生成ではスキャン情報に基づき以下の処理を行う。

(a) FF のスキャン機能付 FF への置き換え：FF のタイプ名称の変換および FF のスキャン用信号の付加を行う。

(b) スキャン用端子およびその周辺回路の生成：スキャン用端子、テスト信号を内部に供給するための回路、およびモード切り替えのための制御回路を生成する。

(c) テスト用付加回路の生成：スキャン制御信号生成回路およびスキャンバスを生成する。

これらの処理はそれほど複雑でなく、ほぼ機械的に行うことができる。図-9 は 3 個の FF を含む順序回路をスキャン機能付論理回路に変換した例である。

5.3 システムの全体構成

テスト容易化回路の自動生成を含めたテスト設計自動化システムの全体構成を図-10 に示す。このシステムでは、論理設計規則のチェック、テスト容易化回路の生成、テストパターンの生成を一貫して処理している。このため、人手作業の介在にともなう誤りの混入を回避することができる。また、スキャン構造によって異なるテスト回路の生成規則などはすべて専用のライブラリ (スキャン・ライブラリ) に記述されるため、スキャンバス構造以外のスキャン構造にも柔軟に対応することができる。

テスト生成を考慮した DA システムの例として次のものがあげられる。例えばでき上がった論理回路にテスト回路を試行的に挿入し、テストパターン生成と故障シミュレーションを行うシステムが商用化されて

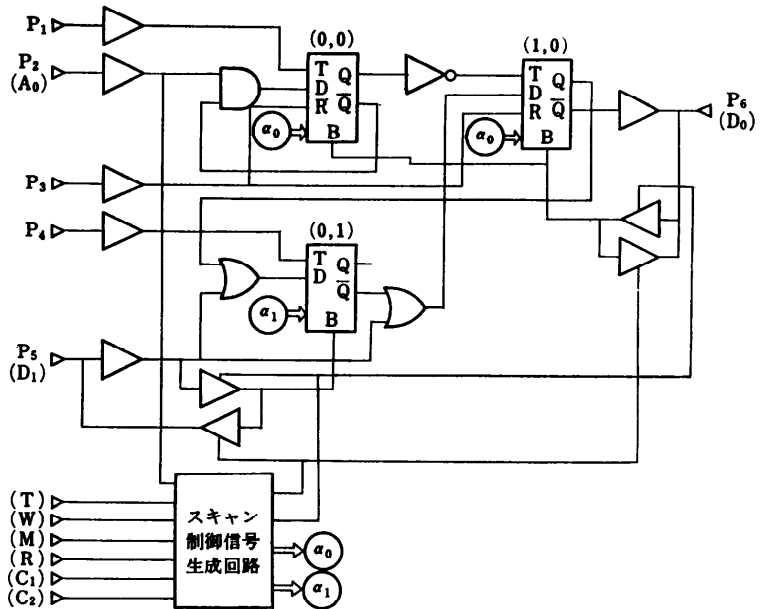


図-9 一般順序回路から変換したスキャン機能付論理回路の例 (文献 37) より

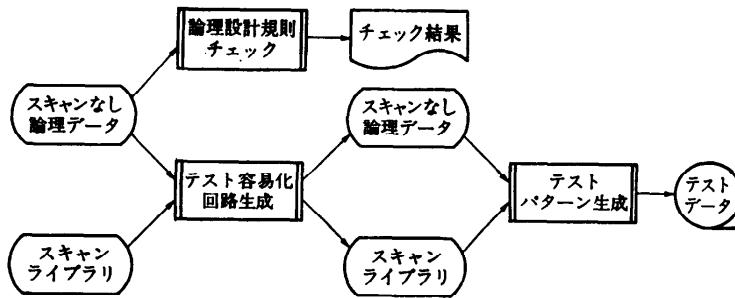


図-10 システムの全体構成 (文献 39) より)

いる。さらに進んだシステムでは、テスト回路を組み込んだアーキテクチャを構築し、論理合成とテストパターン生成を行っているものもある。

6. まとめ

以上のように、本稿では、以下のテスト容易化手法の専用 VLSI への適用例を述べた。(1)スキャン設計、(2)境界スキャン方式、(3)メガセルのテスト容易化設計、(4)内蔵メモリのテスト容易化設計、(5)組み込み自己テスト。

同時に、テスト容易化指標の具体例を示した。さらに、スキャン設計を支援するシステムを例示した。

テスト容易化を考慮した論理合成が今後の一つの方向である。

謝辞 資料提供にご協力いただいた方々、貴重なコメントをいただいた日立製作所中央研究所山口昇氏、野口孝樹氏ならびに原稿作成にご協力いただいた方々に感謝します。

参考文献

- 1) McCluskey, E. J.: LSI のテストを容易にするスキャン・パス方式, 日経マイクロデバイス (1985年12月).
- 2) Fung, H. S. et al.: An Automatic DFT System for the Silc Silicon Compiler, IEEE D & T, 3, 1, pp. 45-57 (Feb. 1986). 邦訳: 日経エレクトロニクス (1986年9月22日).
- 3) 日経マイクロデバイス: メモリーやテスト機能を搭載, 姿を交える CMOS ゲート・アレイ (1986年9月).
- 4) 小島他: ASIC のテスト自動化進む, 日経エレクトロニクス, 469, pp. 209-216 (1989年3月20日).
- 5) Kawashima, M. et al.: A 18K 1 μ m CMOS Gate Array with High Testability Structure, CICC '87, pp. 52-55 (1987).
- 6) 野田他: スキャン構造を意識したテストパター

ン生成, 信学技報, VLD 87-110, pp. 27-32 (1987).

- 7) 西他: 一般回路のスキャン自動変換を目的としたテスト容易化支援プログラム, 信学技報, VLD 88-75, pp. 9-16, 情処設自研資 (1988年12月).

- 8) Agrawal, V. D. et al.: Designing Circuits with Partial Scan, IEEE D & T, 5, 2, pp. 8-15 (Apr. 1988).

- 9) Marlett, R. et al.: Guaranteeing ASIC Testability, VLSI Systems Design, pp. 1-5 (Aug. 1988).
- 10) WESCON/88, Session 13: Design For Testability (DFT): System Testability in Light of Emerging Test Bus Standards (1988).
- 11) Fasang, P. P.: Boundary Scan and Its Application to Analog-digital ASIC Testing in a Board/System Environment, CICC '89, pp. 22.4.1-4 (1989).
- 12) Gallia, J. et al.: A 100 K Gate Sub-micron BiCMOS Gate Array, CICC '89, 8.6.1-4(1989).
- 13) Nagao, K. et al.: Super Integration, CICC '85, pp. 267-271 (1985).
- 14) 坂下他: セルベーステスト手法による FAX 用 LSI の開発, 信学技報, VLD 88-107, pp. 93-100, 情処設自研資 (1989年2月).
- 15) Breitenwischer, T. G.: Logic Verification and Production Testing of Non-structured Embedded VLSI Blocks, CICC '87, pp. 62-65 (1987).
- 16) Masumoto, R. T.: Configurable On-chip RAM Incorporated into High Speed Logic Array, CICC '85, pp. 240-243 (1985).
- 17) Maeno, H. et al.: Testing of Embedded RAM Using Exhaustive Random Sequences, ITC '87, pp. 105-110 (1987).
- 18) 山田他: ゲートアレイ内蔵メモリのテスト補助回路とテストベクタの検討, 信学技報, VLD 88-57, pp. 17-23, 情報処理研資.
- 19) Jain, S. K. et al.: Built-in Self-testing of Embedded Memories, IEEE D & T, 3, 1, pp. 45-57 (Feb. 1986), 邦訳: 日経エレクトロニクス (1987年4月20日).
- 20) McCluskey, E. J.: Built-in Self-test Techniques, IEEE D & T, 2, 2, pp. 21-28 (Apr. 1985).
- 21) Koneman, B. et al.: Built-in Block Observation Techniques, ITC '79, pp. 37-41 (1977).
- 22) Williams, T. W. et al.: Bound and Analysis of Aliasing Errors in Linear Feedback Shift Registers, IEEE Trans. CAD, 7, 1, pp. 75-83 (Jan. 1988).
- 23) Gupta, S. K. et al.: A New Framework for Designing & Analyzing BIST Techniques, ITC

- '88, pp. 329-342 (Sep. 1988).
- 24) 岩崎他: シグネチャ検査法のエイリアス確率と符号の重み分布, 信学論 (D), J71-D, 9, pp. 1797-1803 (1988年9月).
- 25) 岩崎他: リード・ソロモン符号の2元重み分布とそのBISTへの応用, 信学技法, R 88-29, FTS 88-24, pp. 35-40 (1988年11月).
- 26) 藤原他: 短縮巡回ハミング符号, $(\chi-1)(\chi-\alpha)$ を生成多項式とする短縮RS符号の2元重み分布近似について, 情報理論とその応用シンポジウム (1988年12月).
- 27) Baran, D. et al.: HC 20000: A Fast 20 K Gate Array with Built-in Self Test and System isolation Capabilities, CICC '86, pp. 315-318 (1986).
- 28) Sato, S. et al.: On-chip Testing for 30 K-gate Masterslice, CICC '86, pp. 311-314 (1986).
- 29) Anderson, F. et al.: A 6 K gate Array with Self-test and Maintenance, ISSCC '87, pp. 150-151 (1987).
- 30) Lang, K. W. et al.: A 16 Mbps Adapter Chip for the IBM Token-ring Local Area Network, CICC '89, pp. 11.3.1-5 (1989).
- 31) Archambeau, E. et al.: Built-in Test Compiler in a ASIC Environment, ITC '88, pp. 657-664 (1988).
- 32) Ratiu, I. M. et al.: VICTOR: A First VLSI Testability Analysis Program, ITC '82, pp. 397-401 (1982).
- 33) Seth, S. C. et al.: PREDICT-Probabilistic Estimation of Digital Circuit Testability, ITC '85, pp. 220-225 (1985).
- 34) Agrawal, V. D. et al.: Testability Measures... What do they tell us?, ITC '82, pp. 391-396 (1982).
- 35) 西田他: テスタビリティ解析の現状と将来, 昭60 信学全大, pp. 2-390-391 (1985).
- 36) Miyamoto, S. et al.: TRUE: A Fast Detectability Estimation System, ICCAD, pp. 36-37 (1983).
- 37) 林他: 検査容易なLSI論理回路の自動設計方式, 情報処理学会論文誌, Vol. 27, No. 1, pp. 90-95 (1986年1月).
- 38) Kuboki, S. et al.: A 4 K CMOS Gate Array with Automatically Generated Test Circuits, IEEE JSSC, sc-20, 5, pp. 1018-1024 (Oct. 1985).
- 39) 久保木他: ゲートアレイのテスト設計を自動化する, 日経エレクトロニクス, 400, pp. 301-322 (1986年7月28日).

(平成元年9月13日受付)