

## 解説



## 機能メモリのアーキテクチャとその並列計算への応用

## 1. 機能メモリ：新しいアーキテクチャと集積回路技術†

田丸 啓 吉竹

## 1. ま え が き

機能メモリの概念の歴史は古く<sup>1)</sup>、言葉もよく目にする割には、その全体像は明確でない。一般的には、記憶以外に論理機能を併せもつメモリ<sup>2)</sup>ということになる。通常のメモリは指定した番地(場所)にデータを書込みまたは読出しをする機能だけをもっている。読み出したデータは以前にその番地に書き込んだデータと同じものである。これに対して機能メモリでは、書込みデータになんらかの処理をしたデータが読み出されてくるようなメモリである。この処理を行うために論理機能を内部にもっている。このような種類のメモリは機能メモリ以外にも連想メモリ、論理付きメモリ、論理メモリ、知的メモリなど種々の名前で呼ばれている。基本概念は同じであるが、構成や動作が若干異なっているものもある。機能メモリの一種である連想メモリ(厳密には後に述べる内容アドレスメモリ)の概念は、1956年の Slade と McMahon の論文<sup>3)</sup>にまでさかのぼるほど古い。が、実用製品の面ではこれまで必ずしも順調に発展してきたわけではない。これは実現技術のレベルが不十分であったことによる。古くはクライオトロンや磁気コアなどが検討されたが、実用にはならなかった。LSI 技術の進歩にともなって、一般のメモリが LSI メモリになったことにより、機能メモリも LSI が主流になった。その LSI メモリ技術も 1980 年代前半まではまだ規模的に力不足であったため、実際の用途も計算機内部のメモリ番地照合など小規模のものに限定されていた。用途の拡大については、多くの研究開発が行われてきたが、経済性を含めて実用化には到らなかった。

1980 年代末から 1990 年代にかけてメモリ技術がメガビットレベルに達したことにより、初めて実用規模の LSI 機能メモリが実現できる時代になった。

このような背景を踏まえて、本論文では論理機能面と LSI 技術面からこれまでの機能メモリの開発の流れを概観し、将来の方向について検討する。

## 2. 機能メモリとは

機能メモリの定義として 1. に述べた記憶以外に論理機能を併せもつメモリという定義ではあまりに大雑把すぎるので、もっと厳密な定義を考えてみる。機能メモリを含めて、メモリを定義する視点には、ハードウェアの形態が不可欠である。ハードウェアの形態を踏まえた定義の一つの例として、飯塚による「メモリの各ビット、あるいはその集合ごとになんらかの同一の論理機能を付加し、単なる情報の記憶のみならず、メモリ上での論理操作を高速に(通常並列に)行えるようにした記憶装置<sup>1)</sup>」という定義がある。この記述のポイントはメモリのビットまたはその集合に対して論理が付加されることと、論理操作は並列に行われるというところにある。この考えはメモリの中心部(メモリセル)に論理機能が入ることを考えているものである。このようなメモリセルと論理回路の組合せという視点から、論理機能を実現する付加回路をどこにもたせるかによって機能メモリを眺めると、いくつかのハードウェア形態が考えられる。第 1 は論理と記憶が一体化した専用(特別)の機能セルを使用するものである。MOS ダイナミック形 3 値連想メモリセル<sup>4)</sup>などの例がある。第 2 は汎用の RAM セルに論理回路を付加して機能セルを構成するもので、SRAM セルを使用した内容アドレスメモリセルがこれに

† Functional Memory: New Architecture and Integrated Circuit Technology by Keikichi TAMARU (Dept. of Electronics, Faculty of Engineering, Kyoto University).

竹 京都大学工学部電子工学教室

相当する。第3は数ビットから数十ビットの範囲で汎用RAMセルをビットまたはワードスライスに配列したアレイを構成し、これに論理回路を付加して機能ブロックを構成するものである。飯塚の定義は1~3を含むものである。第4は汎用メモリアレイの周辺回路に論理機能を付加するもので、周辺回路のデコーダ、読出し/書込み回路、制御回路などに機能を加え、外部から見たとき機能メモリに見えるようにしたものである。直交メモリ<sup>5)</sup>、時間スイッチ<sup>6)</sup>などはこの例である。第5は、メモリは標準メモリを使用し、プロセッサを組み合わせてシステムとして機能を実現するものである。実現は最も容易であり、システム例も従来から多い。しかしこの種の構成の機能メモリは、最初に述べた定義による本来の機能メモリとは異なるので、以下では取り上げないことにする。微妙なのは第4のケースで、本来の機能メモリでは論理機能を付加する対象の単位としては、ビットの集合の大きさが大きくても1ワード程度の大きさを想定しているの、汎用メモリアレイはこの範囲には入らないことになる。しかしここでは解釈を拡大して、1チップに集積されている場合にはこの種のメモリも機能メモリに含めることにする。

このような機能メモリを使用した場合、普通のメモリと異なる点は書き込んだ内容と同一のものが読み出されてくるのではなく、なんらかの処理をうけた内容が出てくることである。これは普通のメモリでは、記憶内容を読み出した後に行う処理と同じ操作がメモリ内部で行われていることを意味している。一例として検索入力データと同じ記憶内容をもつ全てのデータが順番に出るメモリを考えると、共通の記憶内容の照合と、この記憶内容をもつ記憶データを順番に読み出す操作をメモリの内部で行っている。したがって使用者は処理済みのデータをメモリから得ることができる利点がある。

次に機能メモリの具体例をその系統別に分類して説明する。機能

メモリには表-1に示すように3種類の発展系統がある<sup>7)</sup>。第1の系統は汎用の論理機能つきメモリの系統で、これまで最も多くの研究開発が行われてきたメモリである。その中でも連想メモリまたは内容アドレスメモリ(Content Adressable Memory CAM)が大部分を占めている<sup>8)-12)</sup>。このメモリの基本的機能は図-1に示すように1ワードの中にタグフィールドと呼ぶ照合可能な領域をもち、外部から与える検索タグデータとタグフ

表-1 機能メモリの分類

系 統	実 現 形 式	機 能 又 は 応 用
1. 論理機能つきメモリ	内容アドレスメモリ	一致検索 大小検索 ハミング距離検索 ビット直列演算
2. プロセッサアレイ	分布論理記憶 微小プロセッサアレイ	文字列検索 画像処理機能 連想機能 機能メモリ型並列プロセッサ
3. 特定用途の専用メモリ	CAM ベース連想メモリ 時間空間変換メモリ その他	文字列検索 ポートスイッチング 辞書検索 ソート機能 タイムメモリ

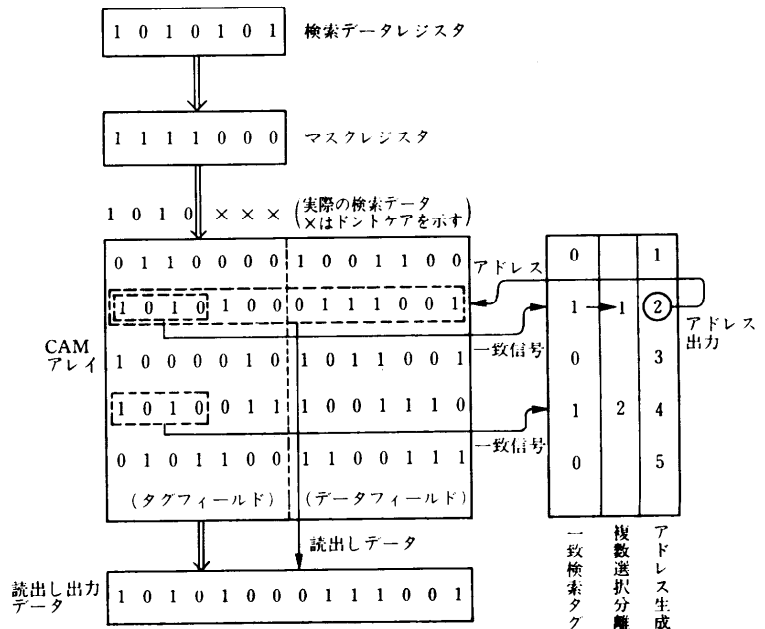


図-1 CAM の基本機能

フィールドの記憶内容を全ワード並列に照合して、一致したワードから一致信号を取り出すことができる。この信号によりタグ部の一致した記憶番地の内容を読み出したり書き込む。1ワード全体がタグフィールドになっている場合も多く、照合を行うビット場所はマスクレジスタで選択できる。また複数ワードが一致した場合には、その中から順番に1個ずつ取り出す分離回路がついている。このような機能のメモリは一般的に連想メモリと呼ばれているが、連想メモリという言葉よりも内容アドレスメモリ (CAM) という言葉のほうがより正確なので、以下では主に CAM を使用する。CAM の基本機能は、上記のようにタグ部の記憶内容の一致照合、一致したワードのアドレス生成、アドレスによる読出し/書込み動作である。この基本機能に加えて、高機能化指向のもとにいくつかの追加機能が実現または提案されている<sup>13)</sup>。その中には大小検索やハミング距離検索などの複雑な検索機能、ワード並列書込みや部分書込みなどの柔軟な書込み機能、不要ワードの管理機能、ビット直列演算機能などがある。これらの機能強化により、最大値/最小値データの検索やある範囲内データの検索が簡単になる (大小検索)、あいまいさを含む連想処理ができる (ハミング検索)、CAM 内にワーキング領域をとることが可能になり処理能力が向上する (並列書込み、部分書込み)、自動的にメモリの効率良い使用ができる (不要ワード管理)、計算能力をもたすことができる (演算機能) など、応用の拡大が可能になる。

これまで多数発表されてきた一般的な CAM は2値論理であるが、3値論理を使用する CAM も発表されている。この CAM では2個の記憶素子を使用し、1, 0 のほかに X (don't care) を表す。古くは McKeever の提案した回路<sup>14)</sup>があり、最近では Wade らのデータベース用サーチエンジン用の CAM<sup>4)</sup> の例がある。前者は各ビットの記憶に2個のフリップフロップを使用し、語選択線は一致信号線と兼用で行の全フリップフロップに接続し、ビット線は両フリップフロップにそれぞれ別の線がある。動作は検索フェーズと読出しフェーズに分かれている。時期的に古いため実現を試みた報告はない。後者は各ビットに2個のダイナミックメモリセル (コンデンサ) を使用した

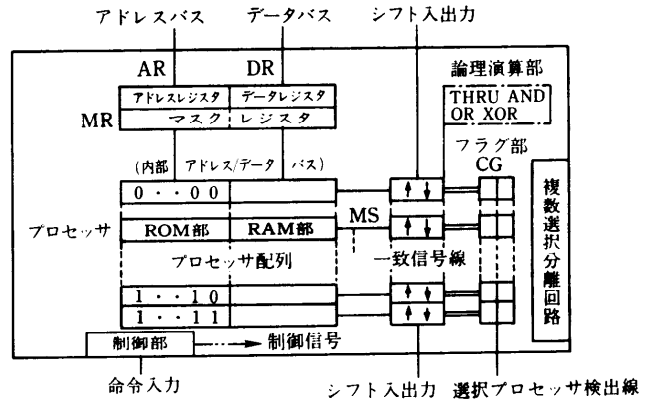
CAM セルを使用し、ビット線は逆相信号を与える2本からなり、語線とは別に一致信号線をもっている。CMOS の試作が発表されている。またフローティングゲート MOS トランジスタを使用した多値 CAM の提案もある<sup>43)</sup>。汎用 CAM の応用には、Prolog マシンの各種スタック<sup>15)</sup>、LSI の配線マシン<sup>16)</sup>、キャッシュメモリのタグ部<sup>17)</sup>、仮想メモリ管理部の高速 TLB (translation lock aside buffer)<sup>18)</sup>、データ駆動プロセッサのマッチングメモリ<sup>19)</sup>など数多くの例がある。

第2の系統はプロセッサ (プロセッシングエレメント) アレイから出てきているもので、簡単な論理機能と少量のメモリをもつプロセッシングエレメントを1次元または2次元に並べた構造をもつ。古くは Lee の分布論理記憶 (Distributed Logic Memory DLM)<sup>20)</sup> などがある。DLM は文字列検索を行うことを目的とし、1文字の記憶と簡単な論理を行うセルを1次元に結合したもので、中央制御装置の制御の下で、SIMD 形式の動作をする。命令は全セルにブロードキャストされ、並列に実行される。この DLM はその後レーダデータ処理用の連想システム PEPE<sup>21)</sup> などに発展した。また画像処理用などを対象にしたプロセッサアレイが開発されている。古くは2次元アレイの MPP<sup>22)</sup> などがあったが、最近では AAP-2<sup>23)</sup> や SCAPE チップ<sup>24)</sup> などが知られている。このようなプロセッシングアレイは本来機能メモリとして考えられたものではないが、結果として記憶データに連想機能や画像処理 (空間フィルタ) 機能を行っているともみることができるので、一種の機能メモリと考えることができる。この場合プロセッサの処理機能が少なく、1個のプロセッサにつくメモリの容量も小さければ、よりメモリ色が強く機能メモリとなり、逆に処理機能が大きく、メモリ容量が大きくなると、プロセッサアレイ色が強く、機能メモリには含めない。AAP-2 やコネクションマシン<sup>25)</sup>などは後者の例である。また生まれは異なるが、最近研究の活発なニューラルネット<sup>26)</sup>もこの系統に含めることができる。

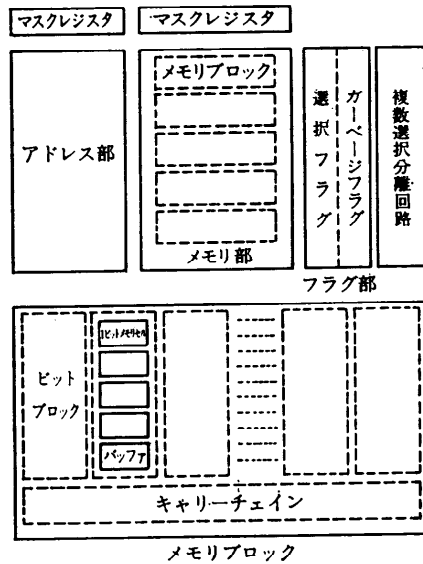
系統1と2の中間的なものとして、機能メモリ形並列プロセッサ (FMPP) が提案されている<sup>27)</sup>。これは汎用の CAM セルのワードごとに論理回路をつけ加えて、メモリとしてみれば従来の CAM より機能の強化されたメモリにみえ、プロセッサ

アレイとしてみれば、多数の SIMD 動作の微小プロセッサのアレイにみえるような構成をもつものである。図-2 (a)に示すように、CAM とほとんど同じ構成の形式<sup>27)</sup>と同図(b)に示すメモリブロックを基本とする構成の形式<sup>28)</sup>が考案されている。前者は以前に発表されている汎用 CAM に<sup>29)</sup>、メモリアレイの一部を ROM 化してアドレスをもたせる、隣接ワード(プロセッサ)間でフラグの転送を双方向化する、フラグと一致信号間の論理演算機能に XOR 命令を追加するなどの改良をしたものである。後者は CAM をベースとするが、現在の CAM に備わっていないビット単位の論理演算やビット並列加算、シフト機能を追加したこと、メモリを4ワードのブロックに分割し、ブロックを1個のプロセッサとして動作させるビット並列ブロック並列方式を採用したことの2点で従来のCAMとは異なるアーキテクチャをもっている。

第3の系統は特定の分野を指向した専用メモリである。この分野のメモリは応用の性質から特徴的な機能を抽出して、機能メモリ化している。実際に発表されている例としては、大別するとCAMをベースにして応用向けに必要な機能を実現するように構成した連想メモリと、連想とはまったく無関係の機能のメモリに分けられる。前者には文字列検索エンジン<sup>30)</sup>、高速パケットスイッチングのアドレス・ポート番号変換用のCAM<sup>31),32)</sup>、辞書検索プロセッサ用の連想メモリ<sup>33)</sup>、データベース用のソート機能をもつ連想メモリ<sup>34)</sup>、人工知能マシンFAIM-1の構造化データを対象とする連想メモリ<sup>35)</sup>などがその例である。辞書検索プロセッサ向けに考案されたCAM<sup>33)</sup>では、16個のSRAMセルに1個の一致検出回路をつけた16多重構成を採用して大容量化を図っている。後者の例としては、汎用メモリセルにタイミングパルスの遅延回路をつけたタイムメモリの発表がある<sup>36)</sup>。このメモリは2次元配列のSRAMセルに、行方向に2段のインバータチェーンの遅延回



(a) CAM 形式



(b) メモリブロック形式

図-2 FMPP のアーキテクチャ

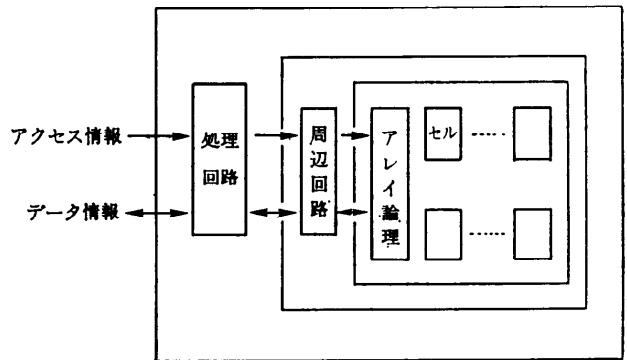


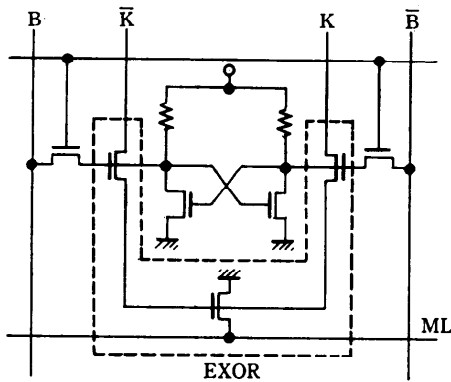
図-3 機能メモリにおける論理のレベル

路をつけ、書込み信号をセルごとに遅延時間  $\Delta t$  だけ遅らして供給するようにし、ワードごとには外部より  $n\Delta t$  ( $n$  は1ワードのビット数) だけ遅れたクロックパルスを供給する。これにより時間

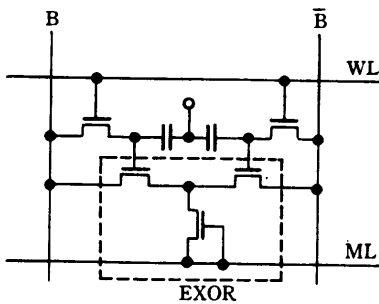
情報を2次元空間上のビット位置に変換することができる。これは高エネルギー粒子の振舞いをナノ秒の時間分解能で測定することを可能にする特殊な機能メモリである。

### 3. 論理回路からみた機能メモリ

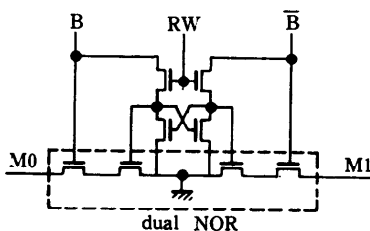
機能メモリを論理回路の機能からみたとき、構造上のどの場所(レベル)で見ると、論理の複雑さが異なってくる。機能メモリの論理機能



(a) SRAM ベースのセル



(b) DRAM ベースのセル



(c) 擬スタティックセル

- (1 書込み B=1 B-bar=0)
- (1 検索 B=0 B-bar=1)
- (0 書込み B=0 B-bar=1)
- (0 検索 B=1 B-bar=0)

図-4 CAM セル回路

は図-3 に示すようにセル、セルアレイ、周辺回路のレベルで実現される。セルレベルで実現されている最も一般的な論理は、記憶内容と外部入力との一致検出を行う EXOR (Exclusive OR) である。この論理機能が CAM の基本論理動作であり、実現手法としては図-4 (a) に示すように SRAM セル (フリップフロップ) に一致検出論理用の MOS トランジスタを3個または4個追加した回路が使用されている。DRAM セルを使用した場合には図-4 (b) に示すように汎用 DRAM セルを2個使用し、これに同様の EXOR 回路をつけ加えたセル<sup>27)</sup>や記憶用のコンデンサとして MOS トランジスタのゲート容量を使用するセル<sup>4)</sup>などがある。また図-4 (c) に示すようなコンデンサの充放電を使用してフリップフロップ的な動作をさせる擬スタティック CAM セルも発表されている<sup>24)</sup>。このセルはリフレッシュ動作が必要であるが、小面積で小駆動電流にできる特徴がある。

セルレベルで EXOR や NOR 以外の論理を行う回路例として、図-5 に示すように CAM セルの外部検索信号の与え方を変える提案がある<sup>28)</sup>。data 1, data 2 線に  $b, \bar{b}$  を印加すれば記憶内容  $a$  との間で通常の  $a \oplus b$  を行うが、data 線の片方を0とすることにより、 $a \cdot b$  または  $a + b$  を行うことができる。また両方の data 線を0または1にすれば、出力も0または1となる。しかしセルは数が多く、論理のために複雑な回路をつけ加えにくいので多くの素子を使用した回路の例はない。

セルアレイレベルでは、1ワードのセルアレイに論理回路がつく形が基本である。CAM の一致検出を行うため各ビットの一致出力のワイヤード AND をとる回路や、この一致信号と各ワードのフラグの内容との間で演算を行う回路などの例が

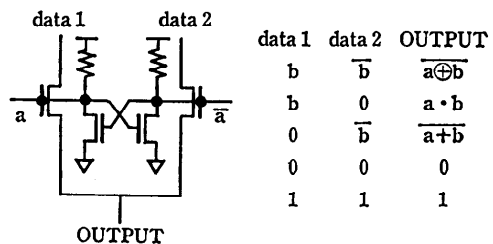


図-5 CAM を用いた論理演算

ある。複数ワードのセルに論理をつける形も考え得る。この形は具体的な製品の例はないが、提案としては4ワードのメモリに1個の加算回路とマンチェスタチェーン桁上げ回路をつけた FMPP の例がある<sup>28)</sup>。そのほかには1ワードのセルアレイにインバータチェーンの遅延回路を並べて構成したタイムメモリ<sup>30)</sup>の例がある。

周辺回路レベルではメモリアレイの外側に論理回路がつくもので、各ワード間にまたがる演算を行う。CAM の複数選択分離回路や一致アドレス生成回路、FMPP のフラグ演算回路やワードシフト回路などの例がある。このようにセルのレベルからアレイ周辺回路のレベルまで論理機能は分散して実現しているが、外から見える機能としては、大別して記憶内容の検索（読み出し）、書込み、記憶内容の演算に分けられる。検索機能については記憶内容と外部検索入力の間的一致検索が基本であり、この機能に基づくメモリがCAM として古くから開発されてきた。その後外部入力と記憶内容のハミング距離が0, 1, 2 以上を識別するハミング距離検索<sup>30)</sup>などの試作例もある。書込み機能については、基本機能は指定アドレスによる書込みと一致検索により一致したワードへの書込みである。後者には実際には一致したワードのアドレスを生成し、そのアドレスによって書込みを行う方式 (addressable CAM) と各ワードレベルに制御回路をもち直接書込みを行う方式 (addressless CAM) がある。また書込み単位の基本はアドレスの指定する1ワード書込みで、従来のCAM の多くはこの機能だけもっていた。これに対し指定された（たとえばフラグの立っている）全ワードの並列書込み機能や1ワードの中の特定ビットのみ書き込む部分書込み機能など書込み機能の強化が行われている<sup>24), 29)</sup>。部分書込みのためには部分書込み制御用のトランジスタを追加する必要があるためセルの素子数が大きくなるが、トランジスタの構造を工夫して書込み制御を一体化したセルも発表されている<sup>30)</sup>。このような書込み機能の充実により、CAM を使用したデータ処理の能力が向上してきた。またCAM を使用したデータ処理では内容の照合によって読み出し/書込みワードを決定するので、不要ワードを無効化する機能が重要になる。この機能はワード方向のマスク機能に相当するもので、初期のCAM はもっていなかつ

た。しかし4Kb CAM<sup>29)</sup> でこのためのフラグ（ガーベージフラグ）を備えるようになった。演算機能については、初期CAM では一致検出以外の論理演算機能はもっていなかった。その後、まず各ワードごとに選択フラグを設け、選択フラグと一致検出信号の間で論理演算 (AND, OR) などを行うようになった<sup>40)</sup>。またフラグの内容を隣のワードのフラグに一方転送する機能もつけられた。これらの機能はさらに EXOR の追加やフラグの双方向転送など強化される傾向にある<sup>27)</sup>。一方2進数の数値演算という点では、これまでのCAM は基本的に特別の回路や機能はなく、ビット直列に記憶内容を読み出して、フラグとの論理演算機能を使用しながらビット直列演算を行う方式が使用されている。現在これ以上の機能を備えているCAM はないが、将来データ処理能力を向上させるためには、ビット並列加算機能をもつアーキテクチャも提案されている<sup>28)</sup>。

#### 4. LSI 技術からみた機能メモリ

現在 LSI が発表されている機能メモリの大部分はCAM なので、以下にはCAMLSI について述べる。CAM のLSI 技術面は他のメモリと同じく容量、素子数、動作速度、消費電力、テクノロジー、セル寸法、チップ寸法などである。CAM の容量も年とともに次第に大きくなってきているが、汎用のRAM に比べるとまだ小さい。図-6 はCAM 容量の進歩を示したもので、SRAM とCAM を比べたものである。SRAM セルをベースとするCAM の容量は、1980年の1K ビット<sup>38)</sup>からはじまり、1980年代前半には4K<sup>29)</sup>、8K<sup>41)</sup>、20K ビット<sup>40)</sup>までの増加を示した。1980年代後半には8K<sup>42)</sup>、16K<sup>30), 31)</sup> ビットなどが発表され、1990年に160K ビット<sup>33)</sup>が発表された。しかしこのメモリは通常のCAM と同形のものではなく、多重セル構成をとって容量を大きくしているものである。さらに1990年代に入ってDRAM セルを使用した大容量CAM が発表された。288K ビット<sup>37)</sup>のメモリはDRAM セルベースの正統的なCAM であるが、4M ビット<sup>34)</sup>のメモリはセルアレイはDRAM そのものを使用した特殊なCAM である。そのほかに9K ビットの擬スタティックセルを使用したものも発表されている<sup>24)</sup>。この図から見ると、CAM の容量も次第に増加し

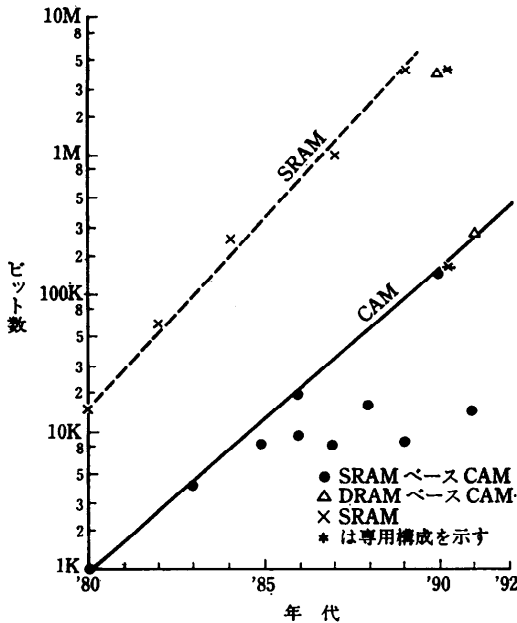


図-6 CAM容量の発展

てはきているが、発表例が少ないこともあって、SRAMのように今後とも増加傾向が一定に保たれるか否かは分からない。また大容量化をする場合にDRAMセルベースのCAMが魅力的であるが、SRAMセルベースのCAMがどこまで大容量化されるか、DRAMベースCAMに切り替わるのかは今後の問題である。

表-2はCAMのセル構成と総素子数をビット数で割った等価ビット当り素子数を示す。セルはSRAMベースの場合9~11トランジスタ、DRAMベースの場合は5トランジスタと2キャパシタが使われている。これに対してCAMでは周辺回路の素子数の比率が汎用RAMより大きいので、等価ビット当り素子数はSRAMベースの場合11~17トランジスタ、DRAMベースの場合7トランジスタになっている。これはセル素子

表-2 CAMの素子数

容量 (ビット)	セル	総素子数	等価ビット当り素子数	セル素子数に対する倍率
4K <sup>(*)</sup>	11T R SRAM ベース	71,300	17.4	1.6
8K <sup>(*)</sup>	10T R SRAM ベース	99,000	12.1	1.2
16K <sup>(*)</sup>	9T R SRAM ベース	175,000	10.7	1.2
20K <sup>(*)</sup>	11T R SRAM ベース	284,000	13.9	1.3
288K <sup>(*)</sup>	5T R + 2C DRAM ベース	2,016,000	6.8	1.4

数の約1.2~1.6倍である。これから考えると、CAMでは構成上の工夫をして素子数を減らした場合にはセル素子数の約20%増、一般的には40%増程度になることが分かる。

表-3はテクノロジーを基準にしてCAMとSRAM、DRAMを比べたものである。SRAMセルのCAMはSRAMに比べて容量で約1/8~1/10、セル面積は約3~8倍である。DRAMセルのCAMはDRAMに比べると容量ははるかに小さく1/10以下で、セル面積は4~8倍である。これからみるとセル面積の倍率はほぼ両セルとも同じであることが分かる。将来的には0.8μm CMOSテクノロジーではSRAMセルベースのもので100Kビット、DRAMセルベースでは400Kビット程度、0.5μmテクノロジーでDRAMベースのものが1Mビットに到達する可能性があるというところである。CAMと一般のRAMを比べたとき、セルの素子数の比率以上にCAMのセル面積が大きいのは、配線面積の増加によると考えられる。単純に考えても、SRAMセルベースのCAMセルでは2倍強の配線面積が必要である。同じことはメモリアレイの周辺回路の複雑なこともあって、チップ面積についてもあてはまる。したがって汎用/専用製品として必要な機能は何か、どこ

表-3 CAMとRAMの面積比較

テクノロジー 項目 種類	2μm CMOS			1.2μm CMOS			0.8μm CMOS		
	容量 (ビット)	セル面積 (μm <sup>2</sup> )	チップ面積 (mm <sup>2</sup> )	容量 (ビット)	セル面積 (μm <sup>2</sup> )	チップ面積 (mm <sup>2</sup> )	容量 (ビット)	セル面積 (μm <sup>2</sup> )	チップ面積 (mm <sup>2</sup> )
CAM	8K SRAM ベース	1080	34.1	20K SRAM ベース	518	41.9	288K DRAM ベース	66	123.6
SRAM	64K	130~300	20~55	256K	100~140	40~65	1M	40~70	80~120
DRAM	256K	70~120	30~50	1M	20~40	45~75	4M	8~16	60~140

まで小面積の回路および構造を考案できるか、いかに複雑な機能をテストするかなどが技術的課題である。将来の CAM (ほかの機能メモリも同様と考えられるが) は、基本的機能にしぼって大容量化を指向するメモリ形と、機能を複雑にして小容量ながら機能で特徴を出すプロセッサ形に分化していくものと予想される。

## 5. む す び

機能メモリの現状と内容について述べたが、現在の機能メモリの大部分は連想メモリと呼ばれている CAM とその応用である。CAM は古くから興味をもたれてきたメモリであるが、TLB など小規模な応用を除くと実用規模の製品はなかなか実現しなかった。LSI 技術の進歩により 1980 年代中ごろから次第に発表が増加してきており、応用指向の特徴的な LSI が開発されている。容量も数 100 K ビットクラスが現実の問題になってきた。

LSI の一般的な動向として、テクノロジーが必要なレベルに到達すると、発展の中心は方式や機能レベルの設計 (製品企画) に移っていく。CAM もこの地点に達したようで、これからは CAM をベースにした新しい機能メモリ応用製品の開発が活発になると思われる。さらに将来においては、記憶内容に論理操作を加えて新しいデータを出力するような機能メモリも考えられる。たとえば画像データを書き込むと輪郭線を出力するような画像メモリや観測波形データを繰り返し入力すると平均の波形データを出力するメモリなど現在では存在しないような機能メモリの出現も期待できる。

## 参 考 文 献

- 1) 飯塚 肇：論理メモリ，情報処理，Vol. 16, No. 4, pp. 275-285 (1975).
- 2) 山田，小倉：機能メモリ，信学誌，Vol. 73, No. 4, pp. 392-397 (1990).
- 3) Slade, A. E. and McMahon, H. O.: A Cryotron Catalog Memory System, Proc. EJCC, pp. 115-120 (1956).
- 4) Wade, J. P. and Sodini, C. G.: A Ternary Content Addressable Search Engine, IEEE J. Solid-State Circuits, Vol. 24, No. 4, pp. 1003-1013 (1989).
- 5) Kokubu, A., Kuroda, M. and Furuya, T.: Orthogonal Memory—A Step toward Realization of Large Capacity Associative Memory, VLSI 85, pp. 159-168 (1985).
- 6) Tomita, S.: Some Aspects of Time-Division Data Switch Design, Proc. IEEE, Vol. 65, No. 9, pp. 1295-1304 (1977).
- 7) 古谷立美：応用指向メモリ，情報処理，Vol. 27, No. 6, pp. 601-606 (1986).
- 8) Koo, J. T.: Integrated Circuit Content-Addressable Memories, IEEE J. Solid-State Circuits, Vol. SC-5, No. 5, pp. 208-215 (1970).
- 9) 小倉，山田：連想メモリ，情報処理，Vol. 27, No. 6, pp. 593-600 (1986).
- 10) 小倉，山田：連想メモリ LSI の現状と今後，信学誌，Vol. 69, No. 7, pp. 745-751 (1986).
- 11) Chisvin, L. and Duckworth, R. J.: Content-Addressable and Associative Memory: Alternatives to the Ubiquitous RAM, Computer, pp. 51-64 (1989).
- 12) Kohonen, T.: Content Addressable Memories, 2nd Ed, Springer-Verlag (1987).
- 13) 山田，小倉：連想メモリ LSI の大容量・高機能化技術，信学研資，EC 84-54, pp. 41-52 (1984).
- 14) McKeever, B. T.: The Associative Memory Structure, Proc. FJCC, pp. 371-388 (1965).
- 15) Naganuma, J., Ogura, T., Yamada, S. and Kimura, T.: High-Speed CAM-Based Architecture for a Prolog Machine (ASCA), IEEE Trans. on Compt., Vol. C-37, No. 11, pp. 1375-1383 (1988).
- 16) Sato, M., Kubota, K. and Ohtsuki, T.: A Hardware Implementation of Gridless Routing Based on Content Addressable Memory, 27th ACM/IEEE Design Auto. Conf., pp. 646-649 (1990).
- 17) Amimoto, K., Asakura, M., Hidaka, H., Matsuda, Y. and Fujishima, K.: A Circuit Design of Intelligent Cache DRAM with Automatic Write-Back Capability, IEEE J. of Solid State Circuits, Vol. 26, No. 4, pp. 560-565 (1991).
- 18) Tamura, L. R., Yang, T. S., Wingard, D. E., Horowitz, M. A. and Wooley, B. A.: A 4-ns BICMOS Translation-Lookaside Buffer, IEEE J. Solid-State Circuits, Vol. 25, No. 5, pp. 1093-1101 (1990).
- 19) Takata, H., Komori, S., Tamura, T., Asai, F., Satoh, H., Ohno, T., Tokuda, T., Nishikawa, H. and Terada, H.: A 100-Mega-Access per Second Matching Memory for a Data-Driven Microprocessor, IEEE J. Solid-State Circuits, Vol. 25, No. 1, pp. 95-99 (1990).
- 20) Lee, C. Y.: Intercommunicating Cells, Basis for a Distributed Logic Computer, AFIPS Proc. FJCC, Vol. 22, pp. 130-136 (1962).
- 21) Crane, B. A.: PEPE Computer Architecture, 1972 COMPCON, pp. 57-60 (1972).
- 22) Batcher, K. E.: Design of a Massively Parallel Processor, IEEE Trans. Compt., Vol. C-29, No. 9, pp. 836-840 (1980).
- 23) Kondo, T., Tsuchiya, T., Kitamura, Y., Sugiyama, Y., Kimura, T. and Nakashima, T.: Pseudo MIMD Array Processor—AAP 2, 13th Int. Symp. on Computer Architecture, pp. 330-337 (1986).



- 24) Jones, S. R., Jalowiecki, I. P., Hedge, S. J. and Lea, R. M.: A 9-Kbit Associative Memory for High-Speed Parallel Processing Applications, IEEE J. Solid-State Circuits, Vol. 23, No. 2, pp. 543-548 (1988).
- 25) Hillis, W. D.: The Connection Machine, MIT Press (1985).
- 26) Raffel, J. I.: Electronic Implementation of Neuro-morphic Systems, IEEE 1988 Custom Integrated Circuits Conf., pp. 10.1.1-7 (1988).
- 27) 安浦, 辻本, 田丸: 組合せ問題に対する機能メモリ型並列プロセッサアーキテクチャ, 信学論誌 A, Vol. J 72-A, No. 2, pp. 222-230 (1989).
- 28) 小林, 田丸, 安浦: 新しい機能メモリの提案とその応用について, 平成3年電気学会電子・情報・システム部門全国大会講演論文集 C-2-4, pp. 209-212 (1991).
- 29) Ogura, T., Yamada, S. and Nikaido, T.: A 4-Kbit Associative Memory LSI, IEEE J. Solid-State Circuits, Vol. SC-20, No. 6, pp. 1277-1282 (1985).
- 30) Yamada, H., Hirata, M., Nagai, H. and Takahashi, K.: A Character String Search Processor, ISSCC Digest of Tech. Papers, p. 272 (1987).
- 31) McAuley, A. J. and Cotton, C. J.: A Self-Testing Reconfigurable CAM, IEEE J. Solid-State Circuits, Vol. 26, No. 3, pp. 257-261 (1991).
- 32) 山田, 橋田, 前田, 池田, 本橋, 高橋: LAN のアドレスフィルタリングを超高速に処理する 16 Kbit ストリングサーチエンジン LSI, 信学論誌 C-II, Vol. J 72-CII, No. 5, pp. 391-398 (1989).
- 33) Motomura, M., Toyoura, J., Hirata, K., Ooka, H., Yamada, H. and Enomoto, T.: A 1.2 M-Transistor 33 MHz 20-bit Dictionary Search Processor for a Machine Translation System, 1990 ISSCC Dig. of Tech. Papers, pp. 90-91 (1990).
- 34) Okabayashi, I., Kotani, H. and Kadota, H.: A Proposed Structure of 4 Mbit Content-Addressable and Sorting Memory, 1990 Symp. on VLSI Circuits, pp. 109-110 (1990).
- 35) Davis, A. L. et al.: The Architecture of the FAIM-1 Symbolic Multiprocessing System, IJ-CAI '85, pp. 32-38 (1985).
- 36) Arai, Y. and Baba, T.: A CMOS Time to Digital Converter VLSI for High-Energy Physics, 1988 Symp. VLSI Circuits, pp. 121-122 (1988).
- 37) 濱本, 山形, 三原, 小林, 山田: スタックトキャパシタセル構造を用いた 288 Kbit 完全並列型 CAM, 1991 信学会春季全大 C-649, pp. 5-240-241 (1991).
- 38) 小倉, 二階堂, 宮原: 大規模連想メモリ LSI, 信学技報 SSD 80-56, pp. 31-38 (1980).
- 39) Herrmann, F. P., Keast, C. L., Ishio, K., Wade, J. P. and Sodini, C. G.: A Dynamic Three-State Memory Cell for High-Density Associative Processors, IEEE J. Solid-State Circuits, Vol. 26, No. 4, pp. 537-541 (1991).
- 40) Ogura, T., Yamada, S. and Yamada, J.: A 20 Kb CMOS Associative Memory LSI for Artificial Intelligence Machines, IEEE Int. Conf. on Compt. Design, ICCD '86, pp. 574-577 (1986).
- 41) Kadota, H., Miyake, J., Nishimiti, Y., Kudo, H. and Kagawa, K.: An 8 Kb Content-Addressable and Reentrant Memory, 1985 ISSCC Dig. of Tech. Papers, pp. 42-43 (1985).
- 42) Bergh, H., Eneland, J. and Lundstrom, L-E: A Fault-Tolerant Associative Memory with High-Speed Operation, IEEE J. Solid-State Circuits, Vol. 25, No. 4, pp. 912-919 (1990).
- 43) 羽生, 樋口: 高密度多値連想メモリの構成と評価, 信学技報 ICD 90-138, pp. 1-8 (1990).  
(平成3年7月3日受付)

## 用 語

### インバータ チェイン

インバータゲートを従属に接続した回路で, 信号の遅延回路として使用する。

### 擬スタティックセル

メモリセル回路にはキャパシタを使用するダイナミックセルとフリップフロップを使用するスタティックセルがある。前者は一定時間ごとに記憶内容の再生(リフレッシュ)が必要で, 使用上の欠点になっている。ダイナミックセルを使用してもリフレッシュを自動化してスタティックセルと同じ動作にみえるようにしたメモリセルを擬スタティックセルと呼ぶ。

### 大小検索

検索データと記憶データを2進数とみて, 検索データより大きいまたは小さい値の記憶データを取り出す検索操作をいう。

### マンチェスタ チェイン

並列加算器の桁上げ信号を高速に伝搬させるために設ける回路で, 1ビット分の基本ゲート回路の従属接続で構成する。

### ハミング距離検索

検索データと一定のハミング距離にある記憶データを全て取り出す操作をいう。

### ワイヤード AND

トランジスタ回路の出力端子を直結して構成する AND 回路



田丸 啓吉 (正会員)

1936年生。1958年京都大学工学部電子工学科卒業。1960年同大学院修士課程修了。同年東京芝浦電気(株)入社。中央研究所(現総合研究所)勤務。1979年京都大学工学部電子工学科教授。LSI設計法とCAD技術, LSIの自動設計システム, マイクロプロセッサのアーキテクチャなどの研究に従事。著書としては「ハードウェア技術」(オーム社)など多数。工学博士。電子情報通信学会, 電気学会, IEEE, ACM各会員。