

画像圧縮/伸張DSP(VDSP2)と MPEG2エンコーダの開発

中村 和彦、 荒木 敏之*、 秋山 利秀、 妹尾 孝憲、
田仲 正敏、 田中 章喜**

松下電器産業株式会社 開発本部 映像音響情報研究所
*松下電器産業株式会社 半導体研究センター
**松下技研株式会社 画像情報研究所
大阪府門真市門真1006

我々は、動画像符号化の国際標準であるMPEG2の画像CODECを実時間で実現するためのDSP(VDSP2)を開発した。マルチプロセス制御方式によるMBパイプライン処理法及びSIMD型並列VP法の2レベルの並列処理を採用し、 $0.5\mu\text{m}$ 3層メタルCMOSプロセスを用いて最適化を行ない、250万トランジスタを、 $15.00\text{mm} \times 17.00\text{mm}$ に収めた。80MHz動作時でMPEG2ビデオ符号化を2チップ+ME(動き検出)で実現可能である。また、合わせてこのVDSP2を用いたMPEG2のエンコーダを開発した。MPEG2 MP@ML準拠の画像圧縮が実時間で可能である。

A Video DSP for MPEG2 CODEC and A Realtime MPEG2 Encoder

Kazuhiko Nakamura, Toshiyuki Araki*, Toshihide Akiyama, Takanori Seno,
Masatoshi Tanaka, Akiyoshi Tanaka**

Audio Video Information Technology Lab., Matsushita Electric Industrial Co., Ltd.
*Semiconductor Research Center, Matsushita Electric Industrial Co., Ltd.
**Image Processing Reserch Lab., Matsushita Reserch Institute Tokyo, Inc.

A video DSP with a macroblock-level-pipeline and a SIMD type vector-pipeline architecture(VDSP2) has been developed, using $0.5\text{-}\mu\text{m}$ triple-layer-metal CMOS technology. This $17.00\text{-mm} \times 15.00\text{-mm}$ chip consists of 2.5-Mega transistors. The real-time encoder specified in the MPEG2 can be realized with two VDSP2's and a ME unit at an 80MHz clock rate. A real-time MPEG2 encoder has also been developed using two VDSP2 chips.

1. はじめに

音声信号に引き続き、映像信号のデジタル化が始まろうとしている。映像信号のデジタル化により、多チャンネル化、高画質化、双方向化が実現される可能性がある。これらは、従来情報の送り手にあった主導権を、情報の受け手に取り戻すことにつながる。しかしながら、映像信号は情報量が膨大であり、実用的かつ経済的にデジタル化を実現するためには、画像圧縮技術が不可欠である。

ISOの標準化組織であるMPEGは1993年11月に動画画像圧縮アルゴリズムの国際標準化案MPEG2を作成した。しかし、画像圧縮技術を実際に使用するためには膨大な演算処理が必要になる。

我々は、MPEG2圧縮アルゴリズム実現のためのアーキテクチャを検討設計し、MPEG2ベースの画像圧縮アルゴリズムに最適化した画像圧縮処理専用DSP(VDSP2)を開発した[1, 2]。また、同時に高画質画像圧縮のために高性能動き検出専用回路を開発し、これらを用いて高性能・高画質かつ実時間処理可能なMPEG2画像圧縮コーデックを開発した[3]。

本報告では、画像処理専用DSP(VDSP2)のアーキテクチャとその特徴、動ベクトル検出専用ハードウェア、及び、MPEG2圧縮コーデックのアーキテクチャについて説明する。

2. 画像処理専用DSP(VDSP2)

2.1 MPEG2アルゴリズムの特徴

MPEG1では、SIFサイズ(360画素x240ライン)の画像を処理すればよかったが、MPEG2ではITU-R601サイズ(720画素x480ライン)の画像の処理が必要になる。また、MPEG2ではインタレース画像を取り扱うため、さらに複雑な処理が必要になる。

MPEG2では、画像は階層構造にわけて処理される。ピクチャは動画や映画の1フレームに対応する。ピクチャが複数集まってGOP(Group Of Picture)を構成し、複数のGOPが集まって最上位層であるシーケンスを構成する。また、ピクチャはいくつかのスライスに分割される。更にスライスはマクロブロックに分割される。このマクロブロックは動き補償や量子化ステップが適用される処理単位となる。マ

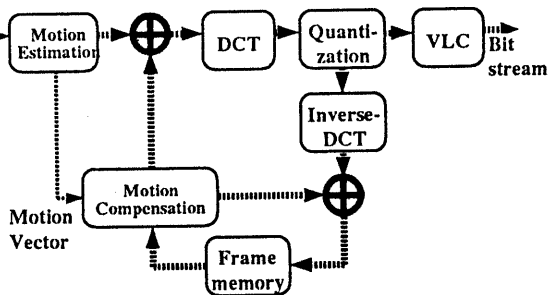


図1 MPEG2アルゴリズム

クロブロックは16画素x16画素のアレイからなり、更に各画素は輝度と色差の2成分に分離される。これらの成分は4つの輝度成分(Y)ブロックと2つの色差成分(Cb, Cr)ブロックの合計6つのブロックにまとめられる。各ブロックは8x8画素アレイである。

図1にMPEG2の符号化アルゴリズムを示す。MPEG2アルゴリズムでは、動き補償や量子化ステップの更新単位はこのマクロブロックであり、従って、これらの処理にマクロブロックを単位としたパイプライン処理を適用することが可能である。更にDCTや量子化においてはマクロブロック内の6つの各ブロックが同じ処理を施されるので、ブロック単位での並列処理の適用が可能である。

2.2 VDSP2アーキテクチャ

図1に示したMPEG2符号化処理の中で、定型処理はDCT/IDCT、VLC、及びデータ入出力部である。この部分は専用回路化する事でチップ面積を削減することが可能である。その他の処理は適応処理であり、自由度の高いプログラム処理による実現が要求される。

このような観点から、VDSP2では4つの異なるプロセッサを1チップに集積化し、これらのプロセッサが並列動作するマルチ・プロセッサ・アーキテクチャを採用した。集積化したプロセッサはDSPコアプロセッサ、DCTプロセッサ、入出力プロセッサ、及び、可変長符号化/復号化プロセッサである。図2がVDSP2のブロック図である。

DSPコアプロセッサは、RISCタイプの制御ユニットと4つのベクトル演算ユニット、入力メモリ、参照メモリ、データメモリ、作業メモリからなり、

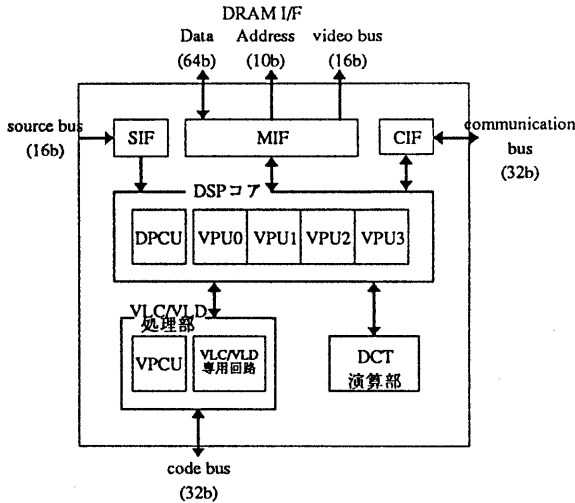


図2 VDSP2ブロック図

2レベルの並列処理を行う。一つはマクロブロック単位のパイプライン処理であり、もう一つはSIMDタイプのベクトルパイプライン処理である。また、ベクトル演算ユニットはMPEG2の符号化処理に最適化した演算処理アーキテクチャを採用した。

DCTプロセッサは8画素x8画素の2次元のDCTまたはIDCT演算を行う。

入出力プロセッサは画像データや中間処理データの入出力を扱う。そのために、外部メモリポート、入力ポート、出力ポートの3つの入出力ポートを備えている。これらのポートはスループットを向上させるためにダブルバッファ構成とした。入力ポートは画像入力と圧縮符号化時に必要な動きベクトル、ピクチャタイプ等の制御パラメータは画像入力と時分割多重して入力できる構成である。外部メモリポートはDRAMコントローラを搭載し8Mバイトまでのアドレス空間をサポートする。参照画像入力時の1/2精度の動きベクトルを用いた補間処理も実行する。外部メモリポートは高メモリバンド幅を得るために64ビット・バス幅で、さらに2バンク・インターリーブ方式を採用した。また、後述するマルチチップ構成時のバス・アービトレーションにはトランク・リング方式を採用した。

可変長符号/復号化(VLC/VLD)プロセッサはビットストリームの文法生成や解析用のRISC型の制御ユニットとテーブル・ルックアップ方式の可変長符号化/復号化回路とからなる。これらを並列動作させる事によりスループットをあげた。

2.3 マルチチッププロセス

VDSP2はマルチ・チップ接続動作が可能である。マルチ・チップ接続動作時の並列処理を実行させるためにマスター/スレーブの関係を各プロセッサに持たせる。マスター・プロセス(プロセッサ)はスレーブ・プロセス(プロセッサ)を複数個起動させ、それらのスレーブ・プロセスの終了を調停して次の処理に進むという動作をする。つまり各スレーブ・プロセスは終了をマスター・プロセスに知らせ、マスター・プロセスは起動した全てのスレーブ・プロセスが終了すると、パイプライン動作を次に進める。

図3にマルチ・チップ・プロセスの一例として、MPEG2エンコーダをVDSP2 2チップを使用して構成した場合を示す。プログラミングにより異なったタスクを異なったチップの各プロセッサに振り分ける一例である。図3において一つのチップはフレーム予測と動き補償、DCTが割り当てられ、もう一方のチップには量子化、画像の局所復号、可変長符号化およびレート制御が割り当てられる。

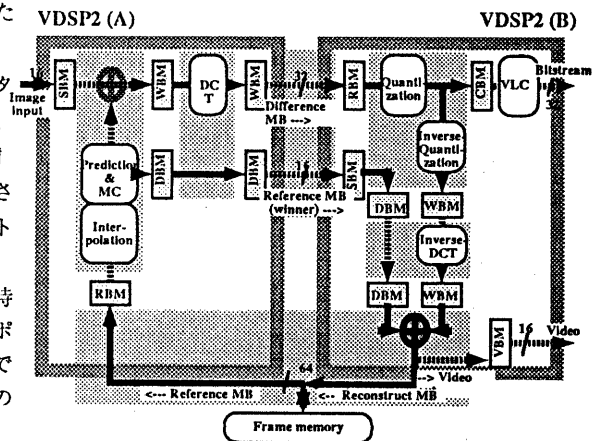


図3 マルチチッププロセス

2.4 性能評価

MPEG2コーデックの各々のプロセスをプログラミングして速度評価を行なった。実行サイクルは80MHz(12.5nsec)である。結果を図4に示す。各々のプロセスは、実時間処理を行なうためにMBパイプラインの各ステージに許容された時間TMB

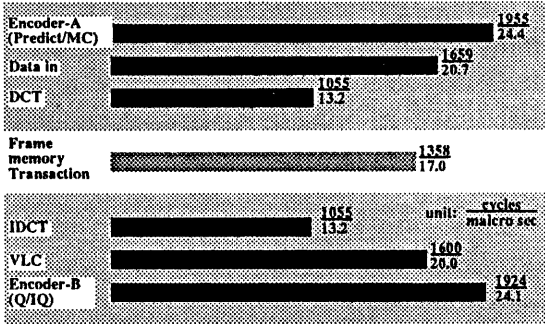


図4 処理サイクル

$$T_{MB} = 1 \text{sec} / (30 \text{frame} \times 45 \text{slice} \times 30 \text{MB}) = 24.69 \mu\text{sec}$$

内に達成された。モード選択とQ/IQに使われたDSPコアのSIMD型並列VPアーキテクチャが特に効果的である。図4からわかるように、80MHz動作以上でエンコード処理が実時間で実現可能である。

3 動きベクトル検出

3.1 動き検出アルゴリズム

動き検出は動きを含んだ動画の品質を左右するため、高精度が要求される。今回、汎用の動き検出LSIとDSP構成により動き検出専用回路を構築した。

動き検出では2段階の処理を行う。一段目は2画素単位でサブサンプルした画像により試行ベクトルを求める。これは市販の動きベクトル演算用LSIを用いて実現する。2段目は一段目で求められた試行ベクトルを基準として、フル画像で1画素精度および0.5画素精度の動きベクトルを求める。これはプログラマブルDSPを用いて実現した。

適用した動きベクトル検出アルゴリズムは全探索およびテレスコピック探索法である。動き検出部を制御する探索範囲、MPEGで定義されるGOP構造、動きベクトルの種類等は後述する付加情報制御ブロックから送られる。この動き検出部は最大960*480画素サイズおよび最大30フレーム/秒のフレームから前方/後方、フレーム/フィールド・ベクトルを1フレームあたり+15.5/-15.5画素まで実時間で演

算することが出来る。

3.2 動き検出ブロックの構成

図5は動き検出ブロックである。動き検出ブロックは入力順画像を符号化順に並べ替える為のフレームメモリと1画素精度、0.5画素精度の動きベクトルを求めるための6つの動き検出(ME)サブブロックおよび入力画像と参照画像をMEサブブロックへの供給する制御ブロックから構成される。

図6は動き検出サブブロックである。動き検出サブブロックはフル精度と1/2精度の動きベクトルを検出する。一つの動き検出サブブロックは一種類の動きベクトルを検出する。MPEG2 MP@MLでは6種類の動きベクトルを必要とするので、6つの動き検出サブブロックが必要である。

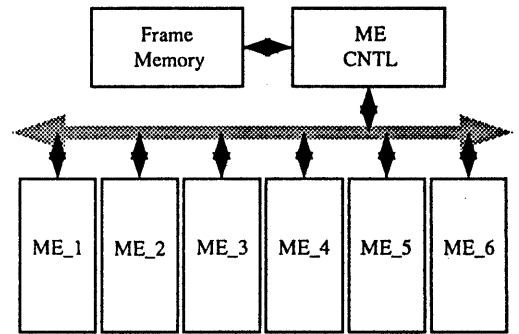


図5 動き検出ブロック

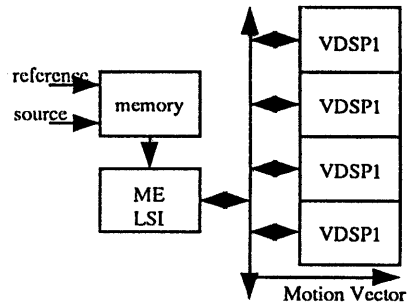


図6 動き検出サブブロック

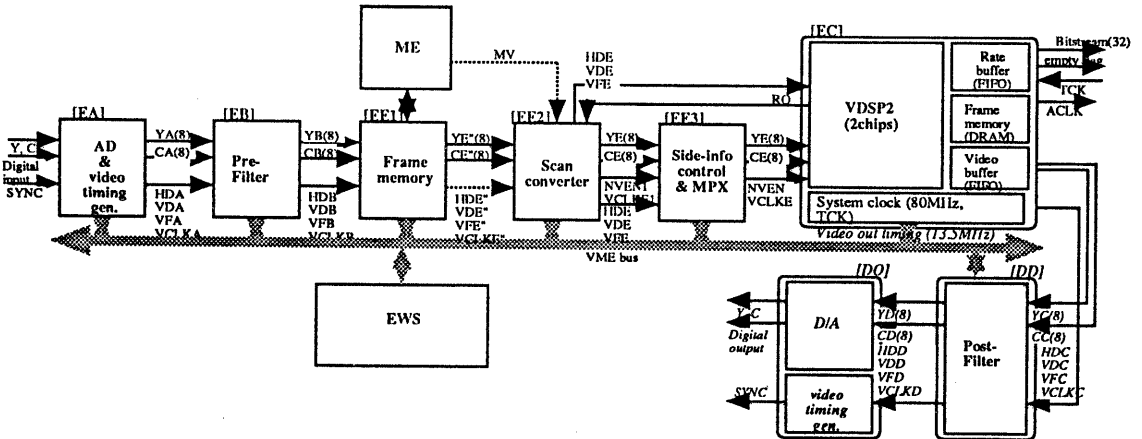


図7 MPEG2エンコーダ・ブロック・ダイアグラム

4 MPEG2エンコーダ

4.1 MPEG2エンコーダシステムの構成

MPEG2エンコーダシステムのブロック・ダイアグラムを図7に示す。

エンコーダ・システムは画像入力ブロック(AD)、プリフィルタ・ブロック、フレーム・メモリ・ブロック、動き検出(ME)ブロック、スキャン変換ブロック、付加情報制御ブロック、符号化(VDSP2)ブロック、ポストフィルタ・ブロック、画像出力(DA)ブロックそしてエンジニアリング・ワーク・ステーション(EWS)からなる。

プリフィルタ・ブロックはITU-R601画像を4:2:0フォーマットに変換する。フレーム・メモリ・ブロックは画像フレーム順を表示順から符号化順に並び変えると共に動き検出ブロックに画像を供給する。スキャン変換ブロックはフレーム内画素をラスタ順からブロック順に並び変える。付加情報制御ブロックはEWSからの制御を介した制御パラメータによりエンコーダ・システム全体を制御する。符号化ブロックは2チップのVDSPを搭載し、画像圧縮を行いレート制御を施してビットストリームを出力する。このブロックは4Mバイトの符号化用フレーム・メモリ、8Mビットのバッファ・メモリ、および1フィールドのビデオ・バッファを持つ。ポストフィルタ・ブロックは4:2:0フォーマットの局所復号画像をITU-R601画像に変換する。

4.2 MPEG2エンコーダシステムの特徴

VDSP2はプログラマブルなデバイスであるので、アセンブラ・プログラムにより新たな機能を加えたり様々な文法のビットストリームを実現して最適なMPEG2エンコード処理を実現出来る。例えば、エンコーダ・アセンブラ・プログラムは適応のフレーム/フィールド予測処理アルゴリズムを実現できる。

本エンコーダシステムは、EWSが与えるタイム・コード、GOP構造、およびMPEG2のビットストリームに挿入すべき様々のパラメータ等の制御パラメータにより制御される。さらにEWSはアセンブラ・プログラムを初期ロードし、VDSP2のアセンブラ・プログラム、シミュレータ・プログラムの開発環境を提供する。

5 結論

MPEG2符号化アルゴリズムに最適化された画像処理用DSP(VDSP2)、高精度の動きベクトル検出回路、及び、これらを使用したMPEG2リアルタイムエンコーダを開発した。本MPEG2エンコーダはMPEG2 MP@ML 準拠の符号化処理を実時間で実行できる。

6 謝辞

本開発に当たり種々有益なアドバイスを頂いた映像音響情報研究所の高橋賢一参事、高橋俊也主任技師、半導体研究センターの青野邦年リーダーに感謝いたします。

7 参考文献

- [1] M.Toyokura, et al, "A Video DSP with a Macro-block-Level-Pipeline and a SIMD type Vector-Pipeline Architecture for MPEG2 CODEC", Digest of Technical Papers, ISSCC94 Feb. 1994
- [2] T.Araki, et al, "Video DSP Architecture for MPEG2 CODEC", Proc. of ICASSP-94, Apr. 1994
- [3] T.Akiyama, et al, "MPEG2 Video Codec Using Image Compression DSP", Digest of Technical Papers, ICCE94 June. 1994