

## MPEG2 ライブ映像多重伝送用PCボードの開発

渡邊和文, 伊藤 誠, 笠原久嗣

NTTヒューマンインタフェース研究所

ATMネットワーク上で、多チャンネルのライブ映像を伝送するためのPCへの組み込み用途のPCIインタフェースボードを開発した。本ボードは映像ストリームを直接入出力する専用のポートを8つ設け、かつこれらポートからの各MPEG2-TSの多重伝送を自律的に行う。またデータ伝送用メモリを搭載することにより、データも映像ストリームとセル多重して伝送される。この多重処理は新たに開発された専用のLSI上のファームウェアによって実行される。本ボードを必要数のMPEG2のリアルタイムエンコーダボードと組み合わせることによりPCベースのコンパクトな多チャンネル通信装置が実現可能である。

**MPEG2 Multi-channel Live Video Multiplexing Board for PC**

**Kazfumi WATANABE, Makoto ITO and Hisashi KASAHARA**

**NTT Human Interface Laboratories**

We have developed an PC-board for multiplexing multiple MPEG2 coded video streams over ATM. Our board employs eight ports specifically for direct video-stream I/O and handles the novel function of autonomous multiplexing for MPEG2-TS stream from each port. Moreover, since a large-capacity transfer memory is built in on-board, control data can also be transferred with the video streams. This multiplexing is performed by newly developed firmware-controllable LSI. By using this board together with the required number of MPEG2 Encoder boards, one can develop compact multi-channel communication units.

## 1 はじめに

通信ネットワークの高速化とその展開が進みつつあり、高品質な映像情報をはじめとするマルチメディア情報の通信利用実験も行われ、映像通信の実利用領域が開拓されようとしている。それを支えるハードウェア開発の面では、パソコン用のMPEG2リアルタイムエンコーダボードが開発され[1]、パソコンをベースとした経済的で小型なエンコーディングシステムに適用されている。リアルタイムエンコーダはさらにライブ映像の伝送への応用にも広く適用可能である。

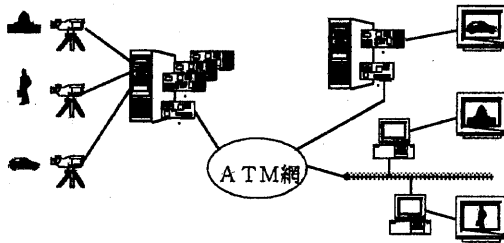


図1-1 チャンネオンデマンドシステム

ライブ映像の伝送の応用のひとつとして、複数の映像を同時に伝送し、必要に応じた映像を見るチャンネルオンデマンドある。この応用は図1-1のように、発信元でのライブ映像を複数のカメラで撮影し、それをリアルタイムにMPEG2方式で符号化してネットワークに送り出し、受信側では、それらの映像を選んで視聴する利用形態をとる。具体的には、構内での映像の中継、遠隔監視、また遠隔教育などが考えられる。このような利用を促進するためには、通信のプラットフォームとして普及しているパソコン(PC)をベースとした経済的で小規模な映像通信システムが必要である。

従来、多映像の伝送をMPEG2方式で行うためには、規模の大きな多重伝送装置を用いるか、または、ATMインタフェースをもつMPEG2コーデックユニットを複数台と、ATMスイッチとを組み合わせる方法をとることが一般的である。しかしこのような方法では、装置規模が大き

くなってしまふ。

これに対してパソコンをベースとして小型な伝送ユニットを実現しようとする場合には、パソコン用のリアルタイムエンコーダボードと汎用のATMネットワークインタフェースとを組み合わせ、パケット生成処理をPC上のプログラムで行う方法を通常採用する。しかしこの方法は、オペレーティングシステムに依存したパケット処理のリアルタイム性とその性能限界から複数映像の同時伝送は難しい。特に、MPEG2のATM上での伝送においては、トランスポートストリーム

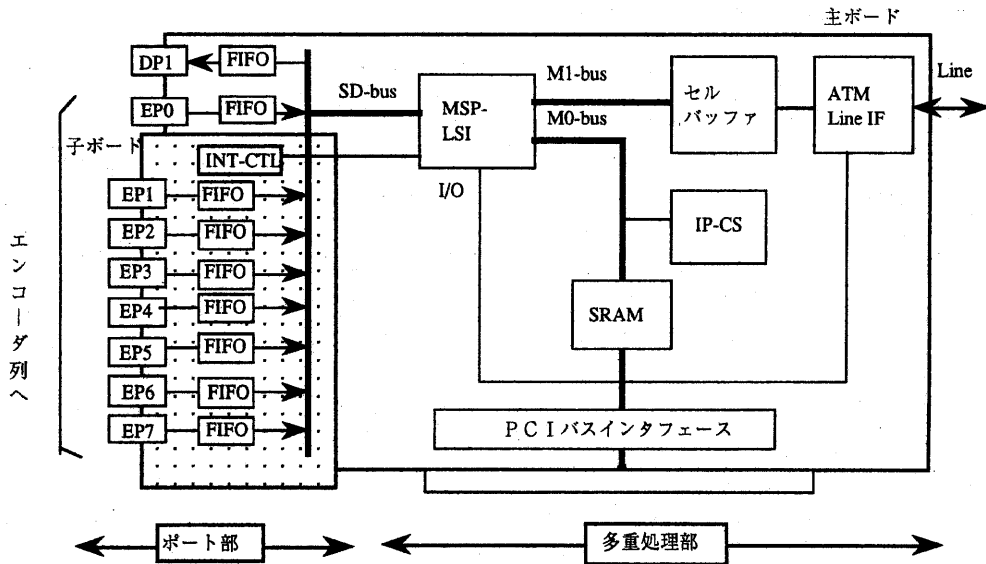
(MPEG-TS)形式でのパケット伝送がATMフォーラムおよびDAVICにおいて採用されている[2]。TSパケットは188バイトと短パケットである。この短パケットの送受信処理においては頻繁な短パケットの生成、分離とそのデータ転送が必要であり、その制御をCPUが行うため、その大きな処理負担が問題となる。その上、映像伝送を行いながら他のアプリケーションを動作させる場合にはその処理速度がさらに低下する。

この問題に対処するため、多チャンネルの伝送システム上において、パケット処理への専用のプロセッサ技術の適用性を評価した[3]。今回その技術をPCボードに適用するための設計を行った。本ボードは、MPEGストリーム用ポートを具備し、さらにAAL層～サービス層の処理を実行するプロセッサ型LSIを搭載している[4]。本報告では、ボードおよびLSIの構成を述べ、本ボードをリアルタイムエンコーダボードと組み合わせた多チャンネル映像伝送システムへの適用例とその上での評価結果について述べる。

## 2 多重伝送ボードの構成

### 2.1 ストリームポート部

パソコン用エンコーダボードからMPEGトランスポートストリーム(TS)データを取り出す手段としては、パソコンのシステムバスを介したメモリへのDMA転送が通常よく用いられる。この方法では、エンコーダボードの枚数が多くなると、DMA転送制御の頻度も増え、またシステムバス上の他のデバイスとの競合も起きやす



DP:デコーダ用ポート, EP:エンコーダ用ポート, INT-CTL: 割り込み制御,  
MSP-LSI: 多重処理LSI, IP-CS: IP用チェックサム生成, SRAM: スタティックメモリ

図 2-1 多重伝送ボードの構成

表 2-1 多重伝送ボードの仕様

ボード部項目	仕様
ポート速度	8ビット並列 (最大19.44MHz)
チャンネル数	8チャンネル
物理インタフェース	SONET/SDH 155Mbps
TS伝送形式	ATM forum & DAVID仕様
FIFO	32KB (最大)
SRAM	256KB
接続バス	PCIバス
子ボードサイズ	217cm X 98cm
主ボードサイズ	PCIフルサイズ

くなり、その結果すべての転送制御をリアルタイムに行い、かつ十分な転送速度を得ることが難しくなってくる。

本ボードでは、ストリームデータの転送のた

めの専用のポートを設けた。こうすることで符号化ストリームのシステムバス上での転送の必要がなくなり、実時間転送が行える。これはバス上での転送性能に依存しない速度が得られるため、映像チャンネル数を増やす場合に特に有効である。本ポートはエンコーダボード毎に設けられる。ポートの転送速度は、可変レート仕様であり、接続するエンコーダボードの符号化速度の変更を可能としている。符号化データは指定された一定のTSデータ速度でポートに出力される。各ポートには、定常的に出力されるTSデータを一度蓄積するためのFIFO型メモリを設けている。

図 2-1 にボードの構成図を示す。ボードは PCIバス拡張スロット用である。本ボードの仕様を表 2-1 に示す。ボードは、主ボードと子ボードの 2 種から構成される。主ボードは、エンコーダとデコーダ用のポートを各 1 つずつ搭載している。1チャンネルの双方向通信の応用のため、主ボード 1 枚とエンコーダ 1 枚、デコーダ 1 枚でシ

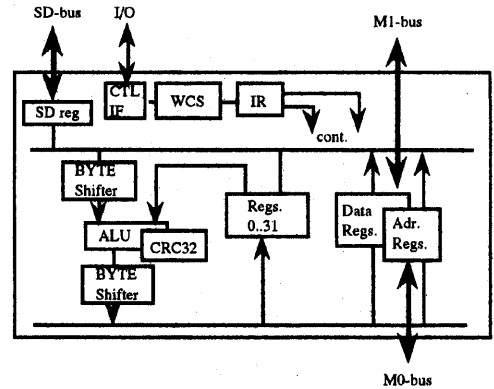
システムが簡単に構築できるようにしている。子ボードは、多重伝送システム用途としてポート数を拡張するために用いる。子ボードは7ポートを搭載する。子ボードを主ボードに取り付けることにより、全体として8チャンネルまでのポートが利用可能となる。

## 2.2 多重処理部

各映像チャンネルを異なるVCに割り当てるVC多重方式を採用している。ポート部の各FIFOへ一時格納された各TSデータは、それぞれのVPI/VCI値を持つセルへマッピングされる。多重における処理の優先制御は、FIFOへ閾値以上に蓄積されたポートを優先してネットワークに出力することが基本である。同時に複数のFIFOが閾値を越えた場合には、番号の若いポートの方を優先する。多重処理LSI (MSP-LSI) は、割り込み制御(INT-CTL)から閾値に達したFIFOのポート番号を読み出し、その番号のFIFOからストリームデータを8ビット並列で読み出して、セルを生成し、セルバッファに渡す。MSPの起動はパソコンのCPUから行うが、MSPが一度動作を開始した後は、CPUの処理はまったく必要がなく自律的に多重処理が行われる。多重処理はMSP-LSIのファームウェア (マイクロプログラム) により実行されるためストリームデータのセル化は用途に応じた形式を採用することが可能である。

セル化形式は、ネーティブATMでは、TSパケット2つを8セル長のAAL5パケットに納める、"MPEG over ATM"形式が標準である。ATMで伝送する場合には、これが伝送効率からはよい。しかし伝送媒体の都合からIPパケット形式の伝送が必要な場合にも対応できるよう、特にチェックサムの生成を効率化するための論理、IP-CSを付加した。チェックサム生成は、MSP-LSIのバス操作によって自動的に計算される。

制御、文字、またグラフィック等のMPEG2のシステムに含まないデータを転送するための一時格納用としてSRAMを搭載した。本SRAMは、パソコンのCPUとMSPの両方向からアクセス可能である。データ転送においては、MPEGストリーム



SD-bus: ストリームデータバス IR: 命令レジスタ  
WCS: 書き込み可能制御メモリ M0-bus: メモリバス0  
CTL-IF: I/Oインタフェース M1-bus: メモリバス1

図3-1 MSP-LSIの構成

とは異なるいくつかの必要なVCを設定して使用する。

## 3 多重処理LSIの高速処理構成技術

### 3.1 内部演算構成

図3-1にMSP-LSIの構成図を示す。本LSIはマイクロ命令制御型のプロセッサ構造を持っている。LSIの動作クロックは19.44MHzであり、1マイクロ命令は基本的に50nsec.のサイクル時間で実行される。マイクロプログラム格納用メモリ(WCS, 16KB-2KW/64bit)をチップ上に内蔵することで外部への命令アクセスをなくし、実行サイクル時間の短縮化を図った。ただしバス操作、特にSRAMアクセスで応答待ちが発生する場合は、サイクル単位で実行時間が延長される。データ演算系バスは、32ビット幅であり、2入力データバスと1演算出力バスから成る。本LSIの論理は2万ゲート以下と小規模であるが、ATMでのパケット~セル処理を効率よく行うための特徴的な構成を設けている。以下にそれらを述べる。

#### (1) 演算バス系

演算は、ALUによる四則/論理演算の他、演算入力データのビットシフト、バイトシフト、演算出力データのバイトシフトの機能をデータ入力側と出力側の両方のバスに設けている。パケッ

ト処理では、ビット演算、バイト単位の演算の頻度が高いからである。またAAL5のCRC(Cyclic Redundancy Check)演算を内部で行えるようにCRC32演算器を設けている。処理の作業用として汎用演算レジスタを32個設けている。また外部とのデータ入出力用のデータレジスタ、アドレスレジスタもデータ演算バス系の一部となるように構成することによって、演算データを直ちに外部と入出力できるようにしている。またアドレスレジスタは、命令指定によるアドレス値の自動増加機能を付与することで、データ伝送におけるSRAMのアクセスサイクルの短縮化を図っている。

## (2) 複数機能の並列実行

マイクロ命令は60ビット幅である。マイクロ命令は複数のフィールドに分割され、そのフィールドで指定される演算/操作が並列に実行される。命令は自身に含まれる型指定ビットによって2種の型に分けられる。ひとつはバス参照型であって、外部とのデータの入出力を行う命令である。もうひとつは、即値発生型であって、32ビットの任意のデータを発生する命令型である。これらの型の命令では以下の機能が同時に実行可能である。

- ・バス参照型：ALU/CRC32演算，SDバス操作，M1バス操作，M0バス操作，割り込み等各種フラグの判定，アドレスカウンタの自動増加
- ・即値発生型：ALU/CRC32演算，SDバス操作，32ビット値発生，アドレスカウンタの自動増加

### 3.2 外部データ入出力構成

外部との間でのデータの入出力速度は、パケット生成速度性能を決定づける。本LSIでは、ストリームデータを入出力するSDバス、セルバッファへのM1バス、SRAMおよびIP-CSへのM0バス、それにPCIバスからのI/Oを独立して合計4組設けている。ストリームデータとセルの入出力バス、それにデータ転送バスを分離、独立しかつ並列動作することでデータ転送のスループットを向上している。

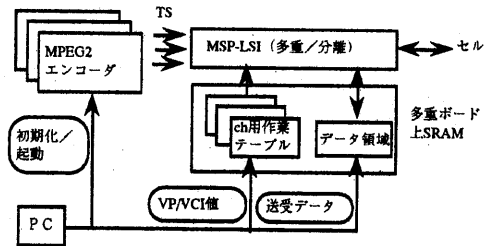


図4-1 多重伝送PCユニットの構成

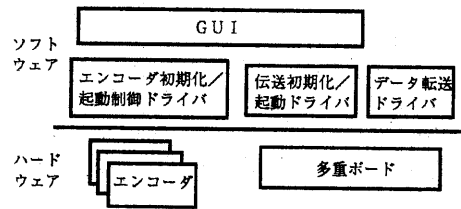


図4-2 ソフトウェアの組み込み

SDバスは、命令サイクル毎での入出力を前提としており、8ビット並列データを最小50nsec.で連続転送することで、物理的に160Mbpsのポート転送速度が得ている。M1バスは32ビット幅バスであり、3サイクルでアクセスが完了する。M0バスも32ビット幅であり、最小3サイクルでSRAMをアクセスが行えるが、SRAMにアクセス競合があった場合には、アクセス時間が延びる。

## 4 多重伝送ユニットへの適用と評価

### 4.1 多重伝送ユニット

本ボードと複数枚のリアルタイムエンコーダボードをPCの拡張スロットに組み込んだ、多重伝送ユニットの構成例を図4-1に示す。本ユニットは、GUI操作部をアプリケーションとする、ATMネットワーク対応の映像多チャンネル伝送プラットフォームである。必要なソフトウェアは、図4-2に示すように、ボード用ドライバとGUIソフトである。これらドライバは、ボードの初期化と起動制御を行うのみである。伝送処理のためのソフトウェアは必要ない。

GUIによる設定は以下の要領である。多重

表4-1 多重伝送処理サイクル数の内訳

実行 順番	主な処理内容	step数	割合 [%]
1	受信セルの有無, セルバッファの空き, 内部割り込み, FIFO割り込みの検査	4	5
2	FIFO番号取得, VC値とパケットサイズ取得, CRC初期化/復帰, TS同期コード検査	10(*)	12
3	セル数の確認 ヘッダーライト	6	7
4	ペイロード転送, CRC生成	5*12=60	70
5	CRC, 中途セル格納など	6(*)	7
-	(合計)	86	-

ボードの設定画面中で、チャンネル毎のVPI/VC1の設定と送出セル間隔の設定後、起動する。次に各エンコーダ毎に設けられた設定画面中で、符号化レート、TS送出速度など各種の設定、またその接続ポート番号の設定をそれぞれ行った後に符号化開始指定を行う。

#### 4.2 処理性能の評価

多重伝送ユニットにおける多重性能について述べる。本ユニットでは、2TSの376バイトをペイロードとする8セル長のAALS5パケットを構成する標準仕様を採用した。本ファームウェアでは、このAALS5の1パケットを構成するセルを連続して生成する。ただしセルバッファの空き状況等を監視する必要があるため、ファームウェアはセル単位での生成ループを基本ルーチンとして作成している。MSPへの割り込みはすべてポーリングによって検出する。ループ内の主な処理内容を順番に、それに必要なサイクル数とそのループ全体のサイクル数に対する割合を表4-1に示す。表から1セルの生成に要するサイクル数は、86である。これは、 $86 \times 50\text{nsec.} = 4.3\text{マイクロ秒}$ である。この値から、ペイロードの速度を算出すると、1セルのペイロードが48バイトであることか

ら、89Mbpsのビットレートが得られる。よってMPEG2映像のビットレートが、6~10Mbpsであることから、8チャンネルのストリーム送出性能を得ることができた。また必要なFIFOの容量は、最小数TS単位程度(1KB以下)であれば良い。

#### 5 おわりに

パケット多重処理を柔軟にかつ高速に行えるMPEG2映像多重伝送PCボードの構成技術について述べた。本ボードでは、MEPGストリーム専用ポートを搭載し、かつパケット処理の効率化とデータ転送スループット向上を構造の特徴とするプロセッサ技術を多重処理に適用することで、MPEG2映像ストリームを8チャンネル多重伝送する性能を得ることができた。またプロセッサ部をLSI化することで、PC用の多重伝送ボードを実現した。本ボードとPC用リアルタイムエンコーダボードを組み合わせることで、ライブ映像中継用PCユニットが手軽に構成できることも示した。今後は、高速イーサネット、FDDIなど多様な伝送媒体環境下での利用が可能なIPパケット形式での多重伝送が可能なファームウェアを作成して、評価を行う予定である。

#### 謝辞

本研究の機会を与えていただいた、NTTヒューマンインタフェース研究所画像通信研究部の一之瀬部長に感謝いたします。

#### 参考文献

- [1] 田代, 他, "PC用MPEG2 CODECボード", 信学秋季大会論文集, D-90, p.92, 1995.
- [2] DAVIC, "DAVIC 1.0 Specification", Jan. 1996.
- [3] K.Watanabe, "An ATM-Based Multichannel Video and Audio Multiplexing System", Proc. of Packet Video Workshop '96, pp.245-250, Mar. 1996.
- [4] 渡邊, 他, "映像通信端末用ATMインターフェースボード", 信学ソサイエティ大会, B-685, p.169, 1996.