

1 チップ MPEG-2 MP@ML ビデオエンコーダ LSI の開発

大西 修 大井 康 横山 裕 片山 陽一 水野 正之[†]
山品 正勝[†] 高野 秀人[‡] 林 直哉[‡] 民谷 一郎[‡]

NEC 情報メディア研究所
[†] NEC マイクロエレクトロニクス研究所
[‡] NEC ULSI システム開発研究所

MPEG-2 MP@ML ビデオ符号化を1チップで処理できる LSI について報告する。本 LSI では1次動き探索として水平方向1/2内挿間引きおよびダイヤモンド型探索領域を採用し、1画素精度全探索法比 SNR 劣化 0.1dB 以内という高画質を維持したまま演算量を1/5と大きく削減している。また、エンコーダ LSI 作業用外付けメモリを1つにまとめるメモリアーキテクチャによりエンコーダシステムの小型化が可能となっている。本 LSI は 0.35 μm ルール 3層メタル CMOS 技術で製造され、チップ寸法は $12.45 \times 12.45 \text{ mm}^2$ 、消費電力は 1.5 W である。

A 1-Chip MPEG-2 MP@ML Video Encoder LSI

Osamu OHNISHI, Yasushi OOI, Yutaka YOKOYAMA,
Yoichi KATAYAMA, Masayuki MIZUNO[†], Masakazu YAMASHINA[†],
Hideto TAKANO[‡], Naoya HAYASHI[‡], and Ichiro TAMITANI[‡]

Information Technology Res. Labs., NEC Corp.
[†] Microelectronics Res. Labs., NEC Corp.
[‡] ULSI Systems Div. Labs., NEC Corp.

This paper presents a single-chip MPEG-2 MP@ML video encoder LSI. For the first step motion estimation, a horizontally sub-sampling method with an LPF and diamond search area are employed. This motion estimation method can reduce operations to 20% compared with full-search method, with at most 0.1-dB SNR degradation. A pair of 81 MHz, 16 Mb SDRAMs are used as work memory, namely a frame buffer and a bitstream buffer. A fabricated LSI by 0.35- μm and 3-metal CMOS process is $12.45 \times 12.45 \text{ mm}^2$ in chip size. Power dissipation of this LSI is 1.5 W, when the supply voltage is 2.5 V for motion estimation engines and 3.3 V for other circuit.

1 はじめに

MPEG-2(Moving Picture coding Experts Group phase 2)は、1995年に国際規格として制定されて [1]以降、DVDやデジタル放送に採用されるなど急速に普及している。それに伴いMPEG-2関連LSI開発も盛んになっており、近年ではデコーダに比べて演算量の多いエンコーダにおいてもMP@ML(Main Profile, Main Level)あるいはSP@ML(Simple Profile, Main Level)を処理できる符号化チップセットが発表されている [2], [3], [4]。しかしながら、エンコーダに関してはその演算量が膨大なため1チップ化されたLSIは未だ実用化されていない状況である。

本論文では筆者らが開発した [5], [6] 1チップMPEG-2 MP@MLビデオエンコーダLSIについて報告する。特に高画質を維持しながら演算量を削減する動き探索アルゴリズムおよび作業用外付けメモリを一つにまとめるメモリアーキテクチャについて詳説する。

2 チップ構成

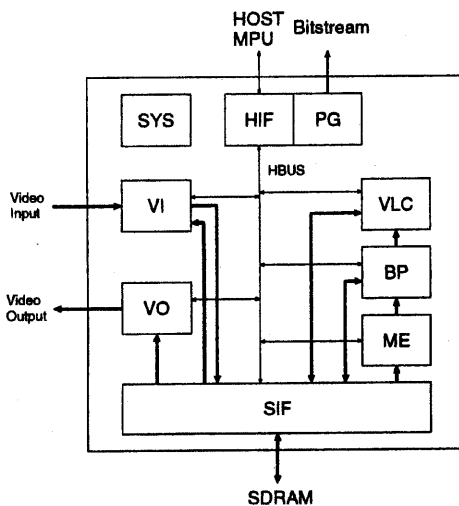


図1: ブロック図

1チップMPEG-2 MP@MLビデオエンコーダLSIのブロック図を図1に示す。本LSIは以下のサブユニットから構成されている。

1. システムコントロールユニット (SYS)、
2. 入力ビデオ信号に対して4:2:2/4:2:0等フォーマット変換やノイズ低減処理を施すビデオ入力ユニット (VI)
3. 動き探索ユニット (ME)、
4. 離散コサイン変換 (Discrete Cosine Transform:DCT)、量子化 (Q)、逆量子化 (IQ)、逆離散コサイン変換 (IDCT)などの処理を行なうブロック処理ユニット (BP)、
5. 可変長符号化処理ユニット (VLC)、
6. 各ユニットと作業用メモリであるシンクロナスDRAM(SDRAM)との間のアクセスを調停するSDRAMインターフェイスユニット (SIF)、
7. 符号化画質確認のため局所復号画像をフォーマット変換し出力するビデオ出力ユニット (VO)、
8. 制御用マイクロプロセッサとやり取りするホストインターフェイスユニット (HIF)
9. パケット生成ユニット (PG)

このLSIと7MIPS程度の処理能力がある制御用マイクロプロセッサおよび16Mb SDRAM 2個を用いてMPEG-2 MP@MLに完全に準拠した符号化処理が可能となる [6]。

3 動き探索

動き補償予測を用いるMPEG-2符号化処理において、他の機能に比べて桁違いに多くの演算量が必要で、かつ符号化処理の結果生成されるビットストリームの画質に大きな影響を与えるのが動き探索処理である。

この動き探索処理としては、符号化するマクロブロックと、参照画像における動きベクトル各候補に対応する領域との間で各画素間における差分の絶対値和を求めそれが最小となる候補ベクトルを選択するブロックマッチング法が通常用いられる。

MPEG-2では半画素精度の動き探索が行なわれるが、最初から最終精度である半画素精度で探索すると演算量が膨大になってしまう。そこで、演算量削減のために順次探索精度を細かくする多段階探索が多く用いられる [7], [8], [9], [10]。MPEG-2 テストモデル5においても、1次探索では1画素精度の全探索を行ない、そこで選択された候補ベクトルの周辺に関して半画素精度で2次探索する2段階探索が採用されている [11]。

本LSIの開発にあたっては、このテストモデルで採用された2段階方式(TM5方式)を基準として、演算量を削減する動き探索アルゴリズムを検討した。今回検討した演算量削減項目は下の3つである。

1. 内挿間引き1次探索
 - 全探索 (F)
 - 水平方向間引き (H)
 - 垂直・水平方向間引き (V)
2. 1次探索候補ベクトル数削減
 - 矩形領域全探索 (F)
 - ダイヤモンド領域探索 (D)
 - 市松状探索 (C)
3. 2次探索前絞り込み
 - 絞り込みなし (4)
 - 2本に絞り込み (2)
 - 1本に絞り込み (1)

これら各項目は組合せて使用することが可能であるが、本論文では末尾の文字の組合せで表記することとする (eg. TM5方式: FF4)。

項目1の間引きにおいては、折り返し歪を低減し最適ベクトルを選択できるように、単純間引きではなく平均内挿間引き [12] を採用した。この間引きを行なうことにより、差分をとる画素数および候補ベクトル数が削減されるため、水平間引き方式 (H) 垂直間引き方式 (V) の1次探索演算量は全探索 (F) に比較してそれぞれ $1/4$ 、 $1/16$ と削減することが可能である。

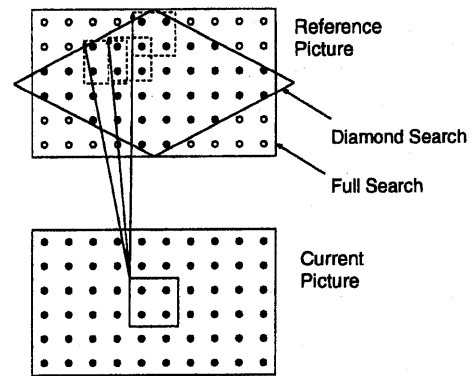


図2: 全探索とダイヤモンド領域探索
1マクロブロックを2x2画素に簡略化

項目2の全探索およびダイヤモンド探索の様子を図2に示す。また、各項目を組合せた動き探索方式に対して、1次探索で選択された点を中心に局所的に探索点を表現したものを図3に示す。図2、3から明らかなように、ダイヤモンド探索 (D)、市松探索 (C) では全探索 (F) と比較して1次探索候補ベクトルが半減しており、したがって1次探索演算量もほぼ半減することが可能である。

これら各方式に対し、MPEG-2 評価画像、Flower Garden, Mobile & Calendar, Cheer Leaders, Bicycle を用いてエンコードシミュレーションを行なった。主な符号化条件は4Mbps, GOP数 $N=15$, I,Pピクチャ間距離 $M=3$, フレーム構造で、探索範囲はPピクチャ [水平 ± 47 , 垂直 ± 15]、Bピクチャ遠方参照 (フレーム間距離:2) [水平 ± 31 , 垂直 ± 15]、Bピクチャ近傍参照 (フレーム間距離:1) [水平 ± 15 , 垂直 ± 15] としている。

TM5方式を基準としたときのピークSNR劣化量と1次および2次探索合計演算量の関係を図4に示す。高画質と低演算量を実現するには図4において左上に位置する動き探索方式が望まれる。項目1の内挿間引きについては全探索 (F) では演算量が大いなのに対し、水平間引き (H) では低演算量でありながら画質劣化も小さい。一方、垂直水平間引き (V) では水平間引きに比べ画質劣化が倍以上となっている。これは

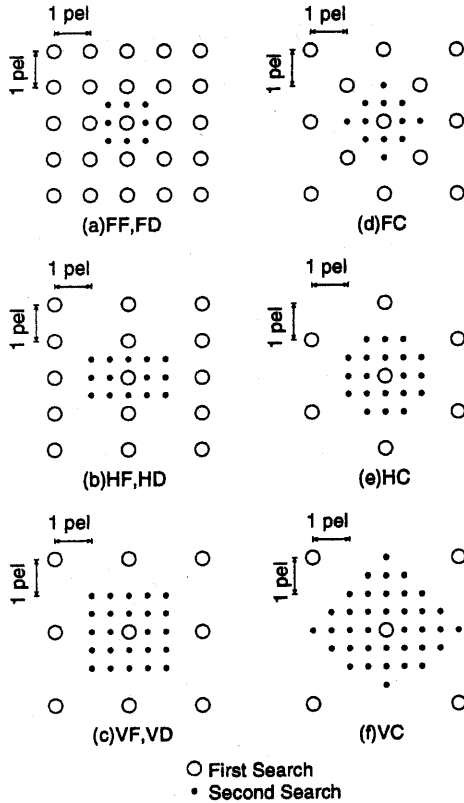


図 3: 各動き探索方式における探索点
白丸は 1 次探索候補ベクトル、
黒丸は 2 次探索候補ベクトル

インターレス画像では水平方向に比べて垂直方向の高周波成分電力が大きいためである。

次に項目 2 の全探索 (F)、ダイヤモンド探索 (D)、市松状探索 (C) を比較するとダイヤモンド探索と市松状探索は演算量の削減程度は同程度であるがダイヤモンド探索の方が画質劣化が小さく全探索と殆んど同程度である。これは自然画像においては原点 (静止時) 付近をより詳細に探索した方が高画質が維持できることを意味している。

項目 3 の 2 次探索前絞り込みに着目すると、項目 1, 2 との組合せや画像に依存するが、0.04 ~ 0.10 dB 程 SNR が劣化する場合がある割には演算量の低減効果が乏しい。

以上の検討に基づき、本 LSI では水平間引き

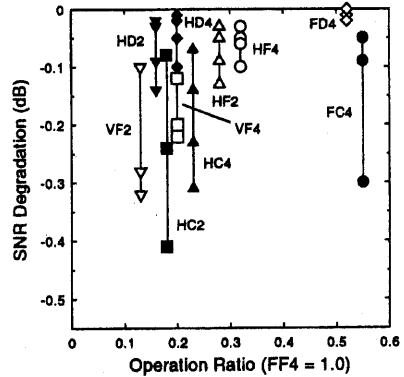


図 4: 各動き探索方式における
SNR 劣化量と演算量

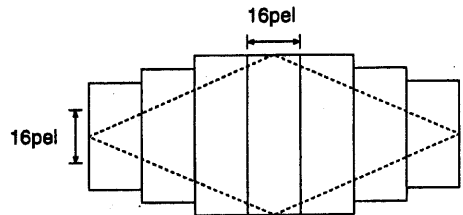


図 5: マルチセグメント探索領域
(P ピクチャ、フレーム構造時)

(H)、ダイヤモンド領域探索 (D)、ベクトル絞り込み無し方式 (HD4) を採用することとした。この方式を採用することにより、TM5 方式からの画質劣化を 0.1dB にとどめながら演算量を 1/5 に削減することが可能となった。実際の LSI における動き探索では単純なダイヤモンド領域ではなく、図 5 に示す通り矩形セグメントの集合で探索領域を構成している。図 5 の様にダイヤモンド領域を含む形も当然可能であるが、各矩形セグメントの高さや矩形セグメント内で探索ビットマップを指定することで、自由度の高い探索領域指定が可能である [13]。さらに過去に符号化されたピクチャにおける動きベクトルの履歴から探索ウィンドウ全体をシフトさせることにより、SNR を改善することも可能な構成

になっている [14]。

4 メモリアーキテクチャ

MPEG-2 符号化処理を行なうには、次に示すメモリ機能が必須となる。

1. 入力ビデオ信号フィールド / フレーム変換
2. I,P,B ピクチャ並べ替え (MP@ML 時のみ)
3. 動き補償参照画像保持
4. ビットストリーム蓄積

また、高画質化や利便さを考慮すると、次の2つのメモリ機能も搭載できた方が望ましい。

1. 時間軸ノイズリデューサ (NR)
2. 局所復号画像出力用フレーム / フィールド変換

ここで、時間軸ノイズリデューサはアナログ信号などのノイズ除去に有効であり [15]、また、エンコーダであっても局所復号画像出力ができれば符号化画像の画質をその場で確認することが可能となる。

従来の MPEG-2 エンコーダチップセットでは、ビデオ符号化チップの周辺には目的毎に別個の RAM が使用されており、エンコーダシステム小型化の障害になっていた [2], [4], [10]。そこで、1 チップ MPEG-2 ビデオエンコーダ LSI では、作業用周辺メモリとして 16 Mb SDRAM 2 個をアドレスバスを共有することで見かけ上 1 つの 32Mb SDRAM とみなし、81 MHz で動作させることとした。その SDRAM のみを用いてビデオ入出力および符号化処理を可能にするメモリ構成とした [16]。

本 LSI における SDRAM インターフェイスユニット (SIF) を中心としたデータの流れを図 6 に示す。SIF は次の各信号を時分割で処理している。

1. ビデオ信号入力
2. NR 用前画面出力

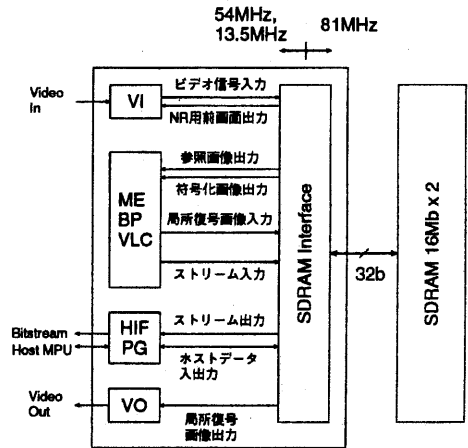


図 6: SDRAM インターフェイス

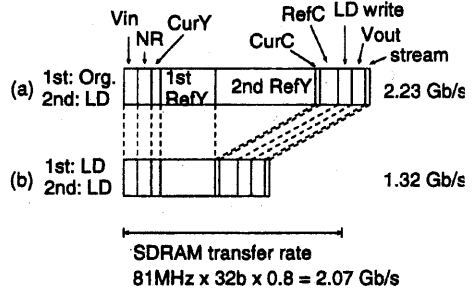


図 7: メモリ転送レート

3. 符号化画像出力
4. 局所復号画像入力
5. ストリーム入力
6. ストリーム出力
7. ホストデータ入出力
8. 局所復号画像出力

ここで入出力は SDRAM からみたもので入力か SDRAM への書き込み、出力が SDRAM からの読み出しを意味している。

次に 3 章で検討した動き探索方式に基づくメモリ転送レートを図 7 に示す。図 7(a) は 1 次探索用および 2 次探索用参照画像としてそれぞれ原画像と局所復号画像を別々に転送した場合の

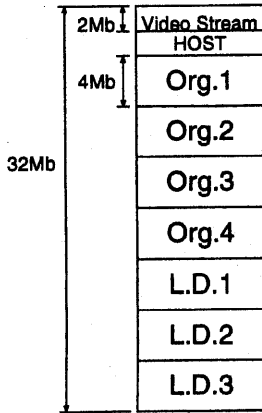


図8: SDRAM 領域分割

必要転送レートである。この場合にSDRAMに求められる転送レートは2.23 Gb/sとなる。一方、32b幅、81 MHzで動作するSDRAMの転送レートは

$$32 \times 81 \times 10^6 \times 0.8 = 2.07\text{Gb/s}$$

である。ここで、0.8はSDRAMにおける読み書きのレーテンシにマージンを考慮した値である。このように1次探索と2次探索で別々の参照画像を転送しようとするSDRAMの許容転送レートを超えてしまう。この問題に対してはエンコーダLSIのオンチップメモリを利用して局所復号画像を1次探索と2次探索両方の参照画像として用いることとした。この方式を用いることで図8(b)に示すように転送レートを1.32 Gb/sと図7(a)に比べて40%も削減することが可能となる。

図8に画像信号としてNTSC画像(720 pel x 480 line x 30 frame/sec)を扱う場合のSDRAM 32 Mbの論理的領域分割を示す。1フレーム画像データは約4Mbであり、原画像(Org.)用4フレーム、局所復号画像信号(L.D.)用3フレームの計7フレーム分の領域を確保している。さらにビットストリームバッファとして2 Mb、それ以外にHOST利用領域として2 Mbを割り当てている。

図8で示したSDRAMにおける7フレーム分画像領域の書き込みタイミングを図9に示す。

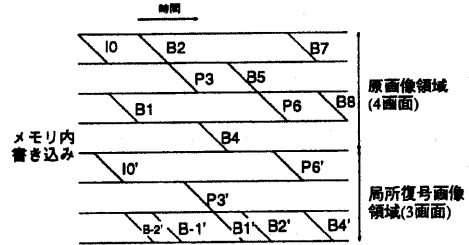


図9: SDRAM 書き込みタイミング

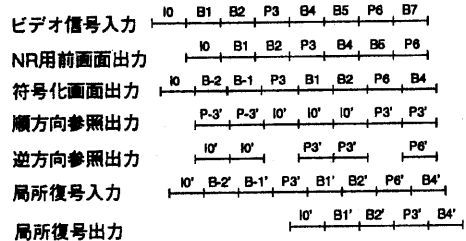


図10: SDRAM 書き込み / 読みだし順序

図9中I,P,Bはピクチャタイプを、それに続く数字は入力および表示順序を示す。原画像領域ではI,P,Bピクチャ並べ替えのため、入力から符号化までに要する時間が多いBピクチャが長時間保持されている。逆に、局所復号画像領域では参照画像となるI,Pピクチャが長時間保持されているのが特徴である。

また、SDRAMが扱う各画像信号に関する書き込み / 読みだし順序を図10に示す。図9および図10に示す順序で処理することにより書き潰しを発生させることなく全ての画像信号を処理することが可能となっている。

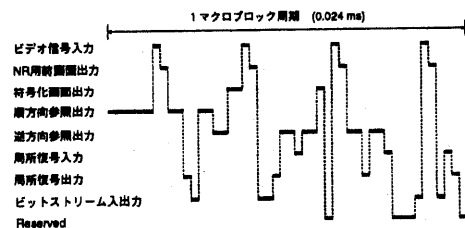


図11: 1マクロブロック内時分割処理

SIFにおける時分割処理の様子を図11に示す。MPEG-2 エンコード処理の1単位である1マクロブロック期間(0.024ms)を細分化し、固定化されたスケジュールに従い上で記述した各画像信号/ビットストリームの読み書きを行なう。

5 チップ諸元

0.35 μm ルール、3層メタル CMOS 技術を用いて作製した1チップMPEG-2 MP@MLビデオエンコーダLSI諸元を表1に、またチップ写真を図12に示す。TM5方式比で1/5に演算量を削減した動き探索方式を採用することによりMPEG-2ビデオエンコードに関わる基本的な処理を全て行ないながらも1.5Wという低消費電力を実現している。また、作業用周辺メモリを1つにまとめることでパッケージピン数も208に抑えることが可能となった。

表1 チップ諸元

項目	内容
プロセス	0.35 μm CMOS, 3層メタル
チップ寸法	12.45×12.45 mm ²
Tr数	3.1 M
パッケージ	208-pin QFP
電源電圧	3.3 V(ME: 2.5V)
消費電力	1.5 W
外部クロック	13.5 MHz
内部クロック	13.5/54/81 MHz
エンコード機能	MPEG-2 MP@ML video M ≤ 3, dualprime
ビットレート	≤ 15 Mbps
探索範囲	-48/+47 H, -16/+15.5 V Pピクチャ、フレーム
探索範囲シフト	-48/+48 H, -16/+16 V

6 まとめ

MPEG-2 MP@MLビデオエンコーダLSIの1チップ化を検討した。まず動き探索について検討し、1次探索として水平方向内挿間引きおよびダイヤモンド領域探索を採用することで、TM5比でSNR劣化0.1dBに抑えながら演算量を1/5と大幅に低減する方法を採用した。

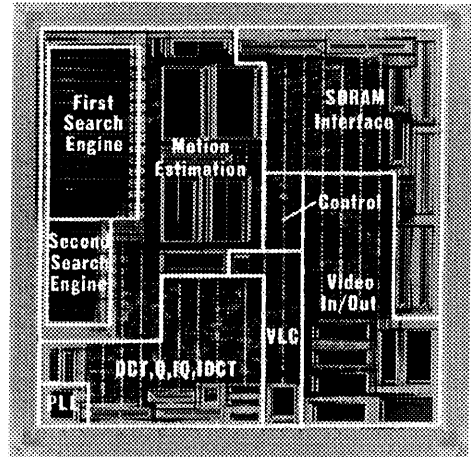


図12: チップ写真

またメモリ構成を検討し、外付けメモリとしては2つのSDRAMのみでMP@ML符号化時並べ替え、ビデオ入出力用バッファ、時間軸ノイズリデューサ、ビットストリームFIFOという全ての機能を有することが可能となる構成を提案した。本構成によりMPEG2符号化LSI周辺部品点数が削減でき、符号化LSIピン数も208に抑えることが可能となった。

実際に0.35 μm ルール CMOS プロセスで作製したLSIは12.45 mm²となり、電源電圧3.3V(動き探索部2.5V)時の消費電力は1.5Wと非常に小さい値を示した。本LSIにより小型MPEG-2エンコーダシステム実現が期待できる。

謝辞

本研究遂行するにあたり御指導いただいた西谷所長代理、福岡部長、黒川部長、新津部長、高田部長に感謝いたします。また、1チップLSI実現に協力いただいた、後藤氏、古田氏、柴山氏、中沢氏、穂積氏、小林氏、三木氏、仙田氏、Ms. Shuの各プロジェクトメンバに深謝します。

参考文献

- [1] ISO/IEC IS 13818-2, "Information technology - Generic coding of moving pic-

- tures and associated audio information – Part 2: Video,” International Standard, 1995.
- [2] 松浦, 松村, 瀬川, 熊本, 花見, 大河原, 中川, 石原, 吉本, 角, “プログラマブル実時間 MPEG2 ビデオエンコーダチップセット”, 1995 年テレビジョン学会映像メディア部門冬季大会, p.76, 1995.
- [3] 祇園, 松本, 大谷, 吉田, 荒木, 生形, 芹沢, 青木, 左右田, 長田, 青野, “MPEG2 対応リアルタイム動き検出 LSI”, 電気学会研究会資料, 電子回路研究会, ECT-95-60, pp.21-27, 1995.
- [4] 大久保, 近藤, 南, 草場, 笠井, 田代, 山内, 小寺, “リアルタイム MPEG2 SP@ML エンコーダチップセットの開発”, 1996 年電子情報通信学会総合大会講演論文集, C-562, 1996.
- [5] M. Mizuno, Y. Ooi, N. Hayashi, J. Goto, M. Hozumi, K. Furuta, Y. Nakawzawa, O. Ohnishi, Y. Yokoyama, Y. Katayama, H. Takano, N. Miki, Y. Senda, I. Tamitani, and M. Yamashina, “A 1.5W Single-Chip MPEG2 MP@ML Encoder with Low-Power Motion Estimation and Clocking,” *Digest of Technical Papers ISSCC'97*, pp. 256-257, Feb. 1997.
- [6] Y. Ooi, O. Ohnishi, Y. Yokoyama, Y. Katayama, M. Mizuno, M. Yamashina, H. Takano, N. Hayashi, and I. Tamitani, “An MPEG-2 Encoder Architecture based on a Single-Chip Dedicated LSI with a Control MPU,” *Proc. ICASSP'97*, Vol. 1, pp. 599-602, Apr. 1997.
- [7] ISO/IEC 11172-2, “Information technology – Coding of moving pictures and associated audio for digital storage media at up to about 1.5 Mbit/s – Part 2: Video,” International Standard, 1993.
- [8] J. R. Jain and A. K. Jain, “Displacement Measurement and Its Application in Interframe Image Coding,” *IEEE Trans. Commun.*, Vol. COM-29, No. 12, pp. 1799-1808, 1981.
- [9] T. Koga, K. Iinuma, A. Hirano, Y. Iijima and T. Ishiguro, “Motion compensated interframe coding for video conferencing,” in *Proc. Nat. Telecommun. Conf.*, New Orleans, LA, Nov. 29-Dec. 3, pp. G5.3.1-5.3.5, 1981.
- [10] 村主, 近藤, 南, 大久保, 笠井, 小野, “MPEG2 対応動き補償 LSI”, 1996 年電子情報通信学会総合大会講演論文集, C-567, 1996.
- [11] Test Model Editing Committee, “Test Model 5,” ISO/IEC JTC1/SC29/WG11/N0400, 1993.
- [12] H. Honma, M. Ohta and T. Nishitani, “A Simplified Method of Motion Vector Estimation for VLSI Implementation,” *Proc. Int. Conf. on Syst. Eng.*, pp. 216-219, 1992.
- [13] 水野, 柴山, 大井, 林, 仙田, 民谷, 山品, “1 チップ MPEG-2 MP@ML ビデオ符号化 LSI における省面積、低消費電力、動きベクトル探索器”, 1997 年信学会総合大会, C-12-34, 1997.
- [14] 朱, 水野, 横山, 大井, “1 チップ MPEG-2 MP@ML ビデオ符号化 LSI における動きベクトル探索ウィンドウシフト”, 1997 年信学会総合大会, SC-11-5, 1997.
- [15] 吹抜, “TV 画像の多次元信号処理”, 日刊工業新聞社, 5 章, 1988.
- [16] 大西, 高野, 大井, “1 チップ MPEG-2 MP@ML ビデオ符号化 LSI におけるメモリアーキテクチャ”, 1997 年信学会総合大会, C-12-33, 1997.