

半導体の集積度はどこまで上がるのか？

正 木 亮†

この疑問は 21 世紀の情報産業に向けたテクノロジーアナリシスの大きな課題です。

集積回路 (IC) 技術の最も重要な指標は集積度です。DRAM (Dynamic Random Access Memory) は過去約 20 年間、3 年に 4 倍の率で高集積化が進み、現在 16 メガビット DRAM が実用期に入り、また、ギガビットを目指した研究がすでに始まっています。マイクロプロセッサ (MPU) では 300 万トランジスタを集積した LSI が実用化済みで、2000 年には 1 億トランジスタ/チップに達すると言われています。

これらの半導体ではシリコン CMOS 技術が使われています。CMOS は回路がスイッチする際しか電力を消費しないので、LSI の低電力化・高集積化に適しています。一方、大型計算機用の高速論理 IC としてはもっぱら ECL (エミッタ結合論理、シリコンバイポーラ技術) が使われてきました。また、この用途では集積度より高速性が重視され、すでに 1970 年代から化合物半導体や超電導素子に大きな期待が抱かれていました。しかし実際には 1960 年代中期以来約 25 年間、汎用大型計算機用論理 IC の集積度は 5 年に 10 倍、つまり上記の DRAM と同じ率で向上してきました¹⁾。また、CMOS は高速技術ではないと考えられてきましたが、微細化によるトランジスタの性能向上と高集積化による配線長の減少により、CMOS の性能は将来は室温動作でも ECL に迫ると予測され²⁾、実際、汎用機への CMOS MPU の導入計画が最近盛んに発表されています。

集積度の向上を阻む壁はいろいろありますが、それらを乗り越える可能性も生み出されています。

以前は MOS トランジスタは動作面からゲート長 $0.3 \sim 0.2 \mu\text{m}$ が下限と考えられていましたが、最近 $0.1 \sim 0.05 \mu\text{m}$ 程度でも室温動作可能であることが立証されています。これは DRAM の集積度では数～10 数ギガビットに相当します。一方このような微細なパターンをチップ上に形成するこ

とも大きな技術課題ですが、パターンの焼付けを現在使われている光に替えて電子線や X 線で行えば実現可能であり、また、光の場合の微細化の下限もじりじりと伸びています。

DRAM では情報を蓄えるために 1 ビットごとに 1 個のコンデンサが必要で、微細化が進んで 1 ビット分の面積が小さくなくても一定の静電容量値を確保しなければならないので、コンデンサを非常に複雑な立体的構造にしていかなざるをえないことが大問題ですが、その解決策として、コンデンサに現在使われているシリコンの酸化物などより誘電率が桁違いに大きい材料が検討されています。

ウェーハを無欠陥にすることは非常に困難なので、集積度向上のためチップ面積を増大すると歩留りが急激に低下します。この問題に対しては冗長構成による欠陥救済技術が有効で、DRAM では実用化済みですが、論理 VLSI については今後の課題です。筆者らは、ニューラルネットワークが本質的に耐故障性が高いことに着眼して、5 インチウェーハに 2000 万トランジスタを集積した世界初のニューロ WSI (Wafer Scale Integration) を 1989 年に試作し、実際に動作を確認しました³⁾。欠陥の問題を回避した超高集積半導体の一例です。

原理的な壁になりそうなのは、配線抵抗遅延による高速化の限界です⁴⁾。この問題を本質的に解決するには超電導技術を使う必要があります。しかし、極低温という使用条件は一般の用途には不向きです。したがって、ますます高集積化を進め、並列的な処理による高性能化を追及する必要があります。

上記のような技術的な壁以上に懸念されるのは経済的な問題です。高集積半導体の製造ライン構築には巨額の投資が必要であり、事業的に大きなリスクをとまうので、一つの解決策として、世界的規模の企業提携が活発になっています。しかし、いずれにせよ、各世代で事業的成功が達成され、得られた利益が次の投資に回ることが必要な

† (株)日立製作所デバイス開発センター

ので、高集積半導体に対する強い需要を喚起する
 応用製品が次々と創造され、社会に広く受け入れ
 られることが基本的に重要です。

情報産業は飛躍的な発展を続けても環境破壊の
 問題を生じるおそれが比較的少ない貴重な産業で
 あり、また、半導体の集積度が上がり続けること
 は情報産業発展の一つのバロメータです。したが
 って、“どこまで上がるか”と言うよりは、“どこま
 で上げるか”、“どこまで上がることを望むか”で
 あり、答は私たちの社会全体が造っていくものだ

と言えます。

参 考 文 献

- 1) Masaki, A. (Invited Paper): Possibilities of Deep-Submicrometer CMOS for Very-High-Speed Computer Logic, Proc. IEEE, Vol. 81, No. 9, pp. 1311-1324 (Sep. 1993).
- 2) Masaki, A., Hirai, Y. and Yamada, M.: Neural Networks in CMOS: A Case Study, IEEE Circuits & Devices, Vol. 6, No. 4, pp. 12-17 (July 1990).

(平成5年11月5日受付)

仮名漢字変換にはどのような アルゴリズムが使われているか？

青 江 順 一†

仮名漢字変換については、多くの解説記事や論
 文(参考文献1)~4)参照)が存在するので、本
 稿は初心者向けの概要として説明する。

仮名漢字変換は、日本語文の読みから仮名漢字
 混じりの文に変換するソフトウェアであり、大ま
 かには文節内処理、連文節処理、同音語処理、学
 習処理に分けることができる。

文節内処理は、基本的に自立語とそれにつな
 がる付属語を見つけて一つの文節候補を決定す
 ることであり、読みに対する形態素(意味のある最
 小の言語単位のことであるが、辞書に格納されて
 いる語彙と考えてもよい)候補を辞書引きで探
 しなが、前方形態素と現在の形態素の接続の可
 否を接続表³⁾でチェックして文節候補を絞り込む。

たとえば、読み「くるまでは」に対して、“+”
 で形態素を区切ることにすると、次の文節候補
 が得られる。

くるま(車)+では、

く(来, 繰, く)+る+まで+は、

く(来, 繰, く)+る+ま(間)+では

読みの()内は対応する表記候補を表す。接続
 表は、動詞語幹“く(来)”と活用語尾“る”の接
 続が正しいことを表す情報をもつ。自立語候補
 には接頭辞、接尾辞、助数詞などが複雑に絡み合
 った複合語が多く存在するので、自立語自身の決定

も難しい問題となる。たとえば、読み「かきとく
 べつ」には、「夏季特別」、「下記と区別」の候補
 が存在する。

連文節処理^{1),2)}は、複数の文節区切りの候補か
 ら採用すべき文節の組合せを決定する。たと
 えば、入力「くるまではこをはこぶ」の文節区切
 りを“/”で表すと次の候補が考えられる。

くるま(車)で/はこ(箱, 函)を/はこ(運)ぶ

くるま(車)では/こ(子)を/はこ(運)ぶ

く(来, 繰, く)るまでは/こ(子)を/はこ(運)ぶ

く(来, 繰, く)るまで/はこ(箱, 函)を/はこ

(運)ぶ

く(来, 繰, く)る/ま(間)では/こ(子)を/はこ

(運)ぶ

く(来, 繰, く)る/ま(間)で/はこ(箱, 函)を/
 はこ(運)ぶ

採用基準には、最も長い文節を優先する最長一
 致法、連続2文節が最長となる場合を優先する2
 文節最長一致法、入力文全体の文節数が最小とな
 る場合を優先する文節数最小法などがあるが、さ
 らに、単語長、頻度などによる経験的な評価関数
 を利用した最尤評価法を組み合わせると候補を決定
 する。上記の候補で、文節数最小で文頭の自立語
 を動詞より名詞を優先し、後ろの文節より前の文
 節の長さが短いほうを優先する基準ならば、次が
 採用される。

† 徳島大学工学部知能情報工学科