

## OFDM方式コグニティブ無線のハードウェア設計に関する考察

小田桐紳也<sup>†</sup> 小笠原勇氣<sup>†</sup> 吉澤 真吾<sup>†</sup> 宮永 喜一<sup>†</sup>

<sup>†</sup> 北海道大学大学院情報科学研究科  
〒060-0814 札幌市北区北14条西9丁目

E-mail: †{shinya,yuki,yosizawa}@csm.ist.hokudai.ac.jp, ††miya@ist.hokudai.ac.jp

**あらまし** 周波数資源が枯渇してきている現在、周囲の無線環境を認識し、最適な通信環境を選択することができるコグニティブ無線が注目を集めている。コグニティブ無線の方式は様々考えられるが、主に周囲の周波数帯域の通信状況により通信を行う帯域を決定するダイナミックアクセスと、多様に変化する周囲の無線環境を認識し、最適な通信方式を選択する環境適応通信が挙げられる。本稿ではOFDM方式コグニティブ無線のハードウェア設計について検討する。OFDM通信の様々なパラメータを持ったコグニティブ無線システムを実現するためにスペクトラムセンシングとベースバンドプロセッサ回路をハードウェア化し、回路面積と消費電力の評価を行った。また、スペクトラムセンシング回路はFPGAボードへの実装を行った。

**キーワード** OFDM, コグニティブ無線, スペクトラムセンシング, ベースバンド, LSI設計

## A Study of Hardware Design of OFDM Cognitive Radio Systems

Shinya ODAGIRI<sup>†</sup>, Yuki OGASAWARA<sup>†</sup>, Shingo YOSHIKAWA<sup>†</sup>, and Yoshikazu MIYANAGA<sup>†</sup>

<sup>†</sup> Graduate School of Information Science and Technology, Hokkaido University  
Kita-14 Nishi-9, Kita-ku, Sapporo 060-0814, Japan

E-mail: †{shinya,yuki,yosizawa}@csm.ist.hokudai.ac.jp, ††miya@ist.hokudai.ac.jp

**Abstract** Cognitive radio that can recognize surrounding wireless environments and select the best communication environment attracts attention because of limited frequency resources. Various methods of cognitive radio are considered, which are classified into two schemes. One is dynamic access that decides communication bands according communication situations with considering surrounding bandwidths. The other is environmental adaptive communication that recognizes diversifying wireless environments and selects the best communication method. This paper discusses a hardware design method of OFDM cognitive radio. The spectrum sensing and baseband processing circuits have been implemented into hardware to realize the cognitive radio systems having variable parameters of OFDM communication. The designed circuits have been evaluated in circuit area and power dissipation. The prototyping of spectrum sensing hardware has been constructed on a FPGA board.

**Key words** OFDM, Cognitive radio, Spectrum sensing, Baseband, LSI design

### 1. はじめに

ブロードバンド通信の普及により、携帯電話やインターネットがより身近なものとなってきた。近年新たな無線LANシステムや携帯電話システムなどが続々と標準化され、限りある周波数資源を有効に活用する手段が求められている。現在地上波デジタル放送で用いられている変調方式であるOFDMではマルチキャリア信号を互いに直交するサブキャリア信号として周波数多重することによって、有効に周波数を活用でき、マルチパスによって生じる遅延にも強いことが知られている。また、無線機が周囲の通信環境に応じて最適な周波数を選択すること

により、限られた周波数帯域内に多くの無線通信を共存させることができるコグニティブ無線という技術が注目されている。現在、周波数は無線通信ごとに帯域が割り当てられており、その帯域は他の無線通信が利用できないようになっている。よって、時間や空間によっては利用されていない帯域があり、大部分が有効に活用されていないのが現状である[1]。そこでコグニティブ無線では、他の無線通信に割り当てられている周波数帯域でも通信が行われていない状態であればその周波数を利用し通信を行うことができる。さらに、周囲の無線環境により通信システムを変えることができるのもコグニティブ無線の特徴の一つである。様々に変化する通信環境に適応するため通信仕様

を固定せずに、通信を行うごとに最適な通信仕様を選択する [2]。本稿では OFDM 方式を用いたコグニティブ無線 (Cognitive OFDM) の実現方法について考察する。変化する環境に適応する従来の方式としてリンクアダプテーション方式がある。この方式は送受信における成否情報を基に伝送レートを切り替える方式だが、環境の変化が激しい状況においてはその変化に追従できないという欠点がある。今回提案する Cognitive OFDM では受信側からセンシング情報を受け取るたびに通信方式を変えることができ、環境の変化が激しい状況においても十分に対応することができる。

## 2. OFDM 方式コグニティブ無線

OFDM 方式コグニティブ無線の仕様とフレームフォーマットを表 1 と図 1 に示す。フレームフォーマットの基本部分は IEEE802.11a の拡張であり、C-SIG にコグニティブ情報を挿入する。C-LTF 以降は 80MHz サンプリングとしパラメータに応じて長さを変えることが可能となっている。また、現在使われている IEEE802.11a/g/n 規格では占有帯域幅が 20MHz または 40MHz だが、Cognitive OFDM では 20~80MHz 可変で通信を利用している人が任意に設定できるような方式をとっている。占有帯域幅の指定後はコグニティブ無線で主要となる 2 つの方式であるダイナミックアクセス、環境適応通信によりユーザーに最適な通信環境を与えることができる。

表 1 Cognitive OFDM 仕様

FFT 点数	256	512	1024
信号帯域	80 MHz (有効帯域 76 MHz)		
サブキャリア間隔	312.5 kHz (80MHz/256)	156.3 kHz (80MHz/256)	78.1 kHz (80MHz/1024)
NULLサブキャリア数	16	30	62
パイロットサブキャリア数	12	14	14
有効サブキャリア数	228	468	948
FFT/IFFT周期	3.2 usec	6.4 usec	12.8 usec
基本GI長	0.8 usec	0.8 usec	0.8 usec
シンボル長	4.0 usec	7.2 usec	13.6 usec
1シンボルの最大ビット数	1404	2880	5832
最大データレート (符号化率5/6)	292.5 Mbps	333.3 Mbps	357.3 Mbps

### 2.1 方式

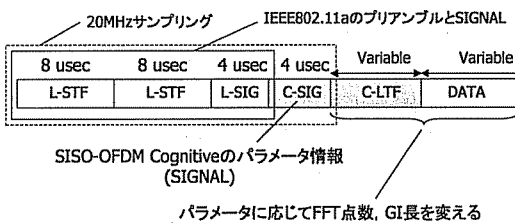


図 1 Cognitive OFDM フレーム

#### 2.1.1 ダイナミックアクセス

コグニティブ無線では、周波数利用効率や伝送レート向上の観点より、他の無線通信に割り当てられている周波数帯域でも通信が行われていない状態であればその周波数を利用しようとするダイナミックアクセスという方式がある。占有帯域幅を設定した後、その帯域を任意の分割数で分ける。その後、分けた帯域ごとに他の通信機がこの帯域を使用していないか調べ、使用中でない場合はそのまま帯域を利用し、もし使用中であっても、その帯域に相当するサブキャリアに NULL キャリアを埋めることで他の無線通信との干渉を回避することができる [3]。帯域を 4 つに分割したときの例を図 2 に示す。図 2 では左から 1 番目と 3 番目の帯域が使われていると仮定している。帯域が使用されているかどうかを判定する方法は 3 章のスペクトラムセンシングで説明する。

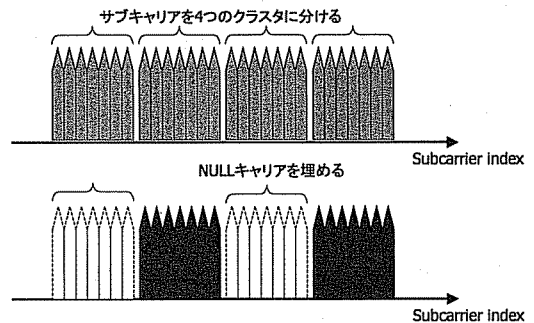


図 2 ダイナミックアクセス

#### 2.1.2 環境適応通信

環境適応通信とは端末とアクセスポイント (AP) がデータの送受を行いながら通信仕様を適応的に変動させていく方式である [4]。現在無線 LAN で使用されている IEEE802.11a/g/n 規格では通信方式を固定して通信を行っているが、通信環境によっては良好なスループットを実現できない場合もある。そこで、送受信するデータの一部にドップラー速度やマルチパス遅延などのセンシング情報を入れることでコンピュータが自動的に仕様を変更することができる。データ送受の様子とエージェントシステムを図 3, 4 に示す。端末側では AP から受信した Data フレームによって得たセンシング情報を Ack フレームにのせて送信する。AP 側では、受信した Ack フレームにより OFDM 仕様を適応的に変える。この AP 側で行われる OFDM 仕様を適応的に変えるシステムをエージェントシステムと呼ぶ。エージェントシステムではあらかじめセンシング情報の組み合わせでどの方式が最大のスループットになるかをデータベースに記録しておき、センシング情報が送られてくる度にデータベースから最適な方式を参照し、データを送る。エージェントシステムの詳細およびシミュレーション結果は文献 [4] を参照。

### 2.2 ハードウェア構成

OFDM 方式コグニティブ無線のハードウェア構成を図 5 に示す。ドップラー速度、マルチパス推定、エージェントシステムの動作を Controller で、スペクトラムセンシングを Sensing

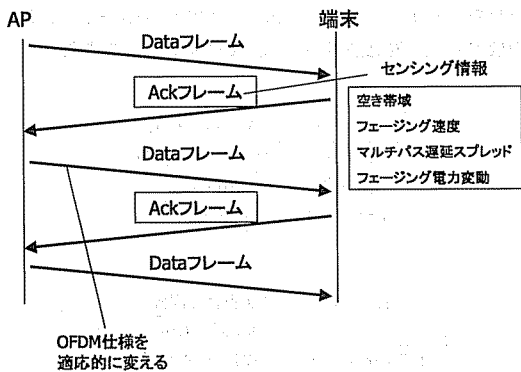


図3 環境適応通信

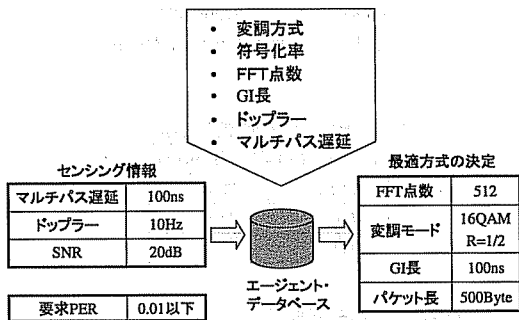


図4 エージェントシステム

で処理し、そのときの環境に最適な OFDM 設定パラメータを送る。ベースバンド処理については4章で説明する。

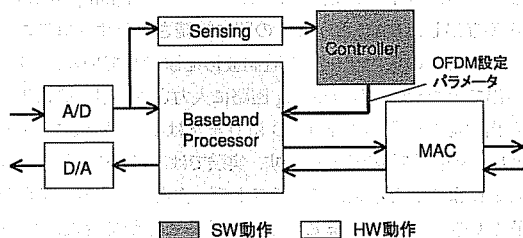


図5 コグニティブハードウェア構成

### 3. スペクトラムセンシング

1章で説明したダイナミックアクセス方式に基づき、利用しようとする周波数帯域に他の通信が存在するかを検出する機能をスペクトラムセンシングという。スペクトラムセンシングには主に受信信号のエネルギーを用いて信号を検出する Energy Detection と受信信号の無線通信システムやその信号形式の特徴を利用し、信号を検出する Feature Detection の2つの手法が存在する。本研究では Energy Detection を用いたセンシングのハードウェア化について検討する。

#### 3.1 Energy Detection アルゴリズム

Energy Detection は受信信号の電力を測定し、信号を検出

する方法である。信号の電力を  $s(t)$ 、雑音の電力を  $n(t)$  とすると、受信される電力  $x(t)$  は次式のように表される。

$$x(t) = s(t) + n(t) \quad (1)$$

Energy Detection ではこの受信された信号を FFT し、そのあと2乗して各サブキャリアの電力を測定した後、1シンボルがあるセンシング時間  $T$  で積分し、平均をとる。この値は次のように計算できる。

$$P = \frac{1}{T} \int_T X(f)X^*(f)df \quad (2)$$

この値をあらかじめ定められたしきい値と比較し、この値がしきい値以上だった場合、この周波数帯が利用されていると判断する [5]。

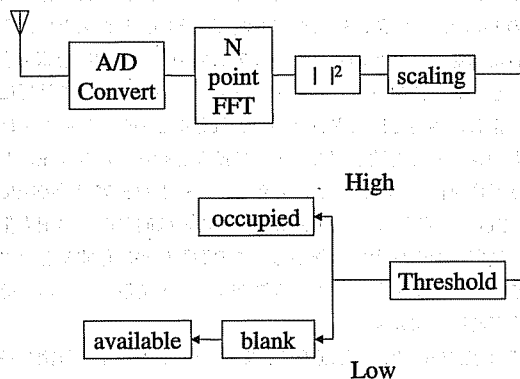


図6 Energy Detection

#### 3.2 センシング回路のハードウェア設計

Energy Detection のハードウェア構成図を図6に示す。コグニティブ無線では、周波数利用状況によって使用する帯域幅が変動するため、FFT 点数が可変である回路が望ましい。そこで FFT 点数を 64 点、256 点、1024 点で可変にした。さらに、調べている帯域のどの部分が使用されているかわかるように帯域の分割数を 1, 2, 4, 8 で可変にした。FFT プロセッサは FIFO メモリ、加算器、乗算器を用いたパイプライン型で、FFT 点数を可変にするために信号を入力する位置をスイッチで制御している。図7に FFT プロセッサの構成を示す。FIFO メモリは各 stage で設けられているメモリワード数が異なり、1024/2<sup>n</sup> bit で与えられる。BF ではバタフライ演算での加算と減算の処理を行う。全 10stage から構成されており、stage1 から入力すると 1024 点となり、stage3 からだと 256 点、stage5 だと 64 点となる。

FFT 後のパワースペクトルを測るために、実数成分の2乗と虚数成分の2乗を加算する。実際にはこの値の平方根をとらなければならないが、比べるしきい値をあわせれば問題ないので、平方根をとる過程を省いている。平均値を計算する操作では各サブキャリアごとの電力値を累積加算するためのレジスタをチャンネルごとに用意し、1シンボルすべての値をすべて格納し終えるまでレジスタに値を加算し続ける。このとき桁あふれ

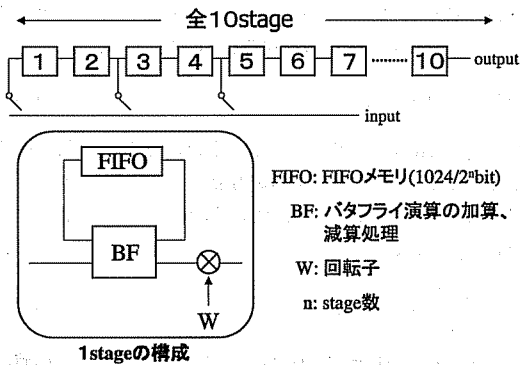


図7 パイプラインFFTプロセッサ

を防ぐためにレジスタの bit 数を広く確保しておく。その後、元の bit 幅に戻すために右シフト演算を行い、レジスタに蓄えられた値をチャンネルのサブキャリア数で割り、平均値を算出する。しかし、FFT Processor からの出力は FFT 計算の性質により正しい順番で出力されない。これを正しい順番に直すには出力の順番の2進数表現のビットを反転させる Bit Reverse という操作を行う必要がある。しかし、ハードウェア設計の際に Bit Reverse を行うメモリを用意することは回路面積の肥大化や、消費電力の拡大につながる。この問題は平均化するとき値を入れるレジスタをカウンタ制御することで解決できる。その様子を図8に示す。

FFT 点数 64 点、8 分割の場合では、64 個の値を 8 分割し各レジスタに 8 個ずつの値が格納されることになる。正しい順番でデータが入ってくる場合は 0 番のレジスタから 8 個ずつ格納していけばいいが、実際に入ってくるデータは Bit Reverse される前の re\_count の順番で入ってくる。1 シンボルの最初のデータが入ってくる時のカウントを 0 にすると、count の下位 3bit でデータが入るアドレスが決定できることがわかる。

64点FFT 8分割の場合

	count	re_count	address
0	0~7	000000	000000 (0) mem[0]
1	8~15	000001	100000 (32) mem[4]
		000010	010000 (16) mem[2]
2	16~23	000011	110000 (48) mem[6]
		000100	001000 (8) mem[1]
3	24~31	000101	101000 (40) mem[5]
		000110	011000 (24) mem[3]
4	32~39	000111	111000 (56) mem[7]
		001000	000100 (4) mem[0]
5	40~47	001000	
6	48~55	⋮	⋮
		⋮	⋮
7	56~63	⋮	⋮

この順番でループ

図8 Bit Reverse

3.3 論理合成結果

測定条件を表2に、回路面積を表3、消費電力を表4に示す。この結果から回路面積の約94%がFFTプロセッサによって占められていることがわかる。これはパイプラインFFTプロ

セッサのFIFOメモリによる要因が大きいと考えられる。消費電力はFFT点数に比例して増えていくのが確認できた。

表2 測定条件

回路設計言語	Verilog HDL
論理合成	Design Analyzer
動作周波数	100MHz
使用テクノロジー	90nmCMOS

表3 センシング回路面積評価

	回路面積 (μm <sup>2</sup> )
FFT Processor	874548(93.9%)
Power	14637(1.6%)
Sum & Scaling	38404(4.1%)
compare	3720(0.4%)
合計	931309(232827 ゲート)

表4 センシング回路消費電力評価

FFT 点数	消費電力 (mW)
64 点	39.3
256 点	41.6
1024 点	49.2

3.4 FPGA による実装実験

センシング回路に入力するデータを各FFT点数ごとにROMに格納しておき、スイッチで入力するデータを選択できるようにした。図9にFPGA実装の回路構成図を示す。USB BlasterによってPCからFPGAボードに回路データを流し、実装を行っている。スイッチで選択されたデータをSignal generatorから呼び出し、DACとADCの間に接続されたオシロスコープによってこの入力データの時間波形を観測している。ADCから出てきたデータはsensing回路に入力され、最終的に出てきた出力を7セグメントLEDに0または1で出力している。FPGA実装の結果を表5に示す。実験ではスイッチで切り替えることにより様々な条件でのテストデータを発生させ、それぞれ正しい結果が得られることを確かめることができた。図10はFPGAボードにDACとADCを差し込みケーブルで接続している様子である。

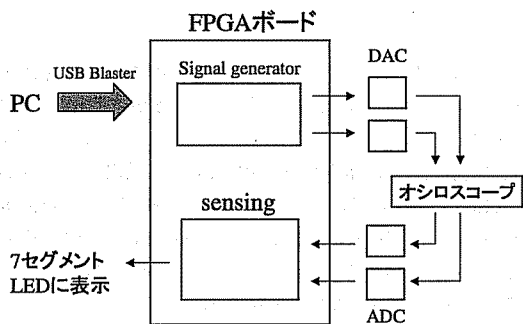


図9 FPGA実装

表 5 FPGA 実装結果

Quartus Version	7.0
Device	ALTERA Stratix EP1S60F1020C7
Total logic elements	19884 / 57120(35%)
Total pins	158 / 782(20%)
Total memory bits	450944 / 5215104(9%)



図 10 実験風景

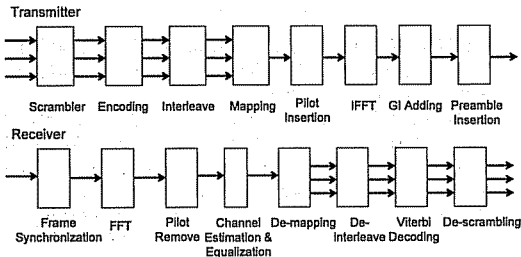


図 11 ベースバンド処理回路の構成

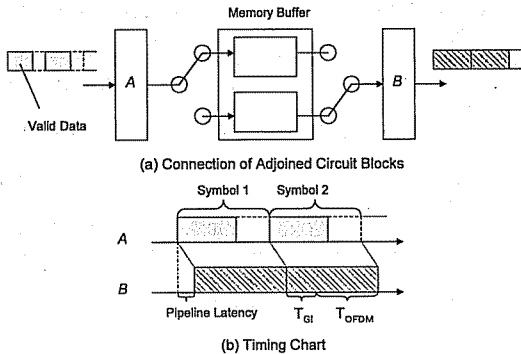


図 12 各ブロックの処理タイミング

## 4. ベースバンド処理回路

### 4.1 回路構成

OFDM 方式コグニティブ無線のベースバンド処理回路の構成を図 11 に示す。IEEE802.11a 規格とほぼ同等の OFDM 変復調を行う。送信機側はスクランブル、畳込み符号化、インターリーブ、QAM マッピング、パイロット及びヌルサブキャリア挿入、IFFT、GI 付加、プリアンブル付加の順で、受信機

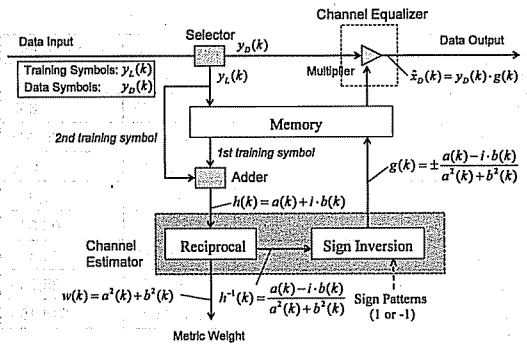


図 13 チャンネル推定・等化器回路

側はフレーム同期、FFT、データサブキャリア取り出し、チャンネル推定・等化、軟判定復調、デインターリーブ、Viterbi 復号、デスクランブルの順で実行する。FFT 点数を可変としているので各内部ブロックにおいて OFDM シンボル長やガードインターバル長に依存しない処理タイミングが求められる。各ブロックにおける処理タイミングの関係を図 12 に示す。処理手順はデータ処理時間を OFDM シンボル時間に一致させる方針を採用する。1OFDM シンボル時間はガードインターバル時間  $T_{GI}$  と FFT 長  $T_{FFT}$  の和で与えられる。全ての処理ブロックにおいて 1OFDM シンボル時間内に 1OFDM シンボル分のデータ処理が完了することができればデータの衝突がなく実時間で処理可能となる。隣り合う内部ブロックを図 12 のように“A”と“B”で表すことにする。ブロック A は 1OFDM シンボル分のデータの受け入れて処理後のデータを出力する。出力したデータは中間にあるメモリに格納される。ブロック B はブロック A の 1OFDM シンボル分のデータ出力処理が完全に終わった後にデータをメモリから引き出して処理する。ブロック A とブロック B との間で大きなタイムラグが生ずる場合があるがメモリの読み出し及び書き込み場所をずらすことで同一アドレスへの対する読み出し及び書き込み処理を回避する。このメモリは IFFT・FFT 処理後のビット逆順の並べ替え、パイロットサブキャリア挿入および除去、ガードインターバル挿入および除去にも利用される。

### 4.2 チャンネル推定・等化处理

ベースバンド処理回路内部のアーキテクチャに関してチャンネル推定・等化处理を取り上げる。可変 FFT 回路は第 3.2 章や文献 [6], Viterbi 復号器の構成は文献 [7] を参照して頂きたい。チャンネル推定・等化处理は受信 OFDM シンボルの種類に応じて推定処理と等化处理に分離される。トレーニングシンボル受信時にはチャンネル推定処理としてチャンネル係数およびその逆数値を計算する。データシンボル受信時はデータシンボルとチャンネル逆数値を乗算して等化を行う。回路構成を図 13 に示す。チャンネル推定時にはトレーニングシンボル  $y_L(k)$  のデータをチャンネル推定器に送る。k は OFDM データサブキャリア番号を示す。チャンネル係数は第 1 と第 2 トレーニングシンボルの平均値を利用するので第 1 シンボルのデータはメモリに記録しておく。チャンネル係数を算出後に複素数の逆数計算を行い、分

表 6 ベースバンド処理回路面積評価

Transmitter	Area (um <sup>2</sup> )	Gate Count
Scrambling	3,346	837
Encoding	3,208	802
Interleave	103,071	25,767
Mapping	2,713	678
Pilot Insertion	173,577	43,394
IFFT	1,633,504	408,376
GI Addition	170,149	42,537
Preamble Insertion	103,061	25,765
Total	2,192,629	548,156

Receiver	Area (um <sup>2</sup> )	Gate Count
Synchronization	6,055	1,513
FFT	2,262,651	565,638
Pilot Remove	211,465	52,866
Channel Estimation & Equalization	458,767	114,692
De-mapping	53,268	13,317
De-interleaving	498,669	124,667
Viterbi Decoding	2,011,757	502,939
De-scrambling	3,346	837
Total	5,505,878	1,376,469

表 7 ベースバンド処理回路消費電力評価

Transmitter [mW]	256-pt. FFT	512-pt. FFT	1024-pt. FFT
QPSK, R=1/2	39.5	55.9	88.0
16QAM, R=1/2	39.7	55.9	88.0
64QAM, R=1/2	39.8	56.2	88.3
64QAM, R=3/4	39.8	56.3	88.5

Receiver [mW]	256-pt. FFT	512-pt. FFT	1024-pt. FFT
QPSK, R=1/2	92.9	116.2	160.9
16QAM, R=1/2	118.1	141.5	184.2
64QAM, R=1/2	145.3	165.8	209.5
64QAM, R=3/4	149.8	172.8	214.9

母を実数化するために共役数を乗算する。同時にチャネル係数の 2 乗電力値も得られるので軟判定復調の重み付け係数  $w(k)$  として利用する。逆数値  $h^{-1}(k)$  を計算後に送信側で乗算していた既知信号 (1 か-1 の値) を同様に乗算してチャネル逆数値  $g(k)$  を求めて、このデータをメモリに記録する。チャネル等化時にはデータシンボル  $y_D(k)$  とチャネル逆数値  $g(k)$  を乗算して推定沿う信号  $\hat{x}_D(k)$  を算出する。チャネル推定・等化処理回路内部は全てパイプラインステージ化しておりデータサブキャリア数に関係なくデータ処理することができる。

#### 4.3 回路合成結果

Verilog-HDL を用いて記述及び RTL レベル検証を行い。CMOS 90nm プロセスにて回路論理合成を行った。論理合成後の回路面積及び消費電力評価結果をそれぞれ表 6, 表 7 に示す。回路動作周波数は 80MHz であり、動作電圧は 1.0V の条件で行っている。今回の設計では FFT と IFFT 回路は別の回路で実装しているが送受信処理が排他的であれば共有化も可能である。送信機、受信機の演算語長はそれぞれ 12, 16 ビットとした。回路規模においては FFT/IFFT, Viterbi 復号が大きな割合を占める。デインターリーブ部分で回路規模がやや大きい

は軟判定後のデータを 1 シンボル分にわたってメモリに格納してから並び替え処理を行っているためである。任意の FFT サイズ, OFDM データサブキャリア数, 符号化率にも対応できるがその反面回路規模が大きくなった。消費電力値は FFT サイズ, 符号化率, QAM 変調の上昇に応じて大きくなる結果が得られている。

## 5. まとめ

OFDM 方式コグニティブ無線のハードウェア化について検討したが、信号から得られたセンシング情報によって FFT 点数などの様々な値を可変にできる汎用性の高いシステムを構築することができた。また、スペクトラムセンシング回路では、カウンタ制御によりビットリバース処理を省くことができ、ベースバンド処理回路では様々な変化するパラメータに対応した処理タイミングを実現することができた。

## 6. 謝 辞

本研究の一部は、STARC プロジェクト研究によって行われている。

## 文 献

- [1] 堀口智哉, 佐方連, 井上薫, 富澤武司, 小楠正大, 富岡多寿子, “短距離通信向けコグニティブ無線システムの提案,” 信学技報, SR2006-16, pp.17-22, 2006-7.
- [2] 梅林健太, 藤井威生, 小野文枝, 坂口啓, 鈴木康夫, “コグニティブ MIMO メッシュネットワーク:コグニティブ無線における電力に基づく Signal Detection の基礎検討,” 信学技報, SIP2006-156, RCS2006-214, pp.115-120, 2007-1.
- [3] 横枕一成, 三瓶政一, 森永規彦, “コグニティブ無線ネットワークのためのダイナミックスペクトル割当を用いた波形ロード型伝送方式に関する検討,” 信学技報, SIP2006-176, RCS2006-234, pp.103-108, 2007-1.
- [4] 小笠原勇気, 吉澤真吾, 宮永喜一, “エージェントシステムによる環境適応型 OFDM 方式コグニティブ無線の特性評価,” 信学技報, SR2008-20, pp.15-20, July, 2008.
- [5] 佐々木重信, “IEEE802.22 における DTV スペクトラムセンシングに関する一検討,” 信学技報, SR2007-37, pp.103-108, 2007-7.
- [6] 吉澤真吾, 西一斗, 宮永喜一, “OFDM 方式コグニティブ無線における 2 次元動的アーキテクチャを持つパイプライン型 FFT プロセッサの設計,” 電子情報通信学会論文誌 D, pp.687-695, Vol.J91-D, No.3, Mar. 2008.
- [7] 吉澤真吾, 菅原浩二, 宮永喜一, 尾知博, 伊藤良生, 畑岡信夫, 斉培恒, 高山憲久, 平田雅規, “80MHz 帯域 OFDM 方式無線通信システムの検討と OFDM 変復調回路の設計,” 電子情報通信学会 SIS 研究会, pp.31-36, Jun. 2005.