



## FPGA—その現状, 将来とインパクト

### 5. FPGA 用のレイアウト手法†

佐藤 政生† 戸川 望†

#### 1. はじめに

FPGA (Field-Programmable Gate Array) は比較的高い集積度をもつプログラマブルデバイス的一种であり, 特にシステムのラピッドプロトタイプングの分野で重要な ASIC デバイスとなっている。現在までにさまざまなアーキテクチャに基づいた FPGA が提案されているが, いずれも論理機能を実現する論理ブロックと, 論理ブロック間の接続を実現する配線資源によって構成されている点で共通している<sup>1)~4)</sup>。中でも主流となっているのはプログラマブルな論理ブロックとスイッチブロックがアレイ状に整列した構造をもつタイプのものである<sup>2), 3)</sup>。

FPGA の各構成要素のプログラミングは, SRAM, anti-fuse, EPROM などの記憶素子あるいはこれらの記憶素子によって制御されるスイッチ (pass-transistor など) によって実現される。したがって, 通常のゲートアレイの設計が配線層のマスク生成を目的としているのに対し, FPGA の設計では論理ブロックの機能および接続を実現する記憶素子の状態を決定することを目的としている。つまり, ゲートアレイの製造工程に相当するのは, 記憶素子の情報を記述したビット列の書き込み処理ということになる。

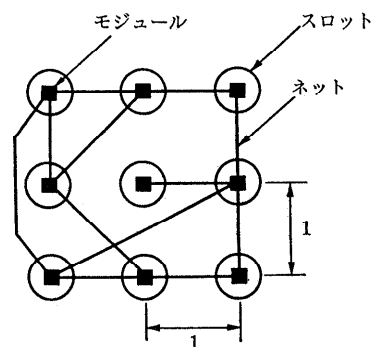
一方, FPGA は記憶素子あるいはスイッチを用いたプログラマブルデバイスであるため, 通常のゲートアレイと比較した場合, 信号が経由する記憶素子・スイッチの抵抗・容量の影響によって遅延が大きくなり, 動作速度が制限されてしまう傾向がある<sup>5)</sup>。これは, FPGA の設計においては配線遅延の制御に対して特に注意する必要があるこ

とを意味する。

このような背景のもと本稿では, FPGA の設計工程の中でも, レイアウト設計手法を配置手法と配線手法とに分けて紹介する。前述のように FPGA 設計の目的は通常のゲートアレイと異なるが, レイアウトモデルのレベルでは共通点が多く, 同様のアプローチが基本的には適用可能である。しかしながら, 性能に対する要求の高まりから, ロングラインに代表される FPGA に特有の配線構造を有効に活用できるような, FPGA に特化したレイアウト手法が必要となってきている。

#### 2. 配置手法

FPGA の論理ブロックはアレイ状に規則正しく整列しているため, 配置処理はスロット配置問題として定式化することができる。スロット配置問題は, 機能モジュールを最適な場所 (スロット) に配置する問題であり (図-1), 仮想配線長の総和などの評価値を最小化することを目的とすると 2 次割当て問題として定式化できる<sup>6), 7)</sup>。2 次割



モジュール数: 9  
ネット数: 12  
スロットサイズ: 3×3  
総配線長: 17

図-1 スロット配置問題

† Layout CAD Methods for FPGAs by Masao SATO and Nozomu TOGAWA (Dept. of Electronics and Communication Eng., School of Science and Engineering, Waseda University).

† 早稲田大学理工学部電子通信学科

当て問題は NP 完全問題に帰着されることが知られているので適切な近似解法が用いられる。本章では、FPGA の配置手法として用いられるシミュレーティッドアニーリング (Simulated Annealing, 以下 SA と略す) 法による配置手法<sup>9)</sup>, およびミンカット配置手法<sup>9)</sup>について述べる。

### 2.1 SA 法による配置手法

SA 法は物理現象の焼きなましを模擬したものであり、2次割当て問題をはじめとする組合せ最適化問題の解を乱数を用いて確率的に探索する手法である。FPGA の配置手法として、SA 法に基づくペア交換法を適用することができる。ペア交換法は適当な初期配置から処理を開始し、二つの論理ブロックの配置位置を交換することで、配置の評価値を反復改良していく方法である。これは Xilinx 3000 シリーズの手法の基礎になっている。SA 法の概略を図-2 に示す。

SA 法では温度パラメータの降下にともなって反復処理が進行し、二つの論理ブロック位置の交換は評価値が改善される場合だけでなく、ある確率のもとで評価が悪くなる場合にも行われることに特徴がある。このとき高温では改悪を採用する確率が高く、温度の降下にともない徐々にその確率が減少する。SA 法は十分な回数の反復を繰り返すことで評価値最小の意味で最適配置に収束することが知られている。したがって、ある程度の処理時間をかければ、最適配置に近い配置を得ることが可能である。

配置の評価値は、一般の LSI の場合、総仮想配

- Step 1. 初期配置  $x$  を決定し、評価値  $L$  を求める。  
 Step 2. 温度パラメータ  $T$  を適当に大きい値に設定する (初期温度設定)。  
 Step 3.  $T$  が終了温度ならば、このときの配置を出力して終了。  
 Step 4. Step 5-Step 8 の処理を何回か繰り返して評価値の改善がみられなければ Step 9 へ。  
 Step 5. ランダムに二つの論理ブロックを選び、これらを交換することで新しい配置  $x'$  を生成する。  
 Step 6.  $x'$  の評価値  $L'$  を計算する。  
 Step 7. 評価値の差  $dC=L'-L$  を計算する。  
 Step 8. 乱数  $R$  ( $0 < R < 1$ ) を発生し、  
 $\exp(-dC/T) > R$   
 ならば新しい配置を採用する ( $x \leftarrow x'$ ,  $L \leftarrow L'$ )。ここで、評価値が良く ( $dC < 0$ ) ならば常に新しい配置が採用され、悪く ( $dC > 0$ ) ならば  $T$  と  $R$  次第で採用されることに注意。  
 Step 4 へ。  
 Step 9. 温度パラメータ  $T$  を  $T = \alpha T$  ( $0 < \alpha < 1$ ,  $\alpha$ : 温度降下係数) として更新する。Step 3 へ。

図-2 シミュレーティッドアニーリングによるペア交換配置手法

線長 (仮想配線長は接続すべき論理ブロックを囲む矩形の半周長を用いる) が採用される。しかしながら、タイミング設計がよりクリティカルとなる FPGA の場合、総仮想配線長の最小化のみを考慮した手法では不十分であり、なんらかの方法でタイミングに関する項を評価値に導入する必要がある。最も単純な方法は、タイミングがクリティカルなネットに適当な重み付けを行い、各ネットの重みを乗じた総仮想配線長を評価値とする方法である。このような評価値を採用することで、重みの大きいネットは短い配線長で結線されることが期待される。重み付けによる方法は、実現がきわめて容易であり、古くからいくつかの手法が提案されている (たとえば文献 10)) が、多数のネットに大きな重みが付加された場合、必ずしもそれらのネットが短い配線長で結線されないという問題点がある。より複雑な方法としては、任意の論理ブロックに対し、信号がその論理ブロックに到達するときの遅延の最大値を与え、これを制約として設定する方法が提案されている<sup>11)</sup>。

前述のように SA 法によるペア交換法は単純な処理に基づいているため、このような複雑な制約も比較的容易に扱うことができる。

### 2.2 ミンカット配置手法

ミンカット配置手法は、ある程度の解の質を保持しながら、比較的高速に処理を行う手法であり、チップ領域と配置すべき論理ブロック集合の分割処理を基本とする (図-3)。図-4 にミンカット配置手法の概略を示す。このような処理を再帰的に繰返し行うことで、各論理ブロックの配置位置が一意に決定される。この手法は、最適解を保証するものではないが、その高速性から LSI のような多くの素子を扱う場合の配置手法として幅広く用いられており、Xilinx 4000 シリーズでも採用されている。

ミンカット手法において基本となる分割処理では、通常、領域の分割線 (カットラインと呼ぶ) と交差するネット数 (分割された二つの論理ブロック集合の間にまたがるネット) の最小化が目的とされる。このような分割問題は NP 完全問題に帰着されることが知られているため、適当な初期分割に対して何回かペア交換を行うといったヒューリスティックな手法によって分割を行う<sup>12)</sup>。

SA 法と同様に、FPGA にミンカット配置手法

を適用する場合には、タイミングに関する評価関数を導入する必要がある。この場合にも、ネットに重み付けを行う方法、制約を付加する方法などが考えられる。いずれの方法にせよ、ミンカット配置手法では、論理ブロック集合の分割の際に、タイミングがクリティカルなネットによって結線すべき論理ブロックを、できるだけ同じ論理ブロック集合に属すよう処理することを基本としてタイミング設計を行うのが一般的である。たとえば、文献 13), 14) の手法が FPGA に対して適用することができる。

### 3. 配線手法

FPGA の配線手法では、通常、概略配線と詳細配線の二つの配線設計工程に分けて配線を行う方法がとられている。その一方で、これらの配線

設計工程を一括して扱う手法が提案されている<sup>15), 16)</sup>。本章では、これらの手法をそれぞれ紹介する。

#### 3.1 概略詳細 2 段階配線手法

概略配線は各ネットのおおまかな通り道を決定するものであり、FPGA には文献 17), 18) に提案されている手法が適用可能である。文献 17) の概略配線手法は、sea-of-gates を対象としたもので、チップ領域を再帰的に 2 分割し、分割線上のネットの通り道を適当なコストに基づく線形割当てによって決定する。高速に高い質の概略配線結果が得られることが報告されている。文献 18) の概略配線手法は、スタンダードセルを対象としたもので、探索範囲と曲がり数を制限した迷路法<sup>19)</sup>の一種である。

詳細配線は各ネットに対し、どの配線セグメント (FPGA 内の配線を行うための資源の単位) を使用するかを詳細に決定するものであり、FPGA に特有の配線構造を意識した配線手法が必要とされる。FPGA を特に対象とした詳細配線手法として、文献 20), 21) に提案されているものが知られている。文献 21) の手法は、レフトエッジアルゴリズム (チャンネル配線の一手法) を拡張したもので、文献 1) に提案されている FPGA を対象としている。モデルを厳密に限定しているため、その他の広範囲の FPGA アーキテクチャに対して適用するのは難しい。文献 20) の手法は、CGE アルゴリズムと呼ばれ、迷路法によって探索された全経路に適当なコストを付加し、逐次的に (1 ネットずつ) 詳細経路を決定していく。これは迷路法を基本とするため、高速な処理を実現するのは難しいが、モデルの柔軟性から比較的広範囲の FPGA に適用可能である。

従来型の配線設計では、最下流工程である詳細配線のみを目的の FPGA アーキテクチャに合わせるだけでよく、これまでのソフトウェア資産の大部分を活用できる利点がある。しかしながら、このような配線設計では FPGA に特有の配線構造を最大限に活用するような配線設計を実現するのは困難であろう。

#### 3.2 概略詳細一括配線手法<sup>15), 16)</sup>

本節では概略配線と詳細配線を一括して処理する手法について述べる。この配線手法は、配線設計の全工程で FPGA に特有の配線構造、特に長さ

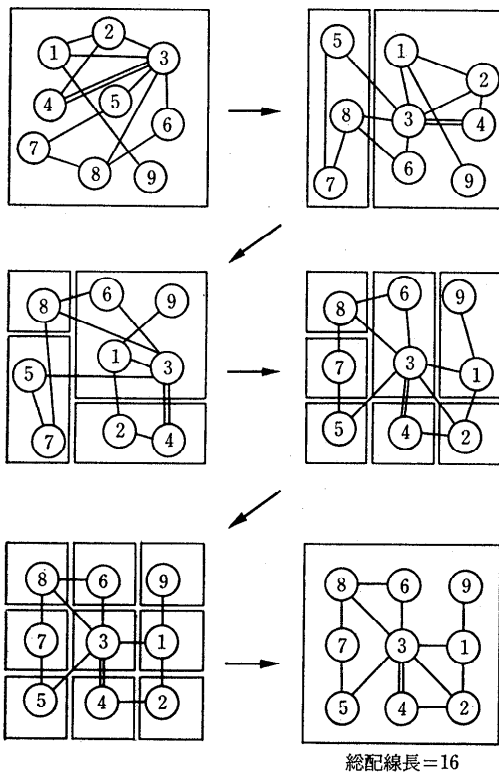


図-3 ミンカット配置手法による再帰的分割処理

- Step 1. チップ領域全体にすべての論理ブロックを割り当てる。
- Step 2. チップ領域をカットラインによって 2 分割する。
- Step 3. 領域の分割にともない、対応する各論理ブロック集合を 2 分割する。
- Step 4. 分割可能な領域があれば Step 2 へ。

図-4 ミンカット配置手法

の異なる配線セグメントを意識し、配線遅延の制御という観点から、効率よくこれらを利用することができる。タイミング設計が重要となるFPGAの設計において有効であろう。

3.2.1 FPGA レイアウトモデル

対象とするFPGAレイアウトモデルは、市販のFPGAアーキテクチャ<sup>3)</sup>に基づいた図-5に示すものとする。正方形の領域に論理ブロック(logic-block)とスイッチブロック(switch-block)と呼ばれる2種類のブロックがアレイ状に整列している(ブロックは矩形のシンボルで表す)。各論理ブロックは隣接するスイッチブロックに入出力端子を介して接続される。ローカルラインは隣接するスイッチブロックの間隔と等しい長さを持ち、その間に配置される。ロングラインはいくつかのスイッチブロックをバイパスし、離れたスイッチブロック間に配置される。ローカルラインとロングラインを合わせて配線セグメントと呼ぶ。

論理ブロックおよびスイッチブロックの機能についてまとめる。論理ブロックは、プログラムにより比較的小規模な論理を実現する。論理ブロックの入出力端子は隣接する4つのスイッチブロックに接続されている。スイッチブロックは一種のスイッチボックスであり、ローカルライン、ロングライン、論理ブロックの端子の接続をプログラムによってスイッチする機能をもつ。以下に示すような3種類の接続がある。

(1) スイッチブロックの1辺に接するローカルラインは、残り3辺に接するローカルラインのいくつかと接続可能である(図-6(a))。

(2) ロングラインは、スイッチブロックをバイパスする場合、そのスイッチブロックにおいて垂直に交差するロングラインおよび両側面に接するローカルラインのいくつかと接続可能である(図-6(b))。スイッチブロックをバイパスせず、その1辺に接する場合、そこではローカルラインと同様の接続が可能である。

(3) 論理ブロックの端子は、スイッチブロックに隣接する他の論理ブロックの端子、スイッチブロックに接する、あるいはこれをバイパスする配線セグメントのいくつかと接続可能である(図-6(c))。

(1)~(3)において、接続可能なところにはス

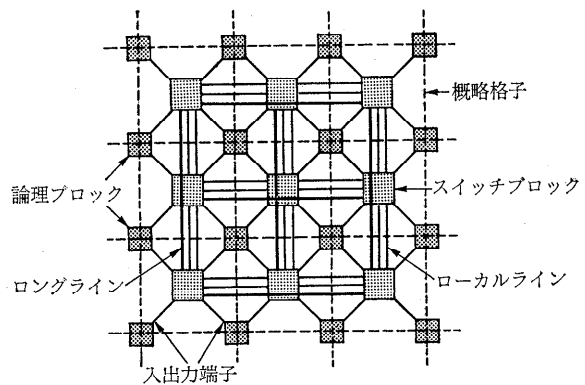
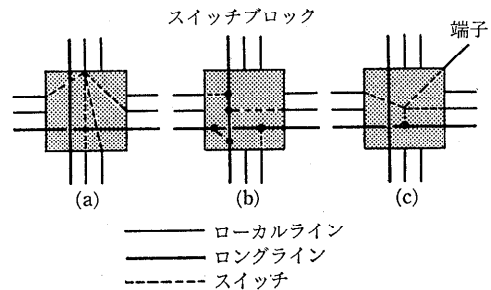


図-5 FPGA レイアウトモデル



(a) ローカルライン同士の接続  
(b) ロングラインと配線セグメントの接続  
(c) 論理ブロックの端子と配線セグメントの接続

図-6 スイッチブロック内部のスイッチパターン

イッチ素子が存在し、その状態を変化させることで接続、非接続が決定される。どこにスイッチ素子が存在するかは、図-6のようなスイッチブロック内部のスイッチパターンによって与えられる。

3.2.2 アルゴリズムの概要

概略詳細一括配線手法の概要を図-7に示す。この手法では図-5、図-8のような概略格子を想定する。この概略格子の1辺をブロック境界と呼ぶ。手法は領域の再帰的な2分割を基本としている。分割線(カットライン)は概略格子に設定される。分割された二つの領域の両方に端子をもつネットは、カットライン上の適切な配線セグメントに割り当てられ、カットライン上でのネットの通過位置が定められる。

割当ては図-8のように、まず各ネットの概略的な通り道(ブロック境界)が決定され(第1段階の線形割当て)、つづいて各ネットがブロック境界の中でどの配線セグメントを用いるかが決定される(第2段階の線形割当て)。

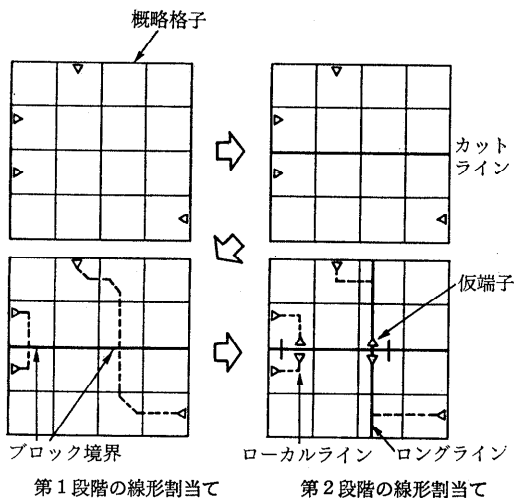
第1段階の線形割当てでは、結線すべき端子全

体の位置を考慮に入れて、グローバルな観点から配線遅延を小さくするようなブロック境界の割当てを行う必要がある。一方、第2段階の線形割当てでは、ネットの配線遅延、端子間の距離、スイッチパタンなどを考慮に入れて配線セグメントの割当てを行う必要がある。たとえば、図-8では互いに近い位置にある端子はローカルラインに、遠い位置にある端子はロングラインに割り当てられていることが分かる。このような割当ては線形割当てを用いることにより求めることができる。

ネットを割り当てられた配線セグメントは仮想的な端子（仮端子という）が配置され、分割された領域間でのネットの接続情報を保持する。このような処理を再帰的に繰り返すことで、各ネットの配線経路が配線セグメントの並びとして決定される。

- Step 1. 配線領域全体を待ち行列 Q に挿入。
- Step 2. Q が空でない場合、領域 R を Q から取り出す。Q が空の場合終了。
- Step 3. R 上にカットライン位置を決定し、R を二つの領域 R<sub>1</sub> と R<sub>2</sub> に分割する。カットラインは R の長辺をなるべく均等に分割するように設定する。
- Step 4. 線形割当ての対象となるネット (R<sub>1</sub> と R<sub>2</sub> の両方に端子をもつネット) を特定する。
- Step 5. 線形割当てにより、Step 4 で特定した各ネットを境界に割り当てる (第1段階の線形割当て)。
- Step 6. 各ブロック境界について、線形割当てによって各ネットを配線セグメントに割り当てる (第2段階の線形割当て)。
- Step 7. 配線セグメント上のカットラインとの交差位置に、ネットの仮端子を配置する。
- Step 8. 部分領域 R<sub>1</sub> および R<sub>2</sub> がさらに分割可能である場合、それらを Q に挿入する。Step 2 へ。

図-7 階層的概略詳細一括配線手法



第1段階の線形割当て 第2段階の線形割当て  
図-8 概略詳細一括配線手法での一分割ごとの処理

#### 4. おわりに

FPGA は規則正しい構造をもっているので基本的には、通常のゲートアレイに対する手法を適用することが可能である。しかし、FPGA の持つ特有の構造を最大限に活かすには、従来型のレイアウト設計手法にとらわれず、FPGA の構造に根づいた手法が必要であろう。本稿では、このようなアプローチの一つとして、概略詳細一括配線手法について述べたが、今後、配置と概略配線の同時処理手法<sup>22)</sup>や、配置とテクノロジー・マッピングの同時処理手法<sup>11), 23)</sup>などの開発が期待される。このとき、FPGA は従来のデバイスに比較して配線遅延が大きくなる傾向にあるので、従来以上に性能指向型 CAD 手法をめざすことが不可欠である。

#### 参考文献

- 1) El Gamal, A., Greene, J., Reyneri, J., Rogoyski, E., El-Ayat, K. A. and Mohsen, A.: An Architecture for Electrically Configurable Gate Arrays, IEEE J. Solid-State Circuits, Vol. 24, No. 2, pp. 394-398 (1989).
- 2) Hsieh, H.-C., Carter, W. S., Ja, J., Cheung, E., Schreifels, S., Erickson, C., Freidin, P., Tinkey, L. and Kanazawa, R.: Third-Generation Architecture Boosts Speed and Density of Field-Programmable Gate Arrays, Proc. IEEE Custom Integrated Circuits Conf., pp. 31.2.1-31.2.7 (1990).
- 3) Kawana, K., Keida, H., Sakamoto, M., Shibata, K. and Moriyama, I.: An Efficient Logic Block Interconnect Architecture for User-Reprogrammable Gate Array, Proc. IEEE Custom Integrated Circuits Conf., pp. 31.3.1-31.3.4 (1990).
- 4) Muroga, H., Murata, H., Saeki, Y., Hibi, T., Ohashi, Y., Noguchi, T. and Nishimura, T.: A Large Scale FPGA with 10 K Core Cells with CMOS 0.8 μm 3-Layered Metal Process, Proc. IEEE 1991 Custom Integrated Circuits Conf., pp. 6.4.1-6.4.4 (1991).
- 5) Brown, S.D., Francis, R.J., Rose, J. and Vranesic, Z.G.: Field-Programmable Gate Arrays, Kluwer Academic Publishers (1992).
- 6) Breuer, M. A.: Design Automation of Digital System, Prentice-Hall (1973).
- 7) Hanan, M. and Kurtzberg, J.M.: A Review of the Placement and Quadratic Assignment Problems, SIAM Review, Vol. 14, pp. 324-342 (1972).
- 8) Kirkpatrick, S., Gelatt, C.D., Jr. and Vecchi, M.P.: Optimization by Simulated Annealing,

- Science, 220, pp. 671-680 (1983).
- 9) Breuer, M. A.: Min-cut Placement, J. Design Automation and Fault Tolerant Computing, Vol. 1, No. 4, pp. 343-362 (1977).
  - 10) Dunlop, A. E., Agrawal, V. D., Deutsch, D. N., Jukl, M. F., Kozak, P. and Wiesel, M.: Chip Layout Optimization Using Critical Path Weighting, Proc. 21st DA Conf., pp. 133-136 (1984).
  - 11) Murgai, R., Shenoy, N., Brayton, R. K. and Sangiovanni-Vincentelli, A.: Performance Directed Synthesis for Table Look Up Programmable Gate Arrays, Proc. IEEE Int. Conf. on CAD, pp. 572-575 (1991).
  - 12) Kernighan, B. W. and Lin, S.: An Efficient Heuristic Procedure for Partitioning Graphs, Bell Syst. Tech. J., Vol. 49, No. 2, pp. 291-307 (1970).
  - 13) 寺井正幸, 八原俊彦: タイミング駆動型ミンカット配置アルゴリズム, 電子情報通信学会論文誌 A, Vol. J75-A, No. 6, pp. 1054-1063 (1992).
  - 14) Wakabayashi, S., Kusumoto, H., Mishima, H., Koide, T. and Yoshida, N.: Gate Array Placement Based on Mincut Partitioning with Path Delay Constraints, Proc. IEEE Int. Symp. on Circuits and Syst., pp. 2059-2062 (1993).
  - 15) 戸川 望, 粟島 享, 金子一哉, 佐藤政生, 大附辰夫: FPGA を対象とした階層的概略詳細配線手法, 電子情報通信学会論文誌 A, Vol. J76-A, No. 9, pp. 1312-1321 (1993).
  - 16) 戸川 望, 粟島 享, 金子一哉, 佐藤政生, 大附辰夫: ロングラインに対応した階層的 FPGA 配線手法, 情報処理学会研究報告, 93-DA-66-3 (1993).
  - 17) Lauther, U. P.: Top Down Hierarchical Global Routing for Channelless Gate Arrays Based on Linear Assignment, Proc. VLSI 87, pp. 109-120 (1987).
  - 18) Rose, J.: Parallel Global Routing for Standard Cells, IEEE Trans. on Comput.-Aided Des. Integrated Circuits & Syst. Vol. 9, No. 10, pp. 1085-1095 (1990).
  - 19) Lee, C.: An Algorithm for Path Connections and its Applications, IRE Trans. Electron. Comput., Vol. EC-10, pp. 346-365 (1961).
  - 20) Brown, S., Rose, J. and Vranesic, Z.: A Detailed Router for Field-Programmable Gate Arrays, IEEE Trans. Comput.-Aided Des. Integrated Circuits & Syst., Vol. 11, No. 5, pp. 620-627 (1992).
  - 21) Greene, J., Roychowdhury, V., Kaptanoglu, S. and Gamal, A. E.: Segmented Channel Routing, IEEE Trans. Comput.-Aided Des. Integrated Circuits & Syst., Vol. 12, No. 1 (1993).
  - 22) 戸川 望, 佐藤政生, 大附辰夫: タイミング制約を考慮した FPGA 配置概略配線同時処理手法, DA シンポジウム '93 論文集, pp. 137-142 (1993).
  - 23) Chen, C.-S., Tsay, Y.-W., Hwang, T.-T., Wu, A. C. H. and Lin, Y.-L.: Combining Technology Mapping and Placement for Delay-Optimization in FPGA Designs, Proc. IEEE Int. Conf. on CAD, pp. 123-127 (1993).

(平成 5 年 11 月 10 日受付)

#### 佐藤 政生 (正会員)



昭和 34 年生。昭和 56 年早稲田大学理工学部電子通信学科卒業。昭和 58 年同大学院博士前期課程修了。昭和 61 年同後期課程修了。工学博士。昭和 59 年同大情報科学研究教育センター助手。昭和 61 年カリフォルニア大学バークレー校研究員。昭和 62 年拓殖大学工学部情報工学科助教授を経て、現在早稲田大学理工学部電子通信学科助教授。電子回路の設計自動化、ノイズ解析、計算幾何学、グラフ理論等の研究に従事。昭和 62 年度丹波記念賞受賞。平成 2 年安藤博術奨励賞受賞。IEEE, ACM, 電子情報通信学会, プリント回路学会, 日本 OR 学会各会員。

#### 戸川 望 (正会員)



昭和 45 年生。平成 4 年早稲田大学理工学部電子通信学科卒業。平成 6 年同大学院修士課程修了。現在、同博士後期課程在学中。電子回路の設計自動化、計算幾何学、グラフ理論等の研究に従事。電子情報通信学会会員。