

画像生成用マルチコンピュータシステムと プロセッサについて

Image Generation Multicomputer System and the Processors

河合 利幸 若井 裕久 正田 博司 西村 仁志*
Toshiyuki KAWAI Hirohisa WAKAI Hiroshi SHODA Hitoshi NISHIMURA*

近藤 仁志 高山 浩一郎 出口 弘
Hitoshi KONDO Koichiro TAKAYAMA Hiroshi DEGUCHI

白川 功 大村 皓一
Isao SHIRAKAWA Koichi OMURA

大阪大学 工学部 電子工学科
OSAKA University Faculty of Engineering
Department of Electronic Engineering

*現 (株)トヨーリンクス
*Toyo Links Co.

A great number of approaches have been proposed to 3D image generation, among which a parallel processing implementation is believed to be most promising. Motivated by this, we have developed a 3D image generation scheme on parallel multicomputer system LINKS-1. Based on a variety of experimental results on it, a more powerful system is under development to improve efficiency of 3D image generation.

In this paper this new system is described, stressing the hardware configuration. It is distinctive in that a unit computer is composed of a data processing unit performing 32 bit floating point operations at the speed of 5 MFLOPS, an index unit performing addressing operations, a channel processor for communication control, etc. Performance evaluations are also estimated.

1. はじめに

3次元空間における物体モデルをコンピュータ内に構築し、その2次元スクリーンへの投影をシミュレートすることにより画像を得る3次元陰影画像生成法は各方面でその有用性が認められ応用分野も多岐にわたっている。特に教育・芸術分野への応用においては、実在感のある高品質な画像が要求されている。

画像生成の手法もZバッファ法、スキャンライン法を始め様々なものが各方面で研究、実用化されている^[1]。その中でも反射、屈折等のシミュレーションも容易に行え高品質な陰影画像を得ることのできるものに視線探索法^[2]がある。視線探索法は、光源から出た光が各物体に当たり視点に入ってくる物理現象を視点から逆にシミュレートする方法である。しかし我々が求める高品質な陰影画像生成には一画面、数十万から数千万ある画素ごとに光学シミュレーション

を行うため、膨大な演算時間を必要とする。

画像生成におけるモデリングの作業はコンピュータとの対話的な試行錯誤の繰り返しである。システムのユーザにとって十分な対話性を確保するためには画像生成時間の短縮が必要不可欠である。

画像生成の高速化の手法としてはスーパーコンピュータの利用なども考えられるが大変高価でありパーソナルユースへの道も遠い。そこで我々は視線探索法が画素ごとに独立に計算可能であることから、市販のマイクロプロセッサを多数用いて、並列処理により画像生成を高速に行う疎結合型マルチマイクロコンピュータシステムLINKS-1を開発、運用してきた^[3]。LINKS-1は次期専用システム開発のためのシミュレーションマシンであり、今日までに数多くの実験データが得られた^[4]。本報告では

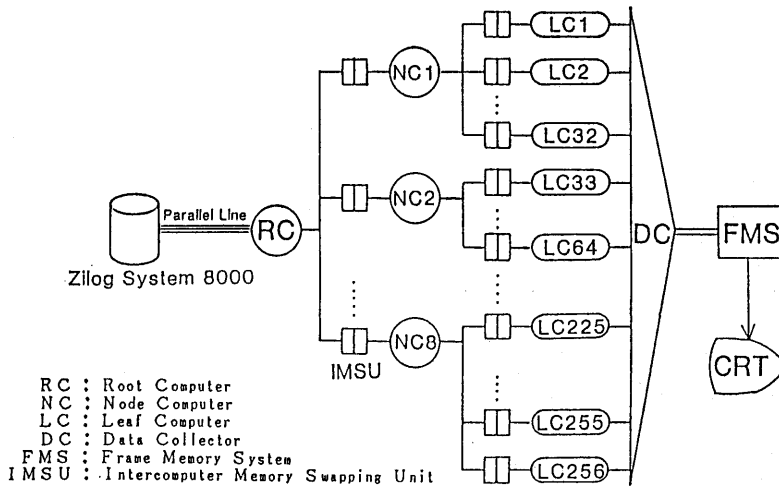


図1. LINKS-1のシステム構成

これらのデータを基により一層の高速化を目的として設計した次期LINKSシステムとそれに用いるVLSIカスタムプロセッサについて述べる。

2. LINKS-1の概要^{[5][6]}

LINKS-1の画像生成システムは、図1に示すような木構造疎結合型マルチマイクロコンピュータシステムである。その構成は、実際に画像を生成するリーフコンピュータ(LC)、前処理並びにLCへのジョブ(画面)の割り当てを行うルートコンピュータ(RC)及びノードコンピュータ(NC)よりなる。

これまでに、LINKS-1における画像生成の高速化の手法について、いくつか研究、報告してきたが^{[4][7]}、物理的制限及び通信のオーバーヘッドの増大により、ユニットコンピュータ(Unit Computer: UC)の台数を増やすことによる高速化には限界がある^[4]。そこで我々は、UC自体の処理能力の向上と通信機能の強化により画像生成の高速化を実現することにした。

現在LINKS-1のLC上で稼働している画像生成ソフトウェアは拡張されたC言語で記述されており、そのオブジェクトサイズは約210KBである。このコンパイラは中間オブジェクトとして仮想スタックマシンに対するマクロ

コードを出力する。このマクロコードを分類した静的な統計結果、及び実際の処理時間の比率を表1に示す。これより、データ転送、浮動小数点演算、アドレス演算のマクロコードが、処理時間全体の約90%を占めていることがわかる^[8]。

従って、画像生成を目的とした新しいプロセッサを設計するに際し、これらのマクロコード、特に浮動小数点演算が高速に実行されることが必要である。

表1 マクロコードの分類

分類	数	%	時間(%)
データ転送	17963	56.8	20
浮動小数点演算	2729	8.7	60
アドレス計算	3261	10.3	10
その他	7645	24.2	10
合計	31598	100.0	100

3. ユニットコンピュータの基本仕様

前章の考察に基づき、次期LINKSシステムのUCの基本仕様を以下のように設定した。

- (1) 仮想スタックマシンに対する高度なマクロコードを1命令で高速に行う。このため、UCを水平型マイクロプログラムで制御する。
- (2) データ形式は浮動小数点数、整数、ポ

インタを基本とし、アドレス演算を単純化するため総て32ビット長とする。これに合わせて、アドレス・データバスも32ビット幅とする。

- (3) データとプログラムのビット幅が異なるため、データメモリとプログラムメモリを分離し、各々のアクセスを並列に行うことによって高速化を図る。
- (4) 大容量のデータをプログラム上で容易に扱えるように、データメモリは32ビットのリニアアドレス空間を持つ。
- (5) 数値演算、特に画像生成で頻繁に行われる単精度浮動小数点演算を高速に処理するため、乗算器を含む32ビット数値演算専用のハードウェアを持つ。
- (6) マルチシステム構成時のUC間通信の強化を図るために、通信専用のハードウェアを持つ。
- (7) システムの高速化と安定化を図るため各専用ハードウェアにはカスタムVLSIを用いる。

4. ユニットコンピュータの構成

UCのハードウェアは図2に示すように乗算

器を含み32ビット浮動小数点演算を行うデータプロセッシングユニット (Data Processing Unit: DPU) を中心として構成されている。

DPUは主として二項演算を行うが、入力データ (src1,src2) と出力データ (dst) は、それぞれ別々のデータバスに接続されている。各データバスはクロスバースイッチ (Cross Bar Switch: CBS) を介してインターリーブされた1MB (256KW: 拡張可能)×4枚のメモリモジュール (Memory Module: MM) と接続されている。このような構成により src1,src2のロード, dstのストアを同時に行うことができ、メモリアクセスの競合によるロス時間をなくしている。

src1,src2,dstのアドレスは、主としてインデックスユニット (Index Unit: IXU) により指定される。

UCの制御は2段階の水平型マイクロプログラミング方式で行う。118ビット幅の上位プログラムをマイクロプログラムと呼び、1マイクロ命令で高度な演算を行うための88ビット幅の下位プログラムをナノプログラムと呼ぶ。この方式により、32ビット整数及び浮動小数点数の加減乗除の他、3次元及び4次元 (同次座標系)

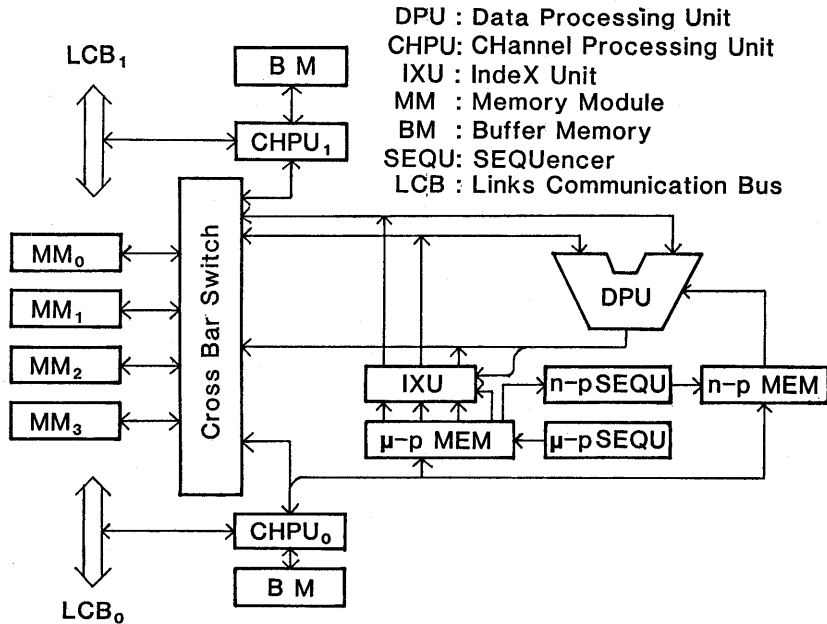


図2. UCのハードウェア構成

のベクトル演算（加減，内積）も1マイクロ命令で行うことができる。

他に，MMはCBSを介した2つのチャンネルプロセッサ（Channel Processor：CHP）によって，2回線の外部バス（Links Communication Bus：LCB）と接続されており，UC間的高速データ通信が可能である。

UCを用いた画像生成システムの構成例を図3に示す。アレイ状に配されたUCは，I/Oプロセッサを介して接続されたデータベースシステム上のデータをパイプライン的に処理し，生成画像を同じくI/Oプロセッサを介してフレームメモリに出力する。I/Oプロセッサは汎用プロセッサ（Z8000等）とCHPより構成され，外部との通信をサポートする。また，通信回線の種類に応じたI/Oプロセッサが用意されている。

5. ユニットコンピュータ各部の詳細

5.1 データプロセッシングユニット

DPUは，浮動小数点演算を高速に行うものである。

そのハードウェア構成は32ビット長の整数及び浮動小数点仮数部の演算を行うSg-ALU，10ビット長の指数部演算を行うEx-ALU， $32 \times 32 \rightarrow 64$ ビットの乗算を行う乗算器

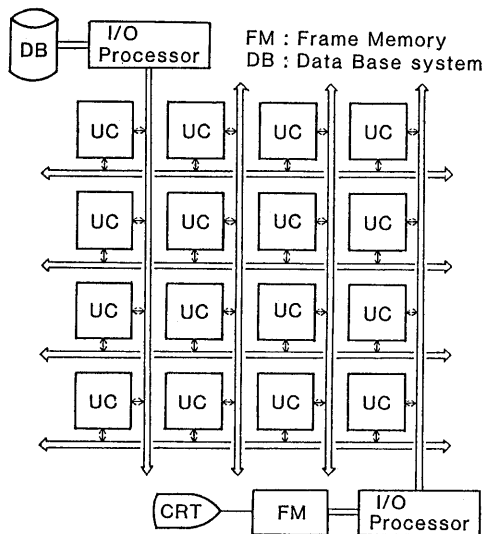


図3. 画像生成システムの構成例

を中心に構成されている。その他，入力データより指数部，仮数部のセレクトを行う入力処理部，桁合わせと正規化を行うシフタが Sg-ALUの前後に各一つ（Pre,Post-Shifter），零デジットチェックを行うプライオリティエンコーダ（Priority Encoder：PE），処理されたデータを集め例外処理等を施す出力処理部などの各モジュールが図4の様に接続されている。

この構造により，DPUは次のような特徴を持つ。

- (1) 浮動小数点演算において，仮数部と指数部の演算を並列に行う。
- (2) 入力処理，仮数部の桁合わせ，仮数部の演算，正規化，出力処理をパイプライン的に処理する。

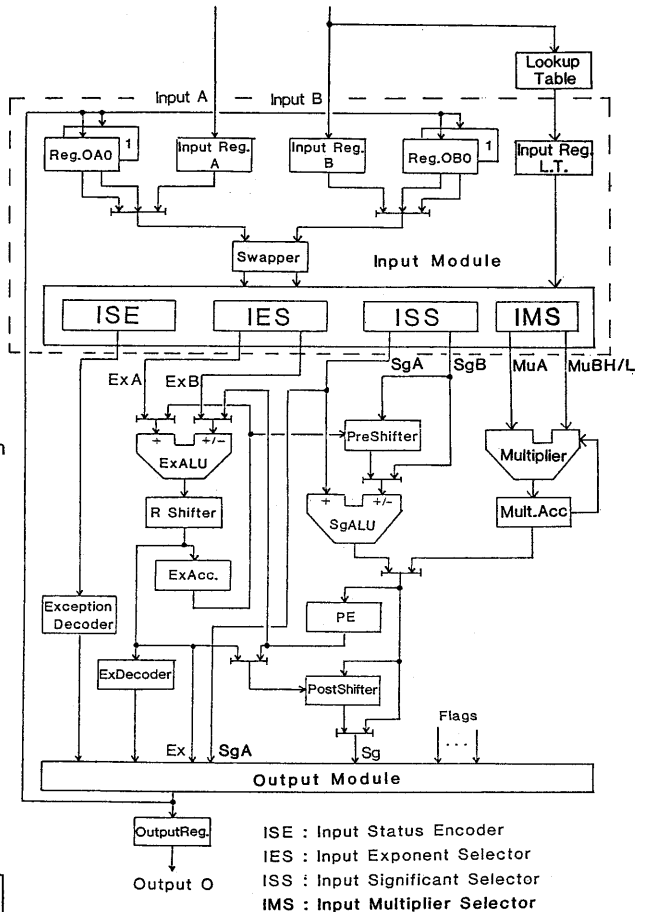


図4. DPUのハードウェア構成

- (3) 1チップのVLSIに納めることにより, より少ない遅延で処理を行う.
- (4) 各モジュールをナノプログラムで直接制御することにより, 効率よく処理を行う.
- (5) ALUにはルックアヘッドキャリー方式を, また Pre, Post-Shifterにはパレシフタを採用する.
- (6) 内部レジスタの使用により, 3次元ベクトルの内積などのベクトル演算をチップの内部で高速に処理する.
- (7) 画像生成によく使われる浮動小数点データの逆数, 平方根, 平方根の逆数はルックアップテーブルを用いて求める. 即ち, 入力データよりその初期値をルックアップテーブルから求め, ニュートン法をハードウェアで1回だけ行い精度を出す. ルックアップテーブルは拡張可能であり他の初等関数の値も同様の方法で高速に求めることができる.

ルックアップテーブル, 乗算器を除いた部分はCMOS 10000ゲート1チップで実現した.

5.2 乗算器の構成法

DPUの中でも乗算器は特に高速化が要求されるため, その構成には以下のような手法を用いた.

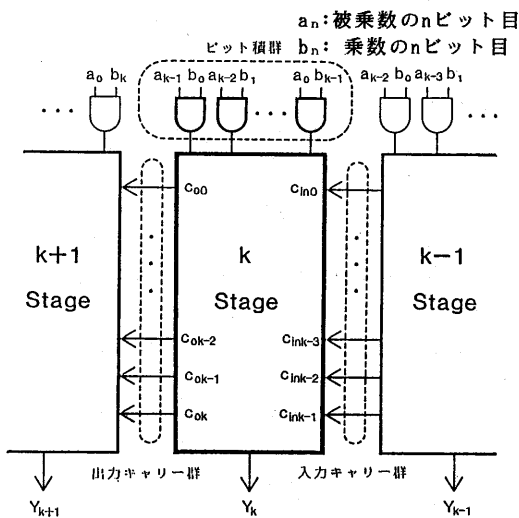


図5. ステージのモデル

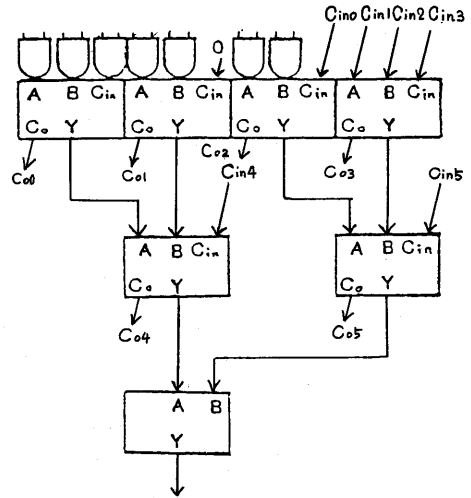


図6. 木構造の一例

Braunの配列乗算器^[9]のような反復セル型乗算器を用いて乗算を行う際, あるビットの値を求める作業は, 図5に示すようにANDゲートの出力群と前段からの入力キャリー群を加えて, 1ビットの加算出力と次段への出力キャリー群を作成することである. この作業区分(ステージと呼ぶ)への入力は総て等価な意味を持っており入れ換えることが可能である. このことを利用して, 各ステージの乗算を, 図6のように木状に組んだ加算器を用いて行うことを考えた. 配列乗算器の各ステージをこのような構成にしたものを木構造型乗算器と呼ぶ.

木構造型乗算器の回路構成には様々なものが考えられるが, 乗算器全体の処理時間の最も短いものが望まれる. ところがデバイスの持つ遅延を決定する要因は極めて多く, 考える総ての回路構成より最適なものを求めるのは事実上不可能である.

そこで, 本乗算器では漸次乗算器構成法という手法による自動設計を行った. これは, 乗算器を下位のステージより漸次に最適化していく方法である. 各ステージでは, 各加算器が最も有効に動作する場合を最適であるとして構成し, それを補助するために適切なキャリールックアヘッドジェネレータを付加する. 但し, 加算器への各入力(A, B, C_{in})が同時にそろった場合, その加算器は最も有効に動作していると考えられる.

この手法を用いて設計した乗算器はBraunの配列乗算器(0(n))と同じハードウェアコストで、 $O(\log n) \sim O(\log^2 n)$ の時間複雑度で乗算を行うことができる。

この乗算器をCMOS 8000ゲート1チップで実現した。

5.3 インデックスユニット

IXUのハードウェア構成を図7に示す。

IXUは4つのインデックスレジスタを内蔵し、アドレス計算を行う。比較的簡単なアドレスリングモードに対しては、3つの加算器を用いて src1, src2, dstのアドレス計算を並列に行うため約 50ns でそれぞれのアドレスを同時に求めることができる。より複雑なアドレス演算はDPUを用いて行い、求められたアドレスはdstバスを通してIXUに入力される。

IXUにはTTLゲートアレイ(2000ゲート: 内部ECL)を3チップ用いている。

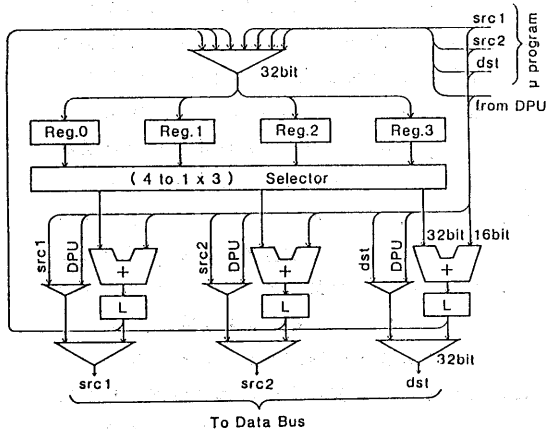


図7. IXUのハードウェア構成

5.4 チャンネルプロセッサ

CHPのハードウェアは図8に示すようにチャンネルプロセッシングユニット(Channel Processing Unit: CHPU)とバッファメモリ(Buffer Memory: BM)から構成されている。CHPUの機能は、

- (1) MMとBM間のデータ転送,
 - (2) 外部バス(LCB)とBM間のデータ転送,
 - (3) 外部バスのコントロールと調停,
- である。

Links Communication Bus

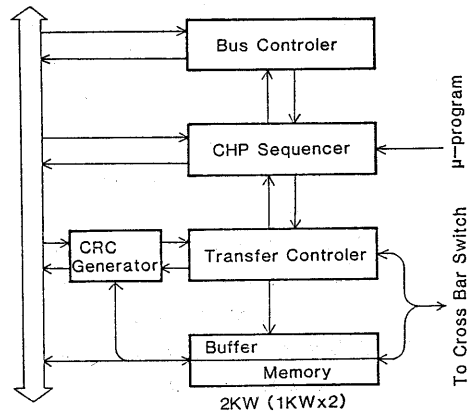


図8. CHPのハードウェア構成

同一バス上のCHPUには各々固有のモジュールナンバーが与えられており、常にどれか一つのCHPUがバスを占有している(マスタCHPU)。マスタCHPUはバスの調停を行う。

各CHPUは、マイクロプログラムや他のCHPUから転送命令を受けると、まずMMからBMヘデータを転送した後、バスに対してリクエストを出す。マスタCHPUは、ワイヤードORで組まれたバス上のリクエストラインがアクティブになると、ポーリングにより次のマスタCHPUを指定した後バスを解放する。ポーリングにはハードウェア化されたバイナリサーチ法をとり、最大でも $O(\log n)$ でポーリングを終える。

新たなマスタCHPUは受信者のbusy checkを行った後、パケット方式でデータを転送する(3ワードのCRC誤り検出符号を付加する)。転送の際、エラーが生じた場合は再試行等のエラー処理を行い、転送を終えた後はバスの調停を行う。

この様にCHPUは複数のシーケンスを持つが、これらを高速に行うため、メインシーケンスと複数のサブシーケンスを持ち階層的に制御する。これによりバスの能力は最高25MW/sec(100MB/sec: バス幅32ビット)を実現している。

CHPUは7000ゲートのCMOSゲートアレイ1チップで実現されている。

6. 評価

DPUについては、論理シミュレーションの結果を、現在LINKS-1で用いている数値演算用コプロセッサi8087の場合と比較したものを表2に示す。この結果よりDPUの実行速度は、LINKS-1に比べて2桁近く向上していることがわかる。

また、バス (Links Communication Bus) については、シミュレータを用いて評価した結果、93.6%のバス使用効率を得られることが判った。但し、ここではバスの使用時間に対する実際のデータ転送時間の比率をバス使用効率とした。

これらの評価を総合し、例としてUC16台からなるシステムについて考えると約80MFLOPSの実効演算能力が予想される。これは対話的な画像生成システムとして必要な性能を満足するものである。

表2 浮動小数点演算の処理時間の比較

命令	DPU	i8087
加減算	0.2	21.0
乗算	0.2	23.6
除算	1.0	44.0
3次の内積	1.5	112.8
平方根の逆数	1.0	80.6

(μ sec)

7. むすび

LINKS-1での経験を生かした画像生成システムの高速度化、およびVLSI化された各プロセッサについて述べた。

今後の課題としては、画像生成に最適なシステム構成の研究、幅広いアプリケーションにも対応できるような倍精度浮動小数点演算の高速度化、複雑な構造体へのアクセスを高速に行うため、アドレス演算用ハードウェアを付加し、アドレス演算と数値演算の並列パイプライン化を実現することによる更なる処理の高速度化、また高度に最適化されたコンパイラの実現などがあげられる。

【参考文献】

- [1] Newman W.M. and Robert F.S. : Principles of Interactive Computer Graphics 2nd Ed., McGRAW-HILL.
- [2] Whitted, T. : An Improved Illumination Model for Shaded Display, Comm.ACM, vol. 23, No.6 (1980).
- [3] 西村他 : LINKS-1 : コンピュータグラフィックスシステム, 情報マイコン研資, 24-1(1982.11.2).
- [4] 西村他 : コンピュータグラフィックスシステムLINKS-1における並列処理の性能評価, 信学論, Vol.J68-D No.4 (1985.4).
- [5] 中山他 : 画像生成用マルチマイクロコンピュータシステム, 情報マイコン研資, 24-2(1982.11.2).
- [6] 山下他 : コンピュータグラフィックスシステムLINKS-1の現状, 情報グラフィックスとCAD研資, 10-3 (1983.7.6).
- [7] 出口他 : コンピュータグラフィックスシステムLINKS-1における画像生成の高速化手法, 情報論, Vol.25 No.6 (1984.11).
- [8] 正田他 : 画像生成用マルチコンピュータシステムLINKS-2について, 信学技報, CAS84-204 (1985.2.1).
- [9] Braun, E.L. : Digital Computer Design, Academic Press, New York, 1963.