

高速画像生成装置における プロセッサユニットの構成

三ツ矢英司 玉邑嘉章 秋本高明

NTT 電気通信研究所

視覚メディアを媒介とするコミュニケーション手段への期待が高まると共に、リアルな画像を作成できるコンピュータ・グラフィックス(CG)技術が注目を集めている。しかし、自由にリアルな画像を生成する手段とするには、まだ多くの技術を解決する必要がある。筆者らは、3次元CGのための柔軟な処理環境を実現する観点から、高速画像生成装置の検討・試作を進めている。本稿では、本装置のプロセッサユニットの構成について報告する。これは、複数の浮動小数点演算器によるベクトルの並列演算と、形状データを高速にアクセスするためのアドレス演算機構、および画像データの高速転送機構等をもつ高性能プロセッサユニットである。

An Architecture of a Processing Unit for a High-Speed Image Generation System

Eiji MITSUYA Yoshiaki TAMAMURA and Taka-aki AKIMOTO

NTT Electrical Communications Laboratories
1-2356, Take, Yokosuka, Kanagawa, 238, Japan

Computer Graphics (CG) will be able to apply attractive visual communication systems. However, there are many technical problems in CG systems, typical one is the performance bottleneck. We have designed an high-speed image generation system based on multiprocessor architecture, composed of processor units (PU).

In this paper, the architecture of the PU, which has two operation units, called VFPP and SP, is presented. VFPP consists of three floating point processor (FPP) and excutes 3-D vector operation. SP consists of FPP and ALU connecting each other and excutes scalar operation and controls other resources. For high-performance of data accessing, an memory address generator and a high-speed data bus architecture are also implemented.

1. まえがき

高度情報化社会の進展に伴い、コミュニケーション手段の高機能化や多様化の要求が高まっている。なかでも、図形や画像などの視覚メディアは、情報を具体的かつ直感的に表現することができ、コミュニケーションにおける優れたニューメディアとして発展が期待されている。

特にコンピュータ・グラフィックス（CG）は、抽象的な概念や数値データを直感的な画像として表現できる技術として、マンマシン・インタフェースの向上に極めて大きな効果をもたらしている。また、リアルな陰影画像を生成する3次元CGは、CAD/CAM等の専門分野ばかりでなく、各種シュミレーションや、効果的な映像・映画の作成手段として広く用いられており、一般にもなじみの深いものとなっている。

3次元CGは、3次元物体形状を定義することによって、それが現実存在しているかの如き画像を生成・表示することを可能にした。しかし、簡単に意図やイメージを伝達するコミュニケーション手段として、より広く利用できるようにするためには、(1) 曖昧なイメージを具体的な形状データとして効率的に表現する手段、(2) 自然物等を違和感なく表現する手法、(3) リアルな陰影画像の高速生成・表示手段、などに関して多くの技術的問題がある。筆者らは、これらの技術的検討を進めるにあたり、3次元CG処理に必要な柔軟な処理環境を実現するという観点に立って、まず基本となるリアルな陰影画像を高速で生成する装置⁽¹⁾の試作を進めている。

通常、リアルな陰影画像の生成には、極めて膨大な処理が必要であるため、操作時間やコストがかかり過ぎるという問題がある。これに対処するために、処理量の軽減化アルゴリズムや、高速画像生成専用装置に関し、精力的に研究が行われている。なかでも、表現能力の優れた光線追跡法の高速化は現在の重要な課題になっており、最近急速に発展している高性能の半導体素子を使用した装置の研究・開発が活発に行われている。

これまでに、多数のマイクロコンピュータにより構成したLINKS-1⁽²⁾やCAP⁽³⁾、浮動小数点演算用LSIを用いたLINKS-2⁽⁴⁾、MC-1⁽⁵⁾やSIGHT⁽⁶⁾などが発表されており、高速画像生成に関して成果をあげている。しかしながら、3次元CGのための柔軟な処理環境としては、より処理能力の優れた装置が求められている。

本装置は、各種の処理アルゴリズムや処理能力に柔軟に対応できる、マルチプロセッサシステムであり、画像

生成を高速に演算するプロセッサユニットにより構成される。プロセッサユニットは画像生成時に煩雑に現れるベクトル・行列処理用ベクトル演算機構や、高速データ転送のためのアドレス生成機構および高速バス機構を持ち、高速化とスループットの向上を図っている。

本稿では、プロセッサユニットの具体的構成、およびその基本的な動作を中心に報告する。本装置における画像生成ソフトウェアのインプリメントについては、別稿⁽⁷⁾を参照されたい。

2. 3次元画像生成処理とアーキテクチャ

基本的な3次元CG処理は、各種の物体形状を入力して3次元シーンを定義するモデリング処理と、これをもとに数値演算により陰影画像を作成する画像生成処理に大別できる。とくに後者は、3次元CGの中心であるが、通常、膨大な演算が必要である。代表的な処理手法には、光線追跡法やスキャンライン法があり、それぞれ処理方法が異なるが、おおまかには以下の処理からなる。

(1) 陰面消去処理

（主に光線と物体との交点計算／透視変換）

(2) 輝度計算処理

（主にベクトル演算・関数演算）

(3) テクスチャマッピング処理

（主に座標変換／ベクトル演算）

このような画像生成処理を高速に実行する装置を実現するには、全体を通して、処理ステップに含まれる演算を高速に実行するのに最適なアーキテクチャを採用するのが、最も効果的である。例えば、光線追跡法では、交点計算に最も大量の演算が必要であるため⁽⁸⁾、これを高速に実行すると同時に、輝度計算等を含む全体の処理に対して、最適なアーキテクチャを採用するのが好ましい。しかし残念ながら、既存の画像生成アルゴリズムはまだ完成されたものとはいえ、表現能力にかかわる次のような問題がある。

(1) 処理できる物体の形状が限られるため、モデリング時の物体形状が制限されたり、これを変換する必要がある。通常、光線追跡法では2次曲面まで、スキャンライン法では平面の集合で表される形状に限られる。

(2) 光線追跡法は反射・屈折現象が疑似できるという特長がある。しかし、現実にはさまざまな光学現象を持つ物体があり、これを正確にシミュレートするのは困難である。

現在、これらの問題に対処するための種々の手法が、

精力的な研究されている。

以上の点を考慮すると、専門的あるいは特殊な分野を除き、自由にリアルな画像を高速で生成する装置を実現するには、以下のような考え方に基づくアーキテクチャを採用するのが望ましいと考えられる。

a) 処理アルゴリズムに共通な、ベクトル演算、行列演算（座標変換）などの基本処理を高速に行うアーキテクチャとする。

b) アルゴリズムに依存しないデータアクセスやデータ転送を高速にし、装置全体のスループットを向上する。

c) モデリング等の異質な処理は、これらの処理に適した装置に割当て、これらと柔軟なインタフェースを持つ構成とする。

現在、試作を進めている高速画像生成装置は、以上の考え方にもとづいて構成したものである。

3. 高速画像生成装置の特徴と構成

3.1 本装置の特徴

本装置は、上で述べた柔軟で高速な3次元CGの処理環境を実現するという観点から、各種の処理アルゴリズムに対応することができるマルチプロセッサ・システムをとっている。また、プロセッサユニットは、各種画像生

表1 高速画像生成装置の特徴

項目	特徴
マルチプロセッサ構成	プロセッサユニット (PU) を単位とするマルチプロセッサ・システムであり、PUの増減・処理アルゴリズムの変更に柔軟に対処できる。
高速画像生成演算	浮動小数点演算器を用いたベクトル演算器とスカラー演算器により、3次元/4次元ベクトル・行列演算を並列に実行する。
高速データアクセス	データベースメモリの他、高速処理用キャッシュメモリを持つ。また、1次元/2次元メモリアドレス生成器、4ワードデータ一括転送により、高速アクセスを実現。
階層化バス構成	上位プロセッサと結合するシステムバスと画像転送高速バス (ハイパーバス)、ビデオバスを持つ階層化構成。
画像処理との結合	汎用画像処理モジュール類 ⁽⁹⁾ と共通のインタフェースを持ち、画像解析・モデル化・マッピング等の画像処理ができる。
装置の拡張性	各処理部はモジュール構成とし、共通バスインタフェースを持つ。また、汎用LSIにより構成しているため、アーキテクチャを変更することなく、より高性能なLSIを用いて構成することができる。

成に共通の処理を高速にするため、ベクトルおよび行列演算の並列処理機構と、高速データ転送機構を採用した。表1に本装置の特徴をまとめて示す。

3.2 装置構成概要

本装置の全体構成を図2に示す。本装置は、汎用マイクロプロセッサを用いた制御部 (CP) と、システムバスに接続された複数のプロセッサユニット (PU)、およびフルカラー画像を表示するためのディスプレイメモリ (DM) と表示制御部から構成される。各部の概要は以下の通りである。

(1) バス構成

本装置では以下の3種のバスにより、装置全体のスループットをあげている。

a) システムバス

システムバスは制御部が管理し、ユニットプロセッサ

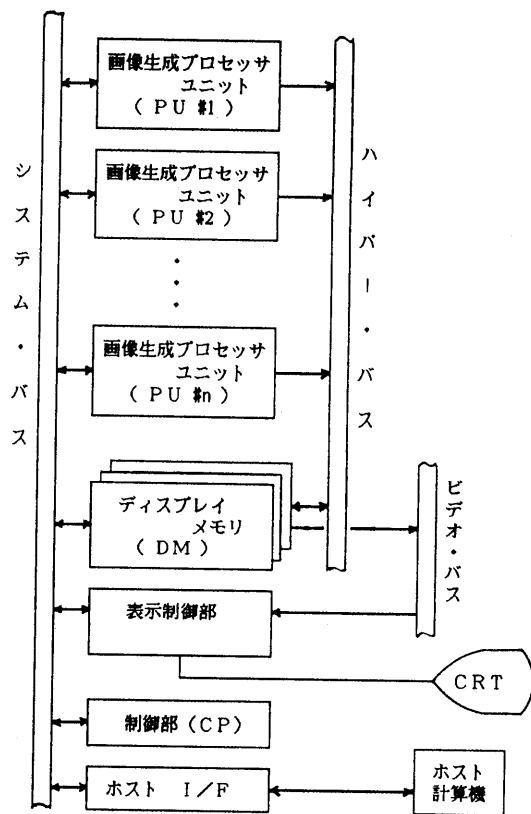


図1 画像生成装置の構成

へのデータおよびプログラムの転送などに使用する。すべてのプロセッサユニットのデータベースメモリは、制御部のアドレス空間に割り当てられているので、制御部を介したプロセッサユニット間のやり取りも容易である。

b) ハイパーバスおよびビデオバス

ハイパーバスは、プロセッサユニットで生成された画像データをディスプレイメモリに転送する同期バスで、画像のアドレスとデータをバケット形式で転送することにより、高速転送を可能にしている。転送速度は約 40 Mバイト/sec であり、512×512画素程度のカラー画像を実時間（1/30秒）でディスプレイメモリに転送することを可能にしている。

またビデオバスは、複数のディスプレイメモリの内容をディスプレイに表示するためのバスで、転送速度は 160 Mバイト/sec である。

(2) プロセッサユニット

3次元ベクトルや行列の浮動小数点演算を効率的に実行するベクトル演算器と、関数演算やスカラー演算のためのスカラー演算器をもつ。詳細な構成については、次章で述べる。

(3) 表示部

1024×1024画素、RGB各8ビットのフルカラー画像をノン・インタレースで表示する機能をもつ。ディスプレイメモリは、2画面分のメモリ容量をもち、システムバスのほか、ハイパーバス、ビデオバスと接続される。また、ズーム、パン機能により、ディスプレイメモリ内の任意の領域を拡大/移動しつつ観測することを可能にした。これにより、複数の画像を比較したり、簡単な動画像を確認したりすることができる。

(4) 制御部

汎用マイクロプロセッサで構成され、システムバスを経由して各部の状態管理および制御、ホスト計算機との通信を行う。また、各プロセッサユニットのプログラムメモリおよびデータベースメモリに、ファームウェアおよびデータをダウンロードする。この場合すべてのプロセッサユニットにロードする同報機能と、特定のPUのみにロードする機能を有している。

4. プロセッサユニット (PU) の構成

プロセッサユニットのハードウェア構成概要を図2に、各部の機能および諸元を表3に示す。

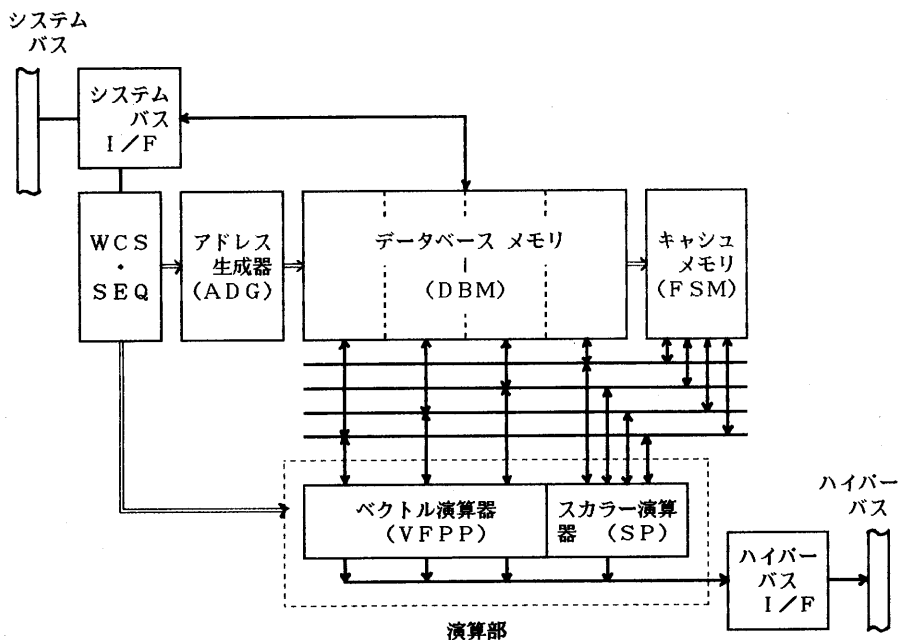


図2 画像生成プロセッサユニットの構成

表2 プロセッサユニットの概要

要素	機能概要	諸元	
演算部	スカラー演算器 (SP)	浮動小数点の関数・スカラー演算、ALUによるデータ処理・判断処理を行う。 VFPPとの通信機能をもつ。	プロセッサ：Am29332 Am29325 レジスタ：64word×32bit LUT：三角関数、平方根等
	ベクトル演算器 (VFPP)	3要素の浮動小数点演算の並列処理、3次元ベクトル・行列の積和演算のパイプライン処理を行う。	プロセッサ：Am29325×3組 レジスタ：64word×32bit×3組
プログラムメモリ・シーケンサ (WCS・SEQ)	フィールド長 256bit の水平マイクロプログラムの格納および制御を行う。	WCS：16kword×256bit	
アドレス生成器 (ADG)	マイクロ命令内の変位アドレスから、メモリの物理アドレスを生成する。	レジスタ(インデックス、アドレス、アドレス)：32word×32bit×3組 2次元アドレス演算、バイト変換	
データベースメモリ (DBM)	画像生成に使用する形状データ等を格納する。システムバス、内部バスに接続され、内部バスから並列アクセス可能。	メモリ容量：256kword×32bit ×4 Bank R/W単位：32bit, 32bit×4	
キャッシュメモリ (FSM)	処理用データバッファ用の高速メモリで、内部バスから各バンクに並列アクセス可能。	メモリ容量：16kword×32bit ×4 Bank R/W単位：32bit×4	
ハイバースインタフェース	ハイバースに画像データ、画像アドレスを転送する。	転送速度：40Mbyte/s以上 データバッファ：256byte×3	

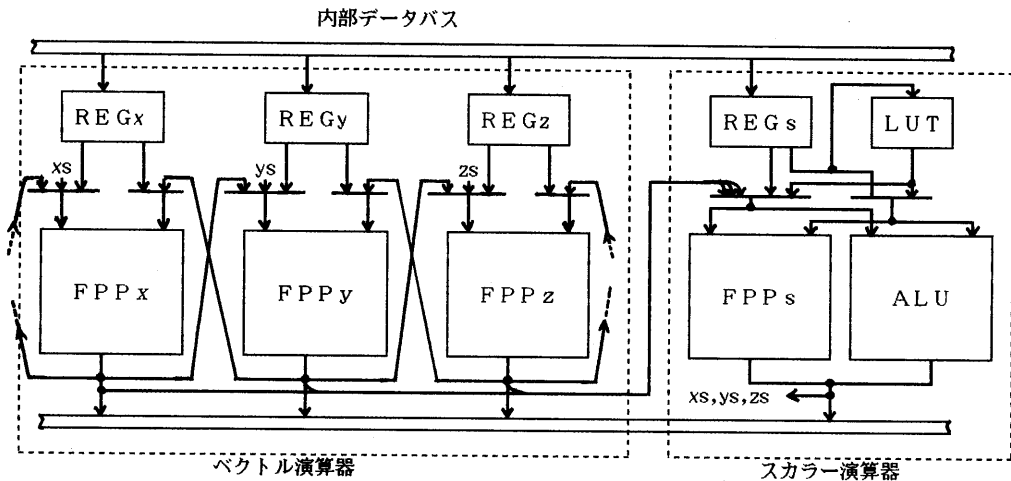


図3 演算部の構成

4.1 演算部

演算部は、図3に示すように、4組の32bit浮動小数点演算器、1組の32bit算術論理演算器、および4組のデータレジスタから成り、ベクトル演算器とスカラー演算器を構成している。

(1) スカラー演算器 (SP)

浮動小数点演算器 (FPPs) と算術論理演算器 (ALU) の並列接続により構成され、浮動小数点スカラー演算、参照テーブル (LUT) による関数演算 (逆数・平方根・三角関数)、整数演算、転送処理、判断処理などを行う。また、ベクトル演算器と接続されているため、4次元ベクトル/行列の第4要素の演算を行い、演算結果を相互に転送することができる。

(2) ベクトル演算器 (VFPP)

3組の浮動小数点演算器 (FPPx, y, z) をたすき掛けに結合した構成をとっており、ベクトルや行列の3要素の並列演算、パイプライン処理による積和演算などをレジスタを介さずに行う機能をもつ。各浮動小数点演算器は5MFLOPSの演算能力をもっており、VFPPの最高演算能力は15MFLOPSである。

4.2 データメモリ

処理データを蓄積するためのデータベースメモリ (DBM) と、処理用高速バッファとして使用するキャッシュメモリ (FSM) をもつ。これらは、各々4バンクに分割され、各浮動小数点演算器と内部データベースで接続されており、4ワードのデータを一括して演算部に転送することができる。また、データベースメモリはシステムバスからも同時アクセスが可能で、主制御部のリニアなアドレス空間にも割り付けられている。

4.3 アドレス生成器

画像生成に使用する3次元物体データは、複雑に連結

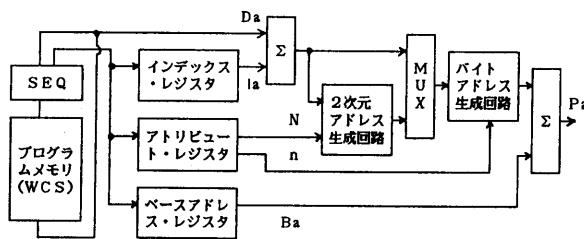


図4 アドレス生成器の構成

された構造体で表されることが多いため、データアクセスのために多くのアドレス計算が必要である⁽⁴⁾。このために、マイクロ命令で指定されるアドレス変位から、メモリの物理アドレスを直接計算するためのアドレス生成器を設けている。図4にアドレス生成器の概略構成を、表4に機能の概要を示す。

これは、通常の1次元アドレスだけでなく、表形式のデータや2次元画像データの2次元アドレスを直接算出する2次元アドレス計算機能を持っている。また、ビットからベクタワード (4ワード) に至る多彩なアクセス単位をもち、ビットパターンから浮動小数点ベクトルデータまで、直接アクセスすることができる。これらのアドレス計算に要する時間は、およそ200 nsecであり、同程度の速度で動くALUのみで計算する場合に比べると、1/3 - 1/6 の時間に短縮される。

4.4 プログラムメモリ・シーケンサ

多数の演算器類を細かく制御できるようにするために、256 bit長の水平型マイクロプログラムを採用している。マイクロフィールドの構成を図5に示す。図のように機能ブロック毎に区別して割り当てられているので、その制御はそれほど複雑ではない。

SEQ	SP CONTROL	VFPP CONTROL			ADDRESS GENERATION	ADDRESS DATA
		FPPx	FPPy	FPPz		

図5 マイクロフィールドの構成

表3 アドレス生成器の機能

項目	機能
アクセスモード	1次元および2次元アドレッシング
アクセス単位	ビット、バイト、1/2ワード、ワード、ベクトルワード (4ワード)
生成時間	約 200 nsec
アドレス計算方法	<p>[1次元アドレッシング] $P_a = (I_a + D_a) \times n + B_a$</p> <p>[2次元アドレッシング] $P_a = [I_a(x) + D_a(x) + \{I_a(y) + D_a(y)\} \times N] \times n + B_a$</p> <p>$P_a$: 物理アドレス D_a: マイクロ命令変位アドレス I_a: インデックス B_a: ベースアドレス n: アドレス単位, N: 2次元のx長 (アドレス単位)</p>

4.5 インタフェース

図1に示したように、各PUは、共通したシステムバスとハイバースを介して、装置全体と接続される。主制御部とはシステムバスを介して通信でき、割り込みのほか、データベースメモリを介してデータの授受を行うことが可能である。

5. PUの動作と制御

5.1 PUの演算動作モード

本プロセッサユニットは、上で述べたように、ベクトル演算器（VFPP）と、スカラー演算器（SP）をもち、かつこれらは密に結合して並列に動作させることができる。従って、マイクロプログラムによってその動作を精密に制御してやれば、ハードウェアの能力を最大限に発揮させるようにすることも可能である。

しかし、このような効率的な動作させるためのプログラムは、その開発も容易でないばかりか、強くアーキテクチャに依存し、柔軟性の小さいものとなる。柔軟な処理環境を提供するためには、装置のアーキテクチャを意識せずに、自由に各種の処理プログラムをインプリメントし、かつこれを高速に実行できるようにすることが望ましい。

このため、図6に示すように、ベクトル演算器とスカラー演算器の動作に関して、4種の標準的な動作モードを定める。ここで、明かにモード1は汎用計算機の動作であり、汎用性が高いが、効率が上がらない。また、モード3、4は効率のよい動作であるが、VFPPとSP

の処理の同期が必要で、アーキテクチャに依存している。従ってこれらの各動作モードに応じて、制御プログラムをレベルわけすることにより、目的に応じた制御ができるようにしている。

5.2 制御プログラムの構成

上記の考え方にもとづき、基本アセンブラ、マクロ・アセンブラ、画像生成基本処理モジュールの3種により、制御を行う。

(1) 基本アセンブラ

モード1、モード2の標準的な処理を行うマイクロプログラムを、一般的形のアセンブラで表現したものである。モード1の動作では、浮動小数点スカラー演算・データ転送・判断などの一般的な処理命令がある。モード2では、3要素の四則演算がある。

(2) マクロ・アセンブラ

複数のマイクロプログラムステップで記述されるマクロ命令で、モード1による関数演算、モード2による3次元ベクトル演算・3元行列演算、モード4による4次元ベクトル演算・4元行列演算などがある。

(3) 画像生成基本処理モジュール

代表的な画像生成処理に含まれる基本演算をモジュール化したもので、モード3およびモード4の動作により、高速化を図ったものである。

これらの制御プログラムは、高級言語（C言語）処理系と結合し、プログラム開発に供する。この際、基本アセンブラはコンパイラを介して、マクロ・アセンブラおよび基本処理モジュールは関数呼び出しにより使用できる。従って、他の計算機で開発したプログラムもそのまま移植することもでき、これをより高速で実行させることもでき、極めて柔軟な処理環境を提供することができる。

6. あとがき

3次元グラフィックス処理に適した処理環境を実現することを目的として、試作を進めている高速画像生成装置のプロセッサユニット（PU）の構成および動作を中心にのべた。本プロセッサユニットは、各種の画像生成処理に煩雑に現れるベクトル・行列処理用のベクトル演算器、高速データ転送のためのアドレス生成器および高速データバスなどを持ち、処理の高速化と全体のスループットを向上させたものである。

3次元CG技術をコミュニケーション手段としてより実用的なものにするためには、簡便にリアルな画像を高

モード種別	VFPP	SP	特徴
MODE 1	(IDLE)	(ACTIVE)	小 大 動作効率 ↑ 処理の柔軟性 ↓ 大 小
(VFPPがアイドル状態、SPのみが動作)			
MODE 2	(ACTIVE)	(IDLE)	
(VFPPが一体で動作し、SPはアイドル状態)			
MODE 3	(ACTIVE)	(ACTIVE)	
(VFPP、SPがそれぞれ独立に動作)			
MODE 4	(ACTIVE)		
(VFPP、SPが一体となって動作)			

図6 演算部の動作モード

速で生成する技術を確立する必要がある。今後、本装置の制御プログラムと各種プログラム開発支援環境の整備を行うと共に、リアルな画像生成のための各種アルゴリズムをインプリメントしてゆく予定である。

(謝辞) 御指導いただいている、当所画像処理研究室小杉信室長、知的画像処理研究グループ末永康仁リーダーに感謝します。また、装置の構成等に関して討論いただいた、間瀬健二研究主任ならびに画像処理研究室、知的画像処理研究グループの各位に感謝します。

参考文献

- (1) 玉邑,三ツ矢,秋本;"高速画像生成処理装置の基本構成"、TV学会画像処理・画像応用研究会、IPA-86, (1986.10)
- (2) 山下他;"コンピュータグラフィックスシステムLINKS-1の現状"、情処学会グラフィックスとCAD研究会, no.10-3, (1983.7)
- (3) 佐藤他;"セルラアレイプロセッサCAPのアーキテクチャ"、信学技報, no.CAS 84-200, (1985)
- (4) 河合他;"画像生成用マルチコンピュータシステムとプロセッサについて"、情処学会グラフィックスとCAD研究会, no.19-4, (1985.10)
- (5) 日高,平井他;"マルチコンピュータ画像生成システムMC-1"、情処学会計算機アーキテクチャ研究会, no.58-5, (1985.6)
- (6) 吉田,成瀬他;"グラフィックス計算機SIGHTの基本構成"、情処学会計算機アーキテクチャ研究会, no.85-53, (1985.12)
- (7) 秋本,玉邑,三ツ矢;"高速画像生成装置における画像生成ソフトウェア"、情処学会グラフィックスとCAD研究会、(1986.11)
- (8) T.Whitted;"An Improved Illumination Model for Shaded Display", Comm.ACM, Vol.23, no.6, p.343 (1980)
- (9) 三ツ矢,末永,奥平,安田;"マルチプロセッサによる汎用画像処理装置"、信学論(D), J68-D, no.4, p.869 (1985)