

特別論説



情報処理最前線

今後の高性能 RISC プロセッサ
チップの技術動向[†]宮本 和久^{††}

1. はじめに

80年代に RISC という技術は、UNIX とともに高性能ワークステーションという限定された分野に甘んじていた感があった。それに対し、90年代にはいると RISC は、パソコンの分野および80年代のメインフレームが担っていたハイエンド・サーバや大型スーパーコンに代わる超並列マシン等へ進出してきており、その裾野は広がる方向にある。

そこで現在の RISC では、パソコン等に代表されるコスト指向とハイエンド・サーバ等に代表される性能指向の2つのアプローチを考える必要がある。ただし半導体技術まで考えると2つのアプローチの設計思想は大きく異なる。本稿では高性能 RISC プロセッサの現状を整理し、今後の技術課題を提示することで読者とともにその解決策を模索したいと考える。なお科学技術計算や画像処理といった専用プロセッサは省き、汎用プロセッサを対象とする。

2. スーパスカラ方式と動作周波数のトレードオフ

2.1 プロセッサの性能要因

一般にプロセッサの性能は

- (1) 命令数：同じプログラムをコンパイルした結果の命令数
 - (2) IPC：1クロックサイクルあたりプロセッサが実行する命令数
 - (3) f ：プロセッサの動作周波数
- の3つの要因で決まる。

[†] Perspective of High Performance RISC Processor Chips by Kazuhisa MIYAMOTO (Processor Development Center General Purpose Computer Division).

^{††} (株)日立製作所汎用コンピュータ事業部プロセッサ開発センター

第1の要因はあるアーキテクチャのもとでのコンパイラの性能に依存する。すなわちあるソースコードをオブジェクトコードにコンパイルしたときに生成される命令の数が少なければコンパイラの性能がよいということになる。ただしアーキテクチャすなわち命令セットが異なれば当然命令数は違ってくる。

第2の要因はマイクロアーキテクチャと呼ばれるプロセッサの内部構造に大きく依存する。スーパースカラ型プロセッサでこのIPCが大きいくほど、命令の並列処理数が多いということになり性能が高くなる。またキャッシュやTLBミスによるメモリのペナルティも考慮する必要がある。実際の設計ではマイクロアーキテクチャをモデル化した方式性能シミュレータを使ってIPCを解析する²⁾。

第3の要因はチップを実現する半導体技術に大きく依存し、適用可能なプロセス世代におけるデバイス性能および配線構造、回路技術、CAD技術で決まる。ただし高性能指向では外部周波数も高くする場合が多く、上記に加えてプロセッサを搭載する実装系技術にも依存してくる。

通常、マイクロプロセッサの開発プロジェクトの最初にプロセッサの性能目標をたていくつかのマイクロアーキテクチャの候補をあげる。そこでハードウェアのインプリメンテーションでは、各々のマイクロアーキテクチャに対し、IPCと f の積が最大になるように第2、第3の目標値を設定することから始める。

2.2 スーパスカラ方式の原理

次の節(2.3)でIPCと f の関係を述べる前に、スーパースカラ方式の概要を説明する³⁾。ここでは対象をRISCに限定しない。なぜなら、最近の報告によればIntel等のCISC系プロセッサの内部でも同じスーパースカラ方式を採用するようになって

ためである⁴⁾。

図-1 (b) にスーパスカラの基本パイプラインを示す。通常のパイプライン方式との違いは、同一クロックサイクル内に複数の命令を処理する、という点だけである。この例では2命令スーパスカラであるので理想的にはIPC=2ということになる。4命令であればIPC=4である。

図-1 (a) に最近の代表的なスーパスカラ型プロセッサの内部構造、すなわちマイクロアーキテクチャを示す。その特徴は

- (1) 複数の演算ユニット
- (2) 分岐予測ユニット
- (3) リザベーションステーション
- (4) リオーダーバッファ

を有することにある。以下簡単にその概略を述べる。

(1) 複数の演算ユニット

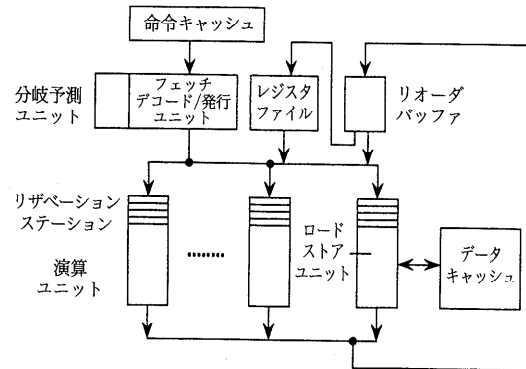
演算ユニットには固定小数点の加算、乗算、シフト演算等を扱う整数演算ユニット、浮動小数点を扱う浮動小数点演算ユニット、ロード/ストア命令を扱うロードストアユニットがある。最近のRISCプロセッサは各々を複数個有するようになってきている。ロードストアユニットはデータキャッシュやTLBをアクセスするためのアドレス計算およびロード/ストアのアドレスを管理しながらロード/ストアの実行順序制御を担っている。

(2) 分岐予測ユニット

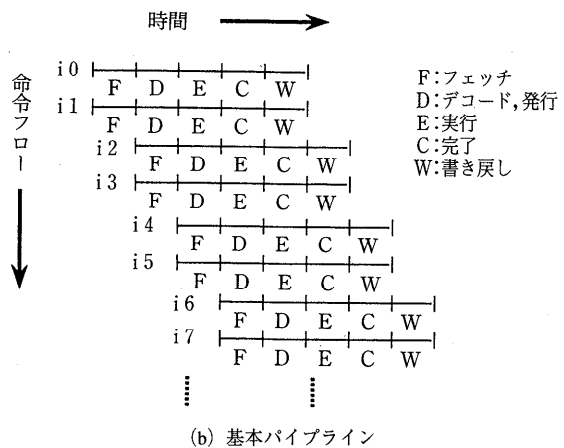
最近の高性能プロセッサでは、動的分岐予測機構を備え、分岐先の命令を投機的に実行するという投機実行が主流となっている。動的分岐予測の特徴は分岐先アドレスを格納する分岐ターゲットアドレスキャッシュ (BTAC: Branch Target Address Cache) と条件分岐の成立・不成立の状態を格納する分岐履歴テーブル (BHT: Branch History Table) にある。このような複雑な機構を採用して分岐予測成功率を高めるのはプロセッサ設計者の最重要課題の1つである。というのは分岐は連続した命令フローの流れを大きく乱す可能性があるからである。しかもパイプラインと投機実行の形態をとっていれば予測ミスを起こしたときのペナルティが大きいためなおさらである。

(3) リザベーションステーション

これは発行済みの命令を一時的にためておき、ソースオペランドがそろい実行可能な命令から演



(a) マイクロアーキテクチャ (内部構造)



(b) 基本パイプライン
図-1 スーパスカラ・プロセッサの原理

算ユニットへ送る機能を持つ。この機能と密接に関係している最近の機能として、レジスタリネーミングと out-of-order 実行という2つの機構がある。前者はアーキテクチャで本数の制約されている汎用レジスタの論理番号を、本数の拡張された物理番号にマッピングし、仮の番号を与えることでレジスタリソースの競合を回避する手段である。後者は上記に述べたように in-order で発行された命令のうち実行可能な命令を制御回路で認識し、プログラムの順番とは関係なく実行する方式のことをいう。

(4) リオーダーバッファ

演算結果をためて、プログラム順に並べ替える機能を持つ。この機能は in-order 完了とよびプロセッサでプリサイズ例外処理を保証することになる。

このように、命令の制御系ユニット (フェッチ、デコード、完了等) と複数の実行ユニットが独立

して動作する内部構造のことを、デカップルド・マイクロアーキテクチャとよび、プロセッサの主流となっている。

2.3 IPC と動作周波数の関係

図-2 に最近のプロセッサの IPC と動作周波数の関係を示す。SPECint92 は整数演算系のベンチマークプログラムでプロセッサの性能指標として使われる。SPECint92 / MHz は SPECint92 をクロック動作周波数で割った値で、RISC 系命令セットアーキテクチャでは、平均実行命令数 IPC にはほぼ比例する。実際には SPECint92 にはコンパイラ性能分も含まれるが、ここではコンパイラ性能はとりあげない。

この図から RISC 系プロセッサは3つのグループに大別できる。第1は IBM の POWER や IBM/Motorola の PowerPC³⁾ 等のグループで、“brainiacs (頭脳派)”⁶⁾ と呼ばれる。すなわちスーパースカラ型プロセッサのなかでも 2.2 で説明したレジスタリネーミングや out-of-order 実行機構といった複雑な制御論理方式を積極的にインプリメントしている。そのため IPC は高い。逆に制御系論理がクリティカルパスとなる可能性が高くなり動作周波数は上げづらい。第2は DEC の Alpha⁷⁾ に代表されるように “speed demons (スピード派)”⁶⁾ と呼ばれている。これは第1グループでインプリメントしたような複雑な制御系論理方式は採用せず、IPC を低めに設定しその代わりに動作周波数を高める選択である。第3のグループは MIPS の R10000 等や HP の PA-RISC に代表され、第1と第2の中間に位置している。

一方、第1グループのように複雑なスーパースカラを採用した場合、論理の複雑さと物量の多さに起因して設計期間が長くなる。また設計期間を延ばさないためには、より経験豊富な論理設計者が必要になる。

このことも念頭において、設計者は様々な要因のトレードオフで、2.1 の最後の方で述べたいろいろなマイクロアーキテクチャの候補の中から1つに絞る。それに対して IPC と動作周波数の仮目標を設定し、より詳細な検討に入る。

3. 動作周波数の限界要因

2. で制御系論理の複雑さ（複雑なスーパースカラ）が動作周波数向上の阻害要因となり得ること

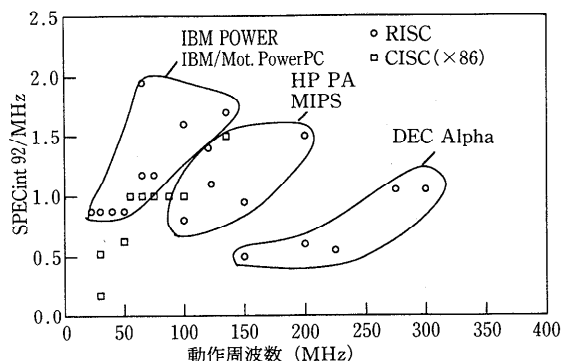


図-2 IPC と動作周波数の関係

を述べたが、プロセッサ内部で重要な阻害要因としてオンチップメモリがあげられる。

3.1 オンチップキャッシュ

図-3 に最近の RISC 系、CISC 系の 1 次キャッシュ容量を示す。IBM の POWER は複数チップ構成であり、ECL メインフレームは最上位機種のプロセッサ 1 台あたりに搭載されている 1 次キャッシュの容量⁸⁾を示している。なぜキャッシュ容量を指標にしたかというところ、サーバ等のオンライントランザクション系プログラムは膨大なデータを高速に扱うためメモリ系の性能に大きく依存するからである。プロセッサで見たときは高性能で大規模なキャッシュが要求される。

もともと、RISC は CISC に対しコンパイルしたコードのサイズが大きいこと、パイプラインによりパイプラインあたりの動作周波数が高くなることから、メモリバンド幅が高いといわれてきた。しかし RISC コンパイラの発展と、最近の CISC は内部処理が RISC に近づいてきていることからこの差は縮まっていると考えられる。

図-3 に示されるように、RISC 系はキャッシュ容量を年々増加させている。高性能 RISC はメインフレーム並みに近づいている。後数年もすればマシンサイクルも近づくことも考えると相当なプロセッサ能力である。これは冒頭でも述べたように RISC がメインフレーム等が担っている高性能分野に向かって進化していることを示す。

実際、キャッシュの構成を方式性能シミュレータで決めるときは SPEC 系のベンチマークは使われない。通常、TPC といったオンライントランザクション系ベンチマークで評価する。ただしキャッシュに対して過度な規模の容量を要求すれ

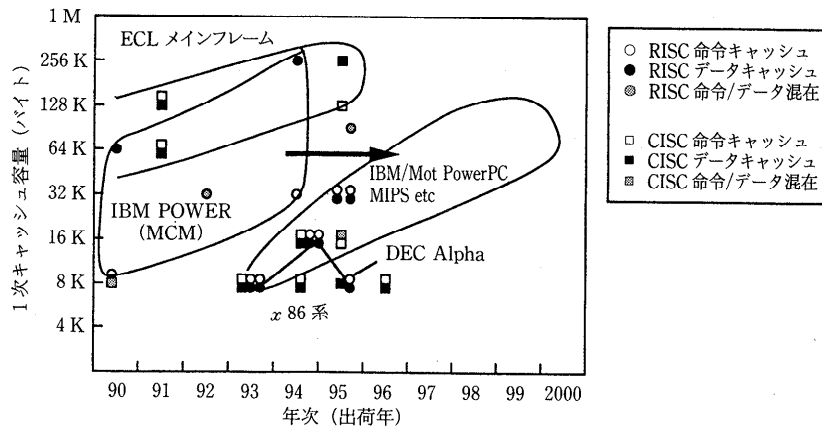


図-3 1次キャッシュ容量の推移

ば、この部分がクリティカルパスになり動作周波数を決めてしまう。

3.2 半導体技術の限界要因

CMOS プロセスの微細化にともなうデバイス性能のスケールング効果を表-1 に示す。様々なスケールング則があるが、ここでは代表的な電界一定のスケールング則を示す。しかしながら微細化がすすむとこのスケールング効果を阻害する2次要因が増加し、ひいては動作周波数向上の阻害要因にもなるため注意を要する。

3.2.1 デバイスに起因する阻害要因

(1) Vth 低減による問題

デバイス性能向上のため Vth もスケールングすると MOS デバイスのサブスレッショルド領域に入り、オフ時のリーク電流が増える。そのため図-4 に示すようなダイナミック回路は使えなくなる。このダイナミック回路は NMOS で論理を構成するため、CMOS 論理に比べ前段から見た入力容量が減ることと約半分の性能である PMOS を使わないことにより高速回路として、クリティカルパスによく使用されている。具体的な対策としてはリーク補償用の PMOS を付加する回路があるが、ダイナミック回路の効果は減る。

(2) ソフトエラーの問題

ソフトエラーは配線金属等から出た高エネルギーのアルファ線がシリコン基板、ウエルを通過する際に電子・正孔対を発生しメモリセル等の記憶ノードに注入され情報を破壊する現象である。

対象となる回路はメモリセル以外にラッチ回路、ダイナミック回路である。具体的な対策はノ

表-1 電界一定のスケールング則

	パラメータ	スケールング係数
スケールングモデル	デバイス寸法 (W,L,tox,Xj)	1/K
	基板, ウエル濃度 (NA)	K
	電圧 (VDD,VthN,VthP)	1/K
スケールング効果	電流 (Ids)	1/K
	ゲート容量 (Cg=ε oxWL/tox)	1/K
	接合容量 (Cj ∝ WL√NA/VDD)	1/K
	ON 抵抗 (Ron ∝ VDD/Ids)	1
	ゲート遅延 (τ = CjΔV/lav=RonCj)	1/K
	消費電力 (P=IV)	1/K²
	電力・遅延積 (Pτ)	1/K³
	デバイス面積 (A ∝ WL)	1/K²
	電力密度 (P/A)	1

ードが電荷注入に対して反転しにくくなるような補償回路を付加するか、デバイスの設計寸法を大きめに設計することである。いずれにしても回路性能は悪くなる。プロセス的な対策としては薄膜 SOI があるが主要各社において研究段階にあり将来、実用化の可能性はあるだろう。

(3) 電源ノイズの問題

実際の設計では SPICE 等の回路シミュレータを使った解析的な手法が必要となる複雑な問題だが、ここでは簡単なモデルをたてて説明する。

前世代に対し集積度および動作周波数が向上するが冷却等の実装系が変わらなければ、消費電力を同じかそれ以下と設定するのは自然である。

一方、消費電力は

$$Pd = Ctotal \cdot VDD^2 \cdot f \tag{1}$$

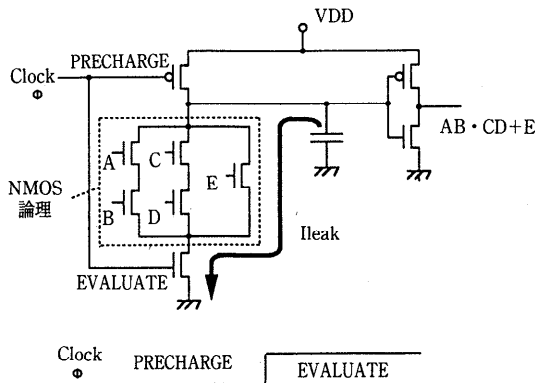


図-4 ダイナミック回路の問題

VDD は表-1 より 1/K, 動作周波数を K 倍に向上させるとすれば, 消費電力を同じにするためにはチップ全体の容量 Ctotal を式 (1) により K 倍に抑えればよい. チップ全体の変化電流は

$$I_{total} = C_{total} \cdot VDD / \tau \quad (2)$$

τ は表-1 より 1/K, 上記と式 (2) より Itotal は K 倍となる. 電源ノイズは

$$\Delta V = L \cdot I_{total} / \tau \quad (3)$$

上記と式 (3) より K² 倍となる.

具体的な対策は, 電源インダクタンス (L) の低減のために電源ピンを増やしたり, チップ内にバイパスコンデンサを埋め込む等がある. 最近の報告ではオンチップ・コンデンサを 100 ~ 160nF も実装されている例がある.

3.2.2 配線微細化に起因する阻害要因

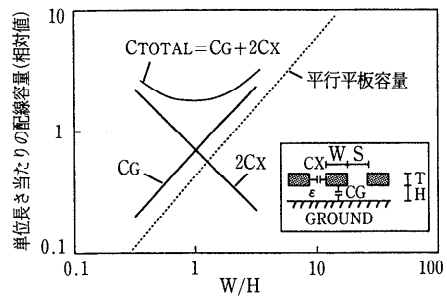
配線構造の設計は, MOS デバイスのスケールリング則のような単純なルールはない. まず目標ゲート数, ゲートサイズ, ゲートあたりピン数から必要なチャンネル容量を見積もる. それに対して配線層数および配線ピッチを決める. 次に図-5 (a) に示すように W/H, T/H, S/W 等をパラメータにして単位長さあたりの配線容量が最小になるように配線構造を決める.

(1) クロストークの問題

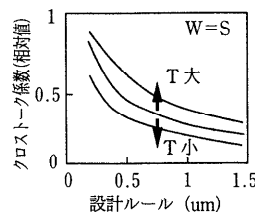
図-5 (b) のクロストークは CG/Cx を小さくすることで低減される. 配線膜厚 (T) を薄くするのがその一例である.

(2) RC デイレイの問題

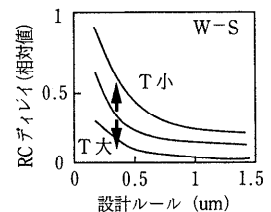
図-5 (c) に示すように配線抵抗デイレイは配線膜厚 (T) を薄くすると大きくなる. よって配



(a) 配線容量と配線構造の関係



(b) クロストークと設計ルールの関係



(c) RC デイレイと設計ルールの関係

図-5 配線構造の設計

線膜厚はクロストークと RC デイレイのトレードオフで決まる.

最近主要各社では, Cu 配線の研究が盛んである. Cu 配線の効果は, 配線抵抗が減ることよりもクロストークも関連させて考えると, 設計の自由度が増すことにあると考える. またデバイスおよび配線が同程度にスケールされた場合, 配線に流れる電流密度は上がるためエレクトロマイグレーション耐性に優れた Cu 配線は有力になるだろう. 今後の実用化技術に期待したい.

4. スーパスカラ型 RISC プロセッサの現状と今後の技術動向

半導体技術は, 直接プロセッサ内部構造には関係なく, 今後のプロセッサの開発において共通の技術課題と考えられる. どれだけ困難で挑戦的な技術課題があるかは 3.2 で述べたとおりである.

4.1 現 状

最近の高性能 RISC “汎用” プロセッサを再度, スーパスカラ性能 (IPC), キャッシュの規模, クロック動作周波数 (f) の指標から整理すると

(1) IBM/Mot. PowerPC および MIPS 系

複雑なスーパスカラ方式 (SPEC 系ベンチマークで推定した IPC が高い) と大規模なキャッシュ

ユ (TPC 系ベンチマークで推定した IPC が高い) の両者により動作周波数 (f 低め) が決まる。

(2) DEC Alpha 系

単純なスーパスカラ方式 (SPEC 系ベンチマークで推定した IPC が低め) により動作周波数 (f) が上がるが、次にキャッシュがクリティカルになりキャッシュの規模を抑える。

(1)の方が3者のバランスがよいと考えられるが、いずれにしてもプロセッサ設計では定量的な評価を行う必要がある。

4.2 将 来

最近、2000年前後の技術として、現在のスーパスカラが行っている制御の大部分をコンパイラで実現し、IPCを大幅に向上するVLIW (very long instruction word) が注目を集めている⁹⁾。プロセッサ設計者はコンパイラ設計者とより緊密な共同検討を行う必要があるだろう。また、VLIWではハードウェアが単純となるため動作周波数を上げやすいが、4.2 (2)のようにキャッシュ周りが動作周波数向上の障害要因になる可能性がある。これに対する解決策は、メモリのレーテンシは延びる代わりにスループットを向上させる方式が候補としてあげられよう。たとえばマルチポート/バンク、パイプラインメモリ¹⁰⁾等である。

5. おわりに

RISCプロセッサはその応用範囲を広げている最中であり、まだ多くの可能性を秘めている。またコンパイラは、VLIWという重要な技術の実用化を目前に控え各社奮闘していると考えられる。さらに本稿で述べたように、ハードウェアも挑戦的な技術課題に立ち向かい続けなければならない。

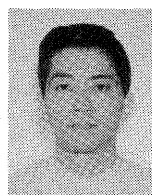
今後は、今まで以上に、総合的にこれらの技術

課題を克服できる企業がこの分野で生き残れると考える。

謝辞 (株)日立製作所 汎用コンピュータ事業部の柏山正守氏には内容に関して適切な助言をいただいた。お礼を申し上げたい。

参 考 文 献

- 1) Duntemann, J. and Pronk, R. : Inside the PowerPC Revolution, Coriolis Group Books (1994).
- 2) White, S., Hester, P. and Kemp, J.: How Does Processor MHz Relate to End-User Performance?, IEEE Micro, pp79-89 (Oct. 1993).
- 3) Johnson, M.: Superscalar Microprocessor Design, Prentice-Hall (1990).
- 4) Gwennap, L. : Intel's P6 Uses Decoupled Superscalar Design, Microprocessor Report (Feb. 1995).
- 5) Trung, et al.: Performance Evaluation of the PowerPC 620 Microarchitecture, Proc. of the ISCA (1995).
- 6) Gwennap, L. : Comparing RISC Microprocessors, Proc. of the Microprocessor Forum (Oct. 1994).
- 7) Rubinfeld, P. : An Overview of the Alpha AXP 21164 Microarchitecture, Proc. of Hot Chips (Oct. 1994).
- 8) 特集 大型汎用コンピュータのすべて, 日経コンピュータ, 10.15 (No.237) (1990).
- 9) Superscalar と VLIW を統合した新アーキテクチャを提案, 日経エレクトロニクス 5.27 (No.528), p.99 (1991).
- 10) Chappell, T. et al. : A 2-ns Cycle, 3.8-ns Access 512-kb CMOS ECL SRAM with a Fully Pipelined Architecture, IEEE J.S.S.C, Vol.26, No.11 (Nov. 1991). (平成7年9月5日受付)



宮本 和久

1961年生。1985年東京大学理学部物理学科卒業。同年(株)日立製作所入社。以来、大型計算機用バイポーラ、BiCMOS LSIの開発に従事。現在ではRISCプロセッサチップの開発に至る。1991～

92年、米スタンフォード大学で高性能プロセッサの協同研究で留学。