

解説



計算機システムを支える最新技術（インタフェース編）

1. PCIバスと高速化技術†

岡本光正†† 的場 司†† 村岡寛昭†††

1. PCIバスの特徴

最近のパーソナルコンピュータ（PC）は、マルチメディアをキーワードとして高機能化が進んでいる。グラフィックス、映像、音声、通信などのマルチメディア処理を実現するためには、PCのハードウェアは大量のデータを高速に処理する必要がある。そのためには、CPUやメモリの高速化だけでなく内部バスの高速化が必要である。PCIバス（Peripheral Component Interconnect Bus）は、以上のようなPCの進化の中で標準化されたローカルバスである。PCIバスの仕様策定は、PCI SIG（Special Interest Group）という業界団体によって行われている。PCI SIGは、インテル、コンパック、IBM、DECなど、300社を超える企業がメンバになっており、PCIバス仕様書第1版は1992年に発行されている。またPCIバスは、特定のCPUやシステムアーキテクチャを前提としないバスであるため、PC以外の分野でも広く利用されている。

PCIバスの特徴を表-1に示す。PCIバスはクロック同期式バスであり、クロック周波数は、33 MHzと66 MHzの2つの規格が定められている。データバスのビット幅は32ビットと64ビットの2種類の規格となっている。これにより最大データ転送能力は、133 Mバイト/秒（33 MHz, 32 bit）から533 Mバイト/秒（66 MHz, 64 bit）となる。

PCIバスの特徴は、①バースト転送を基本と

する高速データ転送、②バスブリッジによるバスの拡張、階層化、③複数バスの同時独立動作による性能向上、④自動コンフィギュレーション機能、である。

PCI仕様には、メモリ空間、I/O空間、コンフィギュレーション空間の3つのアドレス空間が定義されている。コンフィギュレーション空間は、ソフトウェアによるシステムの自動コンフィギュレーションを実現するために使用される空間である。PCIバスに接続されるデバイス中には、コンフィギュレーション・レジスタと呼ばれるレジスタ群を実装することが義務づけられている。コンフィギュレーション・レジスタには、デバイスの種類や型名を特定するためのID情報やデバイスが使用するアドレス空間を指定するレジスタなどが含まれている。これにより、PCIバスの初期化を行うソフトウェアは、PCIシステムに存在するデバイスを特定し、システムリソースの割当て処理を自動的に行うことができる。

PCI拡張ボードは、標準と小型の2種類が定義されており、供給する電源によって、5V電源用、3.3V電源用、5V/3.3V共用の3種類がある。

PCIバスの信号は表-2に示すとおりであるが、64ビットデータバス拡張用の信号（表中の*印）を除くと、61本となる。

2. データ転送方式

2.1 バス使用権の調停

PCIバスに接続される装置（デバイス）は、バスにアドレスを出力しデータ転送の主体となるマスタデバイスと、これに回答するメモリやI/Oのようなスレーブデバイスとに大別される。PCIバスには複数のマスタデバイスが接続されるが、これら複数のマスタデバイスが平等にバス使用権

† PCI Bus Specification and Key Technology for Improving Performance by Kousei OKAMOTO, Tsukasa MATOBA (Computer LSI Engineering Center, Ome Works, TOSHIBA Corp.) and Hiroaki MURAOKA (Industrial Custom LSI Development Dept., IC Center, TOSHIBA Corp.).

†† (株)東芝青梅工場コンピュータLSI開発センター
††† (株)東芝ICセンター産業用LSI開発部

表-1 PCIバスの特徴

発表時期	1992年
仕様策定	PCI SIG
クロック方式	同期
データバス幅	32/64 bit
クロック周波数	33/66 MHz
データ転送性能	133 Mバイト/秒(33 MHz, 32 bit) 533 Mバイト/秒(66 MHz, 64 bit)
その他	<ul style="list-style-type: none"> ・バースト転送による高速化 ・バスブリッジによる拡張 ・複数バス同時動作による性能向上 ・自動コンフィギュレーション機能

を得られるために、バス使用権調停回路（アービタ）が使用される。マスタデバイスとアービタ間の要求/調停には、リクエスト信号（REQ #）とグラント信号（GNT #）が使用される。

2.2 バストランザクションの概要

PCIバス上で実行されるデータ転送サイクルを、バストランザクションと呼ぶ。すべてのバストランザクションは、アドレスフェーズとデータフェーズとにより構成される。リード、ライトトランザクションのタイミング例を、図-1に示す。

図-1において、FRAME #信号が'H'から'L'に変化するクロックサイクル（クロック1）がアドレスフェーズであり、その直後からトランザクションの終了まで（クロック2～7）がデータフェーズである。アドレスフェーズでは、マスタデバイスによって、アドレス/データバス信号（AD[31:0]）、コマンド/バイトイネーブル信号（C/BE[3:0]#）に、スレーブデバイスを特定するためのアドレス、トランザクションの種類を示すコマンド（2.3節参照）がそれぞれ出力される。

PCIバスでは、マスタデバイスが出力したアドレスに対して応答するスレーブデバイスは、アドレスフェーズ以降の4サイクル中に、DEVSEL #信号をアクティブ（'L'）にすることによって、マスタデバイスに対してスレーブデバイスの存在を知らせる必要がある。図-1のDEVSEL #信号は、アドレスフェーズの次のサイクルでアクティブになる例を示している。

データフェーズは、実際にデータの送受信を行うためのフェーズである。データフェーズは、マスタデバイスが出力するIRDY #信号、スレーブ

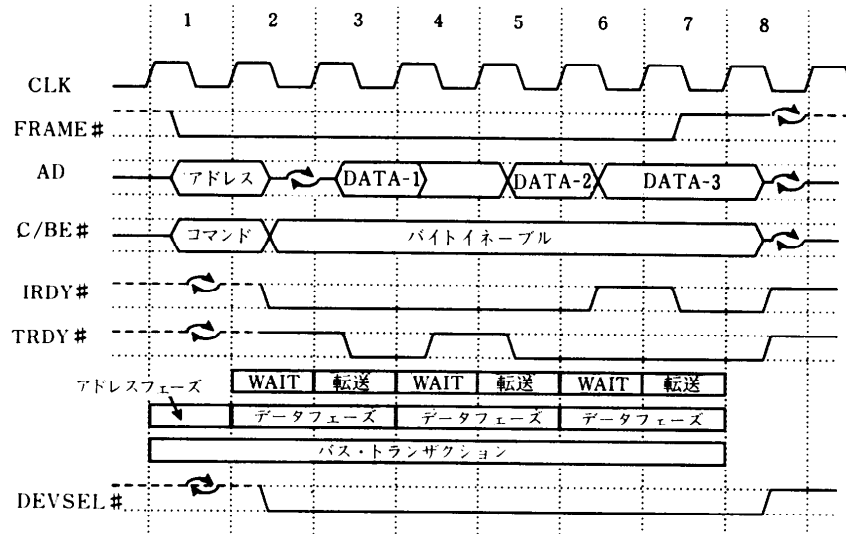
表-2 PCIバスの信号

信号	タイプ	意味
CLK	in	クロック
RST #	in	リセット
AD [31:0]	t/s	アドレス/データ
C/BE [3:0] #	t/s	コマンド/バイトイネーブル
PAR	t/s	パリティ
FRAME #	s/t/s	サイクル・フレーム
IRDY #	s/t/s	イニシエータ・レディ
TRDY #	s/t/s	ターゲット・レディ
STOP #	s/t/s	ストップ
LOCK #	s/t/s	ロック
HDSEL	in	初期化デバイスセレクト
DEVSEL #	s/t/s	デバイスセレクト
REQ #	t/s	リクエスト
GNT #	t/s	グラント
PERR #	s/t/s	パリティ・エラー
SERR #	o/d	システム・エラー
INTA #	o/d	割り込み A
INTB #	o/d	割り込み B
INTC #	o/d	割り込み C
INTD #	o/d	割り込み D
SBO #	in/out	スヌープ・バックオフ
SDONE	in/out	スヌープ完了
AD[63:32] *	t/s	アドレス/データ(64ビット拡張)
C/BE[7:4]# *	t/s	コマンド/バイトイネーブル(64ビット拡張)
REQ 64 # *	s/t/s	64ビット転送リクエスト
ACK 64 # *	s/t/s	64ビット転送アクノレッジ
PAR 64 *	t/s	上位32ビット・パリティ
TCK	in	テストクロック
TDI	in	テストデータ入力
TDO	out	テストデータ出力
TMS	in	テストモードセレクト
TRST #	in	テストリセット

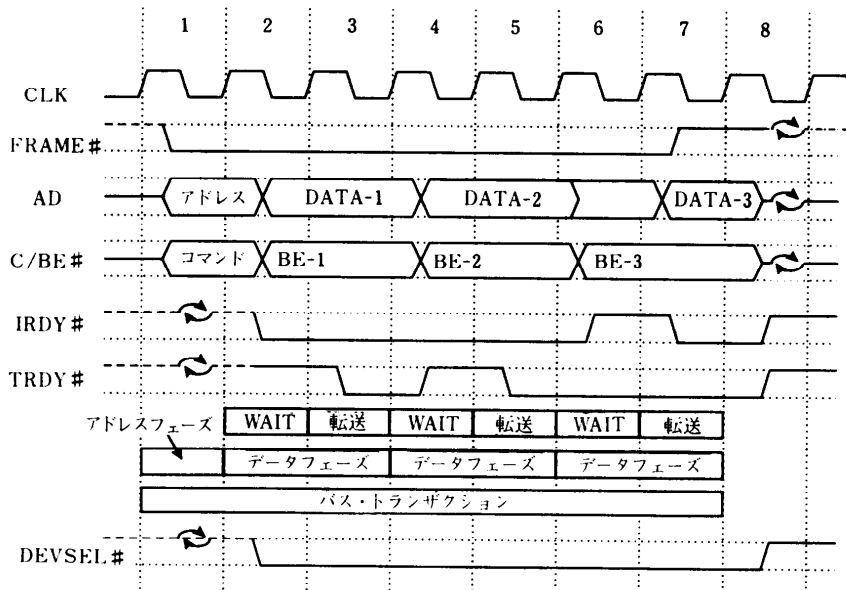
in : 入力
out : 出力
t/s : トライステート(双方向)
s/t/s : サステインド・トライステート
o/d : オープンドレイン

デバイスが出力する TRDY #信号の両方がアクティブ（'L'）のサイクルでデータの送受信が行われる。

PCIバスのデータ転送の基本は、バースト転



(a) リード・トランザクション



(b) ライト・トランザクション

図-1 PCIバスのトランザクション・タイミング

送である。バースト転送とは、1つのアドレスフェーズと複数のデータフェーズにより構成されるトランザクションのことである。複数のデータフェーズでは、アドレスフェーズで与えられた先頭アドレスから昇順に複数のデータを転送する方式が一般的である。

2.3 コマンド

コマンドは、マスタデバイスが要求しているデータ転送の種類を示す。コマンドは、アドレスフェーズで、C/BE[3:0]#信号に出力される。

PCIバスで定義されている12種類のコマンドを表-3に示す。

2.4 トランザクションの終了

トランザクションの終了には、マスタデバイスが主導的に行う終了とスレーブデバイスが行う終了の2種類がある。詳しい説明は省略する。

(i) マスタが主導的に行う終了

- ①完了 (completion)
- ②タイムアウト (time out)
- ③マスタアボート (master abort)

(ii) スレーブが主導的に行う終了

- ① ディスコネクト (disconnect)
- ② リトライ (retry)
- ③ ターゲットアボート (target abort)

表-3 PCIバスのバスコマンド

C/BE[3::]#	コマンド・タイプ
0000	割り込みアクノレジ
0001	特殊サイクル
0010	I/O リード
0011	I/O ライト
0100	予約
0101	予約
0110	メモリ・リード
0111	メモリ・ライト
1000	予約
1001	予約
1010	コンフィギュレーション・リード
1011	コンフィギュレーション・ライト
1100	メモリ・リード・マルチプル
1101	デュアル・アドレス・サイクル
1110	メモリ・リード・ライン
1111	メモリ・ライト・アンド・インバリデート

3. PCIバスシステムの実例

図-2にPCIバスを用いたシステムの例を示す。

バスの階層化と複数バスの同時動作がPCIバスの特徴であるため、PCIバスにはさまざまなバスブリッジ回路が必要になる。ホスト-PCIブリッジ (HPB) は、CPUとPCIバスを接続するためのブリッジである。CPUと主記憶間の高速度データ転送のために、HPBは、主記憶やキャッシュメモリとのインタフェースを備えるのが一般的である。PCIバスのほとんどのマスタデバイスに対してスレーブとなるデバイスは主記憶であるため、HPBのPCI-主記憶間のデータ転送回路には高い処理能力が要求される。

PCI-ISAブリッジ (PIB) は、PCIバスとISAバスを接続するブリッジである。ISAバスはPCIバスに比べると低速 (8Mバイト/秒) であるため、マスタデバイスが、PIB経由でISAバスのデバイスにアクセスする場合、PCIバス上のトランザクションには長いウェイトサイクルが必要となる。このようなトランザクションが頻繁に発生すると、PCIバス本来の性能が発揮で

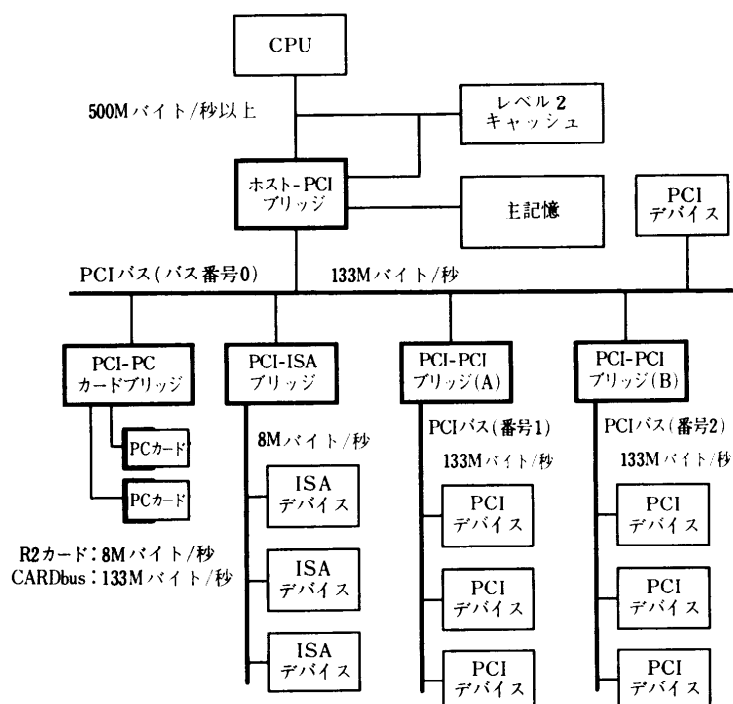


図-2 PCIバスシステムの例

レイテンシはゼロと仮定した。

このグラフは、① PCIバスの転送能力は、バースト回수에依存していること、②転送能力は、バースト回数が少ない場合は、 tl の値が支配的であり、バースト回数が多い場合は、 bl の値が支配的であることを示している。大量のバースト転送をウェイトサイクルなく処理することが、PCIバスにおける高速化の基本である。

スレーブデバイスのバースト転送能力を向上するために、2種類のデータバッファが使用される。ライト動作時に使用されるライトデータ受け取りバッファをライトバッファと呼び、リード動作時に使用されるデータ先読みバッファをプリフェッチバッファと呼ぶ。どちらも、数段～十数段のFIFO (First In First Out) 型バッファにより構成される。

ライトバッファは、メモリライト系コマンドのトランザクション情報 (アドレス、データ、ライトイネーブルなど) を記憶するためのバッファである。データ受け取り完了信号 (TRDY #) は、ライトバッファに記憶した時点でマスタデバイスに対して通知され、真のライト動作はその後で行われる。したがって、ライトバッファは、 tl 、 bl 値の短縮に効果的である。

プリフェッチバッファは、メモリリード系コマンドに対して動作するデータ先読みバッファである。ターゲットは、先頭アドレスからアドレス加算方向に先読みしたデータを、プリフェッチバッファに格納しておくことによって、マスタデバイスに対して絶え間なくリードデータを供給することができる (bl 値低減)。

4.3 ディレイド・トランザクション

ディレイド・トランザクション (以下DT) は、PCIバスの複数マスタデバイスのデータ転送動作を効率化するための機構である。マスタデバイスが、低速なISAデバイスや、PCIブリッジの向こう側のスレーブデバイスをアクセスする場合、1つのマスタのバスサイクルが、バスを長時間占有する場合がある。その結果、ほかのマスタがバスを使用できなくなり、性能低下やタイムアウトが発生する原因となる。そこで、PCI仕様2.1では、ターゲットレイテンシ (FRAME # から第1のTRDY #までの時間) が長いターゲットは、DTをサポートしなければならない、と

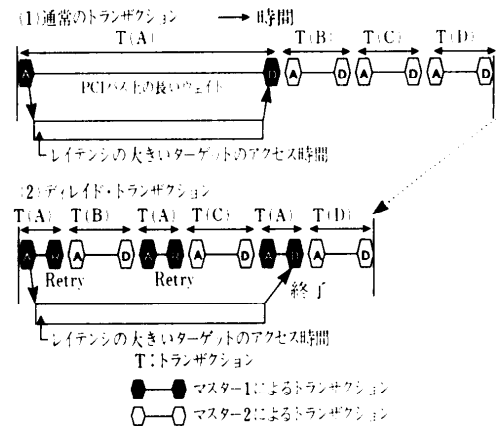


図-5 ディレイド・トランザクションの効果

いう規則を新たに設けた。DTのメカニズムは以下のとおりである。①スレーブデバイスが、マスタからのトランザクションに対して、16 PCIクロック以内にTRDY #を返すことができない場合は、そのトランザクションの内容を記憶した後、マスタデバイスに再実行要求を通知し、いったんトランザクションを終了する。②その後、マスタデバイスが同じトランザクションを再実行するまでの間に、ターゲットは記憶した処理を完了させる。③その直後の再実行トランザクションに応答してデータ転送完了動作を行う。

DTの結果、PCIバスに長いウェイトサイクルが発生することがなくなるため、ほかのマスタデバイスのトランザクションが間に入り込むことができる。DTの効果を図-5に示す。

また、複数のディレイド・トランザクションを同時に記憶できるスレーブデバイスは、データの一貫性を保持した上で、記憶したディレイド・トランザクションの順番を入れ替えて処理することにより、効率を向上することも可能である。

5. 電気的特性

PCIバス上の信号は、PCI仕様書の定める電気的特性を満足しなければならない。信号電圧によって、5Vと3.3Vの2種類の仕様が定められており、その中でもとくに注意すべき項目は、次の3つである。

- ①入力しきい値電圧 ($V_{IH} \cdot V_{IL}$)
- ②出力電流 ($I_{OH} \cdot I_{OL}$)
- ③出力エッジレート ($t_r \cdot t_f$)

5.1 入力しきい値電圧

V_{IH} は、それより高い入力電圧を、High レベルと認識し、 V_{IL} は、それより低い入力電圧を、Low レベルと認識することを保証する値である。入力電位が、 V_{IH} と V_{IL} の間にあるときは、受信する LSI の動作環境（電源電圧や温度）や製造ばらつきにより、High/Low どちらに認識されるか分からない。

V_{IH} と V_{IL} を定める目的は、1 つには、ドライバの出力インピーダンスと伝送負荷から決まる、High/Low 信号の電位変動の許容値を定めるためであり、もう 1 つには、信号線に発生するノイズに対して、レベルの誤認識をしない最大値を保証するためである。

具体的には、PCI の入力しきい値仕様は、表-4 のとおりである。（ V_{CC} は電源電圧）

5 V の $V_{IH} \cdot V_{IL}$ 仕様は、よく使われる LVTTL 仕様と同一であるが、3.3 V の仕様は、LVTTL や CMOS レベルよりも厳しい仕様となっており、よりノイズマージンをもたせている。

5.2 出力電流

出力電流（インピーダンス）は、前述の入力しきい値と深い関わりがあり、High/Low 値をドライブするとき、信号線に許された最大負荷に対しても、入力側に V_{IH} 以上・ V_{IL} 以下の電位が受信されるように定める。そのため、通常は、許容最小値のみを規定すればよいのだが、PCI の場合は、さらに AC 仕様として、信号の変化時に流れる電流の最大・最小値も規定している。これは、PCI の信号伝送が、“反射”によってなされるためである。3.3 V 信号環境における出力電流仕様を、表-5 に示す。

5.3 出力エッジレート

無負荷状態における、PCI 出力信号の High から Low、または Low から High へ変化する際の変化時間が、表-6 のように定められている。

たとえば、3.3 V の場合の変化時間は、約 0.33 ns~1.32 ns となり、かなり急峻な信号変化が要求される。これは、反射による伝送と、スイッチングノイズの軽減を達成するためである。

6. PCI バスの今後

今後の PCI バスは、さらなるデータ転送能力の向上を目指して、データ幅の 64 ビット化、ク

表-4 PCI の入力しきい値仕様

	5 V 信号環境		3.3 V 信号環境		単位
	最小	最大	最小	最大	
V_{IH}	2	$V_{CC}-0.5$	$0.5 * V_{CC}$	$V_{CC}+0.5$	V
V_{IL}	-0.5	0.8	-0.5	$0.3 * V_{CC}$	V
V_{CC}	4.75	5.25	3	3.6	V

表-5 3.3 V 信号環境における出力電流仕様

	条件	最小	最大	単位
I_{OH}	$0 < V_{out} \leq 0.3 V_{CC}$	$-12 V_{CC}$		mA
	$0.3 V_{CC} < V_{out} < 0.9 V_{CC}$	式 E	式 F	
	$V_{out} = 0.9 V_{CC} (DC)$	-0.5		
I_{OL}	$V_{out} = 0.1 V_{CC} (DC)$	1.5		mA
	$0.1 V_{CC} < V_{out} < 0.6 V_{CC}$	式 G	式 H	
	$0.6 V_{CC} \leq V_{out}$	$26 V_{CC}$		

式 E: $17.1(V_{CC} - V_{out})$ (mA)

式 F: $(98.9/V_{CC}) * (V_{out} - V_{CC}) * (V_{out} + 0.4 * V_{CC})$ (mA)

(テストポイント: $V_{out} = 0.7 V_{CC}$ のとき、 $I_{OH} \leq -32 * V_{CC}$ mA)

式 G: $26.7 V_{out}$ (mA)

式 H: $(256/V_{CC}) * V_{out} * (V_{CC} - V_{out})$ (mA)

(テストポイント: $V_{out} = 0.18 V_{CC}$ のとき、 $I_{OL} \leq 38 * V_{CC}$ mA)

表-6 PCI の出力エッジレート仕様

	5 V 信号環境			3.3 V 信号環境			単位
	条件	最小	最大	条件	最小	最大	
tr	0.4 V-2.4 V	1	5	0.2 V_{CC} -0.6 V_{CC}	1	4	V/ns
tf	2.4 V-0.4 V	1	5	0.6 V_{CC} -0.2 V_{CC}	1	4	V/ns

tr: 信号の L→H 変化の傾き特性

tf: 信号の H→L 変化の傾き特性

ロックの 66 MHz 化へ向かうとともに、PCI バスを用いたシステムの動的なクロック停止など、低消費電力化技術が今後重要である。

参考文献

- 1) PCI SIG: PCI Local Bus Specification, Production Version Revision 2.0 (1993).
- 2) PCI SIG: PCI System Design Guide, Revision 1.0 (1994).
- 3) PCI SIG: PCI to PCI Bridge Architecture Specification, Revision 1.0 (1994).
- 4) Shanley, T. and Anderson, D.: PCI System Architecture (1993).

(平成 8 年 7 月 19 日受付)



岡本 光正 (正会員)

1953年生. 1977年静岡大学工学部情報工学科卒業. 同年(株)東芝入社. 以来, ミニコンピュータ CPU 開発, マイクロプロセッサ開発に従事. 現在, (株)東芝青梅工場コンピュータ LSI 開発センター主査. 電子情報通信学会会員.



村岡 寛昭

1961年生. 1984年東北大学工学部電子工学科卒業. 同年(株)東芝入社. 以来, ASIC の設計業務に従事. 現在, (株)東芝 IC センター産業用 LSI 開発部設計第一担当主務.



的場 司 (正会員)

1959年生. 1982年明治大学工学部電子通信工学科卒業. 同年(株)東芝入社. 以来, マイクロプロセッサ, システム LSI 開発に従事. 現在, (株)東芝青梅工場コンピュータ LSI 開発センターコンピュータ LSI 技術開発担当グループ長. 電子情報通信学会会員.