

脳研究から情報処理へ—脳型コンピュータの開発にむけて—

Information Science from Brain Research - Toward R & D of Brain Like Computer - by Gen MATSUMOTO (RIKEN), Yukifumi SHIGEMATSU and Michinori ICHIKAWA (Electrotechnical Laboratory).

松本 元¹ 重松 征史² 市川 道教²

1 理化学研究所
2 電子技術総合研究所

1. はじめに

脳は情報処理の仕方(アルゴリズム)を自動獲得するシステムで、工学的にはメモリベースアーキテクチャの非フォンノイマン型コンピュータである。脳型コンピュータがアルゴリズムを自動獲得する基本素子プロトタイプが、学習性と超並列性を兼ね備えたシリコン半導体 LSI チップとして現在工学実現されつつある。さらに、将来脳型コンピュータは、従来のプロセッサ・ベース・アーキテクチャのフォンノイマン型コンピュータと同様に計算汎用性をもちながら、柔軟な情報処理を行うことができるようになるほど、従来のコンピュータと相補的に新しい情報世界を拓くだろう。

ここでは、脳型コンピュータがアルゴリズムを自動獲得し、その獲得するアルゴリズムの目的・評価も自動決定できる戦略(ブレインウェア)を、脳そのものの研究によっても明かにすることにより、実用システムとしての脳型コンピュータを研究開発する努力とその過程について紹介する。

2. “脳の理解” への2つのアプローチ

脳は情報処理のアルゴリズムを自動獲得するシステムである。このため、脳が獲得したアルゴリズムを分析的に研究し、そのアルゴリズムを解明することで“脳を理解する”というアプローチがある。脳の高次機能の研究に代表され、また現在の脳神経科学の生理研究の大部分で採られているアプローチである。また、このアプローチによる研究が、“脳を創る”工学努力と脳の計算理論¹⁾を支援する。この工学努力によって創られる脳の

実体は、現在の(プロセッサ・ベース・アーキテクチャのノイマン型)コンピュータそのものであるが、このコンピュータのソフトウェアを作るとき脳の分析研究が解明したアルゴリズムがモデル化されソフトウェア化のために大いに活用されるのである²⁾。

これに対し、脳の情報処理のアルゴリズム自動獲得の戦略(この戦略のアルゴリズムは遺伝情報が獲得したもので、これをブレインウェアと呼ぼう)を解明し、これをもとに工学システム(この工学システムを脳型コンピュータと呼ぶ)を再構成することによって、“脳を理解する”という脳の構成的研究アプローチがある。この研究アプローチは、鳥が空を飛ぶことができるという機能に着目し、空を飛ぶことの工学産物としての飛行機の研究開発と比べることができよう。研究開発から、空を飛ぶための原理として揚力と推進力が必要であることが分かる。この原理を知ることで、鳥そのものの研究が明かにした構造や機能に関する分析研究をさらに深められる。脳型コンピュータは、脳をまさに工学的に再構成するので、これによって、たとえば顔パターン認識が行えるコンピュータが開発されたとしても、なぜ認識できるのかのアルゴリズムはすぐさま分からない。しかし、脳型コンピュータが獲得したアルゴリズムを分析すれば、脳が獲得するアルゴリズムの理解に大いに役立つことになるので、脳の分析研究に資することができる。さらに、脳の構成的研究は脳という情報処理システムの発現の特異性を明かにするので、脳の情報処理システムとしての特異性の現象的顕れである“心”について、脳の立場から理解する道を拓くことになろう³⁾。

脳：メモリベース・アーキテクチャ 非フォンノイマン型コンピュータ

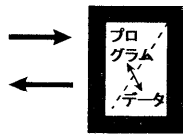
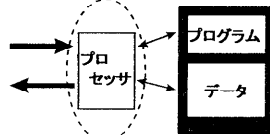
脳：メモリベースアーキテクチャ	プロセッサベースアーキテクチャ (フォンノイマン型コンピュータ)
 メモリ(能動的)	 メモリ(受動的)
プログラム・データの自動獲得	情報処理の目的と手続きを 人がプログラムとして与える
メモリの検索時間=出力時間	逐次処理: 演算時間=素子の速度×ステップ数
柔軟な情報処理 入力情報に対し出力する事が 必要とあれば適宜に対応できる 計算汎用性があると思われる 脳が第1次的に価値あると判断 する事柄に対する完全な処理シ ステムを作る	固い情報処理 プログラムに書いてあることしか 反応しない 計算汎用性が保証されているが そのためにマニュアルを完備する ことが必要とされる
大規模問題 メモリを階層構造化し追加学習 能で対処	大規模問題 ソフトウェア開発に対する負担増 (ソフトウェアクライシス)
ハードウェア:単一の基本素子だけ で	ハードウェア:各種プロセッサとメモリ
低消費エネルギー:脳の必要な 領域だけ活性化させるだけ	消費エネルギーの増大:プロセッサ の高速化に伴って付随する問題点

図-1 メモリベースアーキテクチャとプロセッサベースアーキテクチャの比較

3. 脳型コンピュータ：脳とはどういうコンピ ュータか

脳のコンピュータイメージは次のようなものと考える^{3),4)}：脳は学習によって情報処理のアルゴリズムを自動獲得する。すなわち、脳という表引きテーブルに答えをあらかじめ用意する。入力情報は、脳にある答え(脳があらかじめ用意したアルゴリズム)の中からどれを選択するかを検索する情報として用いられる。脳はこの検索のために入力情報の粗い意味概念を把握し、その結果に基づき入力情報を評価し、出力することが必要とあれば出力する。出力すると学習効果が生じアルゴリズム(答え)の変更が起りうる。

脳のこのコンピュータイメージは、脳はメモリベースアーキテクチャの非フォンノイマン型コンピュータである(図-1)、ということである。これ

に対し、現在商用のすべてのコンピュータはプロセッサベースアーキテクチャのフォンノイマン型コンピュータである。後者は、人がコンピュータにプログラムを与えることによって、情報処理のアルゴリズムが与えられ、その命令に忠実に従って情報処理を行うシステムである。プログラムに書いてあることはそのとおりに実行するが、プログラムに書いていないことにはまったく対応できない、という意味で“固い情報処理システム”である。このコンピュータはチューリングマシンであり計算汎用性が保証されているが、このために必要なことはプログラムという形でマニュアルを完備することである。このため曖昧で不完全な情報をもとに情報処理を行うことの多い実社会への対応や、不測の事態に対する危機管理などを現在のコンピュータで行うことはきわめて難しい。人工知能が実現しない由縁である。これに対し、前者はいわばプログラムやデータを自動獲得するので、プログラムを与えなくとも動く点でチューリング機械を超えている。さらに、

入力情報から出力することが必要と判断すれば、何らかの答えを選択し外部状況に適宜に対応するので、“柔軟な情報処理システム”である。脳型コンピュータは、したがって、脳と同じように高度な知能も獲得でき、曖昧で不完全な情報に対する実社会や不測の事態への対応が行える。脳型コンピュータの情報処理に要する時間は、答えの検索に要する時間で決まる。このことが、数10ミリ秒の神経細胞という素子を用いながら、脳での高次機能情報処理(たとえばパターン認識など)がやはり数10ミリ秒という高速で行いうる由縁である。ここで注意しなくてはならないのは、脳がメモリベースアーキテクチャである、というときのメモリは、アルゴリズムの形成・保持という意味で、しかもこのアルゴリズムは出力され使われると変更することができる能動的なものであることである。これに対し従来のコンピュータのメ

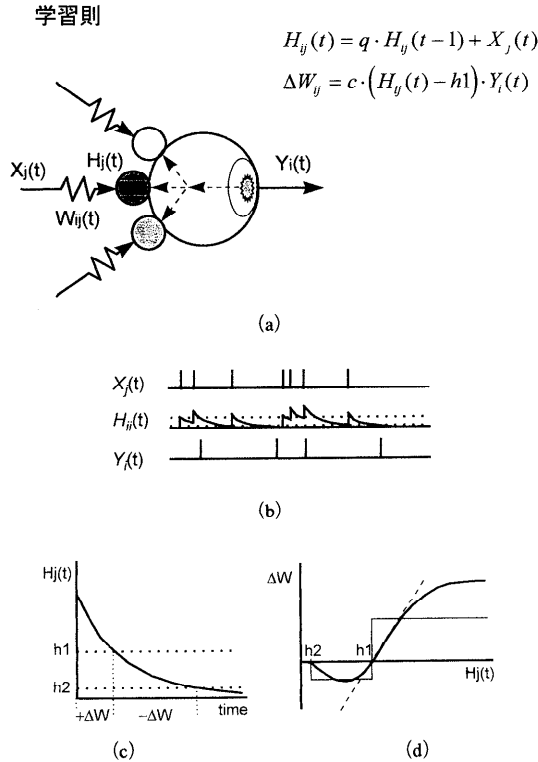


図-2 時系列情報を取り込むための学習則

各入力に体する履歴値は自らまたはほかからの出力信号をトリガとして増強・減衰する(a)。履歴値 $H(t)$ は、減衰定数 q と入力 $X(t)$ により、 $H_{ij}(t) = q \cdot H_{ij}(t-1) + X_j(t)$ と表され、各重みの変化方向は、 h_1 を境に増強または減衰する ($\Delta W_{ij} = c \cdot (H_{ij}(t) - h_1) \cdot Y_i(t)$)。ただし、履歴値 H が h_2 以下では、時間的相関がほとんどないので重みは変化しない(c,d)。

メモリはデータの貯蔵であり、受動的なものである。

脳型コンピュータは柔軟な情報処理が本格的に行える初めての工学システムであるのみならず、次の特徴をもつ：(1) 基本的にはプログラムは自動形成されるのでプログラム作成に対する負担が著しく軽減される、(2) 答えを検索して出力するだけなので、きわめて超高速情報処理が行える、(3) ハードウェア開発としてはまったく同じ基本素子を開発し、大量に接続すればよいのできわめて日本の産業に適合し、これによってプロセッサの開発で従来米国などからの遅れをいっきよに回復し、凌駕でき、さらに(4) 大規模で複雑な問題に対しても階層化で積み上げてゆくことができるので、ソフトウェア危機を解消できる。脳型コンピュータの開発は本格的人工知能の出現を可能にし、実世界対応の情報処理が本質的に可能となる世界初のコンピュータとなろう。

4. ブレインウェア：アルゴリズム自動獲得のアルゴリズム

脳の情報処理のアルゴリズム自動獲得の戦略(アルゴリズム)としてのブレインウェアは、学習性と学習制御性である。学習性は神経細胞の基本的性質として備えられており^{4),5)}、学習制御性は脳の二重構造として表現されている^{4),6)}。ともに遺伝情報が獲得したアルゴリズムである。この意味で、ブレインウェアは遺伝情報が自動獲得したアルゴリズムである、といえる。遺伝情報のアルゴリズム自動獲得のアルゴリズム(ゲノウェアとも名づけるべきもの)を考えるためには、生物が非線形非平衡系(開放系)であるという立場からの考察が重要であろう³⁾。

4.1 学習性

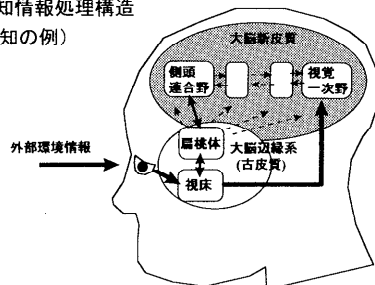
学習効果とは神経細胞間での情報伝達効率の変化であり、変化の方向は強化または減弱のいずれかである。学習効果は、神経細胞から出力があるなどの強い活動が生じた場合に生じる。神経細胞が入力を得たにもかかわらず強い活動を生じるに至らなかったとき、入力を得たシナプス部位には入力を得た痕跡が、時間とともに減衰するが、ある特定の時間保持される。その後、この細胞が強い入力刺激を得て細胞にインパルスが発生したとすると、このインパルスは樹上突起や細胞体へ能動的に逆行的あるいは順行的に伝播することがある。このインパルスが伝播した部位にあるシナプスに残留する痕跡値が閾値(h_1)を超えているときシナプスは強化される。痕跡値が h_1 以下で、もう1つの閾値(h_2)を超えているとき、そのシナプスは減弱される、と考える⁶⁾(図-2(c))。

神経回路は入力信号により情報処理をすると同時に、回路の機能自体を学習により更新し、結合係数の関係の中に経験として記憶する。したがって、神経回路の学習・記憶とは、入力信号により神経細胞が活動応答をしたとき結合係数をどのように更新するかという学習則に依存しているといえる。

従来、ニューラルネットワークで一般的に用いられたバックプロパゲーションなどの学習則は、必ずしも生理的な知見から導かれたものではない。そのため脳型情報処理のシステムを新しく構築しようとするとき、もっと神経生理的な仕組み

学習制御性の為の脳の二重構造

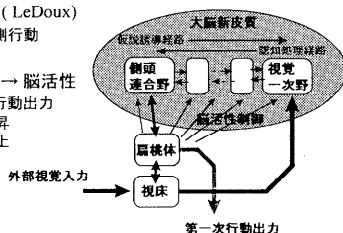
1. 脳の認知情報処理構造 (視覚認知の例)



2. 一次価値判断回路の脳情報処理に対する意味

(1) 生物学的意味 (LeDoux) 危険回避、予測行動

(2) 一次価値判断 → 脳活性 制御と無意識性行動出力 快 → 脳活性上昇 → 学習性向上



3. 脳の仮説立証方式：脳の情報検索の手法

粗い意味情報をもとに活性化すべき領域を選択する
→ 行動出力のための価値情報

図-3

から導かれる実際に近い新しい学習則が必要となる。それをもとに神経ネットワークを自己構築する道が開けることになる。

一方、時間・空間情報が神経系にどのような形態で記憶されているかと考えたとき、3次元の空間座標ともう1つの次元として時間座標(時刻)の情報を脳神経回路にそのまま記憶することはできない。したがって、脳神経系は時空間情報を自らの回路の中に取り込める学習則を用いて、内部表現に変換し記憶を形成していると考えられる。そこで時間の概念を想起することは非常に難しいことが分かる。たとえば、朝起きてからのできごとを発生順序に想起できても、それぞれの発生時刻を正確に想起することはできない。ただ、時計という計測手段をもって、ものごとと時刻を関連づけて記憶したとき初めてできごとと発生の時刻を想起できる。したがって、物理的な時間の概念とは異なる時間の概念が脳内表現として取り入れられなければならない。

脳神経系の情報処理を考えると、同時に起こる空間的な相互の情報処理にもまして、ものごとと起こった時間の順序関係が、非常に重要であるこ

とが分かる。たとえば条件学習のように、ある刺激CS(音や光)が入力したあと、次の刺激UCS(エサや電気ショック)が入力する学習をすると、その後では、音刺激CSのみでエサ刺激UCSを予想した行動を起こすようになる。したがって、脳神経系の時間の脳内表現においても、ものごとの発生の順序関係を記憶として蓄積するものとの概念が採用されるのが自然であろう。最近の神経生理研究によると、学習・記憶に関する神経細胞レベルの実験成果から、入力刺激によって細胞間の結合係数の変化が長期的に増強(LTP)されたり抑圧(LTD)されたりすることが、学習の重要な役割を担っていることが分かってきた。この生理的研究結果と上記の時空間情報の脳内表現を考慮した神経回路素子の学習則を次に述べる。

生理学的に無理なく考えられる学習や、有名なHebbの学習則がある。それによると入力と出力が同時に発火したときに結合係数 W が増加するという法則である。 j からの入力を $X_j(t)$ 、 i の応答を $Y_i(t)$ とすると、次のように表される。

$$W_{ji} = c \cdot X_j(t) Y_i(t) \quad (1)$$

ここで c は学習速度である。ただし、この学習が意味をもつのは、入出力が同時刻に生じるときであり、前後関係の時系列を学習するためには工夫が必要である。

生理的な実験からは、入力信号による活動電位が集積してシナプス部をある程度脱分極することでNMDA受容体のチャンネルが開き内部Caイオンの濃度を高めることが、結合の長期変化に影響を与えるものと考えられている。この入力の影響がCaイオン濃度としてシナプス刺部分にしばらく残ることを学習則に取り入れ、入力を時間的に集積し漏洩する要素を入力履歴値 $H(t)$ として、次のように定める。

$$H_{ji}(t) = X_j(t) + qH_{ji}(t-1) \quad (2)$$

ただし、 $q(0 < q < 1)$ は履歴の減衰定数である。この入力信号の時間的な履歴値が各シナプスでしばらく保持されていると仮定することによって、時間要素を考慮する学習則へと発展できる。

入力履歴値を用いてHebb学習則を修正すると、入力依存性と出力依存性の2つの学習則が考えられる。入力履歴があるとき入力があると結合の強化が起こる入力依存型学習則は、時間順序の

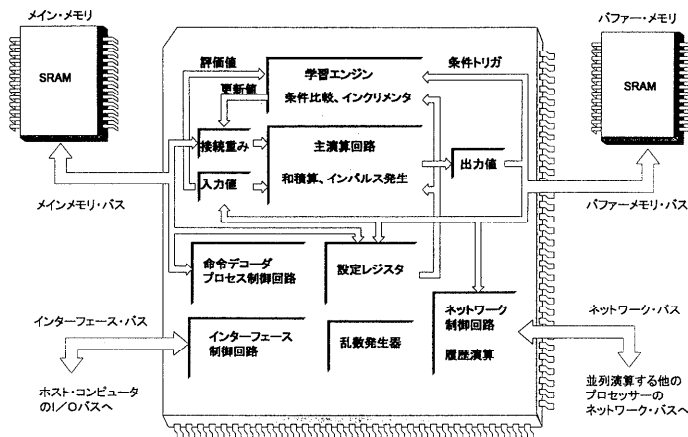


図-4 プロセッサの内部ブロック図

主演算部は2個の積算器と加算器、アキュムレータ、比較器からなる。これらはまったく並列に動作し、パイプラインで演算を高速実行する。学習演算部は比較判定論理と履歴計算、インクリメントなどの回路で構成されていて、主演算と並列に動作する。そのため、このプロセッサでは学習のための実行時間はみかけ上ゼロにある。設定レジスタは14本あり、細胞や接続の特性、学習パラメータなどをプログラムから設定する。メモリは2系統あり、一方をメイン、他方をバッファと呼ぶ。メイン・メモリはプログラム・コード（インストラクションのリスト）と接続情報（重みの値と更新に必要な情報）を格納し、バッファ・メモリは各細胞の活動を履歴を含めて保持する。2系統にした理由は、主演算が接続情報と入力の細胞活動の両方を同時に必要のため、メモリ/アクセス時間を短縮するための工夫である。将来、オンチップ・キャッシュにすれば、メモリは1系統でよい。乱数発生回路は3種のm系列乱数を発生し、学習パラメータを分散させ、学習が画一的になるのを防いでいる。命令デコーダは命令数が少ないので非常に簡単であり、プロセス制御も簡単なステート・マシンとカウンタで実現されている。ネットワーク制御回路はバッファ・メモリのアクセスとネットワーク・バスを介してのリード・ライト制御が主たる役割である。また、間接アドレッシング用のテーブルメモリを内蔵し、定型的なパターンのアクセスを高速化している。

正しい学習ができず、出力依存型学習則がモデルとして好ましいことが分かった。我々の提案する出力依存型学習則とは、図-2に示すように、入力の履歴値が各シナプスに保持されていて、次の入力で細胞が発火するとその出力発火信号が細胞内を逆方向にシナプスにも伝わり、出力に依存した結合係数の増強が起こるという解釈である。これを式で表すと次式になる。

$$W_{jh} = c \cdot H_{jh}(t) Y_h(t) \quad (3)$$

この方法により、できごと間の関係を、先に発火した細胞から後に発火した細胞への結合を強化するように学習できる。したがって、時間順序を非対称な結合係数の形で記憶して、先の入力から次のできごとを予測する再起読み出しが可能となる。この時系列学習法から時間情報の内部表現は、

結合係数が非対称な形で時間順序が保たれた記憶回路を構築することと解釈できる。

これを生理的な表現にすると、入力信号の履歴が各シナプスにCaイオン濃度のような形で保持されていて、そこに強い刺激で細胞が発火するとその発火の信号が樹状突起を逆伝搬して各シナプスに伝わり、時間相関的な履歴値に応じて結合係数を変化させると解釈する。さらにCaイオン濃度がある値より低いと、結合の強化でなく逆に減衰を起こすことも生理的に確かめられている。このことから学習の閾値を設け、入力履歴値の大きさにより減衰も考慮した学習則が導かれる。

発火した*i*細胞での学習は、次式のように示される。

$$\Delta W_{ij} = c \cdot (H_{ij}(t) - h_1) Y_i(t) \quad (4)$$

ただし、 h_1 は学習の増強/減衰の閾値である。また、変化しない第2の学習の閾値 h_2 ($h_1 > h_2 > 0$)も考える。履歴値に対して結合係数がどう変化するかは、履歴値Hが、 h_1 以上では時間相関が強く増強となり、 h_1 と学習抑圧閾値 h_2

($h_1 > h_2 > 0$)間のとき時間相関が曖昧として、結合係数の減衰として働くこととする。ただし、履歴値が h_2 以下の場合、ほとんど相関がなかったとして ΔW_{ij} はゼロであるとし、もとの値を保つように学習する。以上が、新しい時系列学習則である。

この学習則により構築される神経回路は、時空間情報または連想記憶の内部表現をどのようにもつのだろうか。我々は、空間情報は双方向で対照的に結合が強化され、時間情報は時間順序に従った非対称な結合の強化として回路に記憶されることになり、神経細胞素子間の結合係数の中に時空間の記憶が保存されると考える。

4.2 学習制御性

脳は、どのような情報についてのアルゴリズム

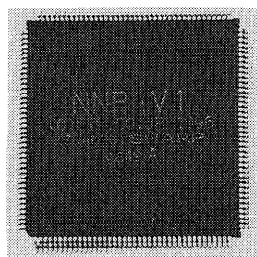


図-5 ASICで実現された脳型コンピュータ・チップ

を自動獲得するのだろうか。脳は、自動獲得するアルゴリズムに対する情報についても自動選択するシステムである。これは脳の二重構造性が基調になっている、と思われる^{4),6)}。脳は視床で入力情報の粗い意味を把握し、その結果に基づいて入力情報を評価し、第1次の行動出力を出す。この評価がポジティブ(入力情報が価値ある)と判定すると、モノアミン系の伝達物質などによって脳活性が高まり、このため学習効果が向上するので、脳は自らが価値あると認めた情報に対するアルゴリズムを獲得する。脳が視床-扁桃体で価値の即断が行われたとき、まだ新皮質では情報処理が行われているからである(図-3)。

さらに、視床-扁桃体での粗い意味情報は新皮質の答えの領野を粗く指定するトップダウン処理のための仮説として使われ、脳のメモリベースアーキテクチャとしての検索を行う⁶⁾。この意味で、脳の情報処理は仮説立証主義である^{3),6)}、といえる(図-3)。

このような脳の二重構造性を取り入れた脳型コンピュータの研究開発は、まだ端緒についたばかりである。

5. シミュレーション・システム

これらのアイデアを検証するにはコンピュータを用いたシミュレーションがおそらく最適な方法だろう。だが、大きなシミュレーションのため、実行時間の点で問題がある。そのため、原理シミュレーションと並行して、アイデアを回路図にする努力に集中し、専用プロセッサという形でエミュレーションを実現した(図-4)。

神経細胞をハードで実現する場合、神経細胞をどのレベルまでハード化にして、どのレベルからソフト的にするかということが問題になる。我々

が選んだのは、接続の計算と細胞の計算、学習の計算をハード・レベルで実現して、相互接続と各種設定をソフト・レベルで実現するという方法である。できるだけ柔軟にするため、計算のパラメータを代入可能なレジスタに置き、細胞の計算を要素に分解したインストラクションに従って逐次演算するプロセッサにした。いわば、通常のプログラムで1個のサブルーチンで実行する内容を1個の命令に置き換えたようなものである。細胞計算に必要な固定タスクは、演算の性質に従って専用の並列演算器で実行し、全体的にはパイプラインで処理される。したがって、通常のCPUに比べ圧倒的に速くタスクを完了できる。実際、このプロセッサが主演算中の2クロックで実行する内容は、主なものだけで、4ビットの加算4回、4ビットの積算2回、32ビットの加算2回、16ビットのメモリの読み出し3回、書き込み1回、比較4回、ビットシフト2回、間接アドレスのポインタ更新2回、乱数発生3回である。つまり、通常のCPUでの数十クロック相当の内容を2クロックで処理しているのである。

プロセッサのコア論理回路は約35Kゲートである。25MHzで動作するこのプロセッサは200MHzのペンティアムより高速に神経回路の計算を実行する。しかも、200プロセッサ程度の並列動作が可能で、20~50万個の細胞をおおむねリアルタイムに仮想実現することができる。プロセッサのコアを実現したASICはCMOS 0.8 μ m技術のシーオプゲート・ゲートアレイである。パッケージは160ピンの標準QFP(図-5)で、4個の1Mビット高速SRAMを接続することで、1個プロセッサを構成する。現在運用中の試験用のシステムは、16個のプロセッサを並列に使用しており、500以上の結合をもつ約2万個の神経細胞を約20msecで計算する能力を有している。試作プロセッサはSRAMが外づけとなっているが、次期バージョンでは内部にキャッシュを内蔵し、DRAM化する予定である。さらに、実用段階ではDRAMも内蔵して(チップ面積からいえば、DRAMにプロセッサを同居させてというべきだろう)、32ピンのSOJパッケージに収められよう。

この外見はメモリと同等のチップを20~30個実装したカードをパソコンのスロットに入れる

ような形でアプリケーションを実行する姿が数年先のイメージである。

6. おわりに

現代は情報の時代であり、インターネットを介し頻繁に事実(データ)や考えが世界的規模に行き交う時代である。しかし、情報とは人(脳)に影響を与えることがらであるとすると、人(脳)との関係において、情報を捉えることが必要である。人(脳)はプログラムのようにマニュアルや規則に従って動かされるのではないので、現在のマニュアル(プログラム)駆動型コンピュータは人や社会の情報介在物としてそもそも馴染まない。現代が人や社会の情報化時代に変容するためには、人(脳)に馴染みのよい情報介在物を研究開発すべきであり、脳型コンピュータの開発がその一助になれば幸いである。

参 考 文 献

- 1) Marr, D : Vision : A Computational Investigation into the Human Representation and Processing of Visual Information, Freeman and Company, New York (1982).
乾 敏郎, 安藤広志(訳) : ビジョン—視覚の計算理論と脳内表現, 産業図書, 東京(1987).
- 2) 川人光男 : 脳の計算理論, 産業図書, 東京(1996).
- 3) 松本 元 : 愛は脳を活性化する, 岩波科学ライブラリー 42, 岩波書店, 東京(1996).
- 4) Shigematsu, Y., Ichikawa, M. and Matsumoto, G. : Reconstitution Studies on Brain Computing with the Neural Network Engineering, Ono, T., McNaughton, B.L., Molotchnikoff, S. et al. (eds), Perception, Memory and Emotion : Frontiers in Neuroscience, pp.581-599, Elsevier Science, Ltd., Oxford, NY, Tokyo (1996).
- 5) 松本 元, 市川道教 : 脳におけるデータ処理とエレクトロニクス, 電子情報通信学会誌 79, pp.1060-1065 (1996).
- 6) Koerner, E., Koerner, U. and Matsumoto, G. :

Top-down Selforganization of Semantic Constraints for Knowledge Representation in Automomous Systems : A Model on the Role of an Emotional System in Brains, Bulletin of the Electrotechnical Laboratory 60, pp.405-409 (1996).

(平成9年1月27日受付)



松本 元

1940年生。東京大学理学部物理学卒業。同大学院理学系研究科博士課程修了。東大理学部助手を経て、1971年に電子技術総合研究所入所。現在同研究所主席研究官、東京大学教授、筑波大学教授。ヤリイカの単一巨大神経細胞で行われる情報処理や伝達、脳活動の光計測システムを用いた神経回路の研究とそのモデル化を行い、脳型コンピュータの開発を目指している。著書「愛は脳を活性化する」(岩波書店, 1996) 他



重松 征史

1942年生。1965年愛媛大学工学部卒業、筑波大学工学博士、電子技術総合研究所勤務。これまでの研究分野、網膜神経回路の情報処理および大脳神経系における学習・記憶の神経科学的・工学的研究。電子情報通信学会、日本神経回路学会各会員。



市川 道教

昭和52年～56年筑波大学第3学群基礎工学類物理学専攻。昭和56～61年同大学院工学研究科物理学専攻。工学博士。専門は、生物物理学、神経科学、エレクトロニクス。日本生物物理学会、日本神経科学会、日本神経回路学会、米国生物物理学会、米国神経科学会各会員。e-mail:ichikawa@etl.go.jp