

解説

VLIW 型メディアプロセッサ

VLIW Media Processors by Toyohiko YOSHIDA (System LSI lab., Mitsubishi Electric Corp.).

吉田 豊彦¹¹ 三菱電機(株)システム LSI 開発研究所

1. はじめに

マイクロプロセッサはエレクトロニクス技術の進歩に支えられ、毎年性能を向上し、現在では大型コンピュータもマイクロプロセッサで実現されている。一方、コンピュータの応用分野は科学技術計算や商用計算からワードプロセッシングや静止画処理へ、そしてオーディオや動画のデジタル信号処理や3次元グラフィクス処理へと広がり、今や、1つのコンピュータがマルチメディアを扱う時代となった。しかし、つい最近まで動画や3次元グラフィクスをマイクロプロセッサによりソフトウェアで処理することは難しく、従来のマルチメディア機器では信号処理を行う専用ハードウェアとシステム制御を行うマイクロプロセッサを組み合わせることで全体の機能を実現してきた。専用ハードウェアによる処理ではフレキシビリティが少なく、日々改良が続くマルチメディア分野のアプリケーションへの対応が困難である。高機能、高性能デジタル信号処理とシステム制御処理の両方を1つのコンピュータ上でソフトウェア処理できれば、短期間に柔軟性に富むマルチメディア処理システムを実現することが可能になる。本稿では、マルチメディア時代に求められる新しい要求を満たすために近年登場しつつあるメディアプロセッサのアーキテクチャとデジタル動画処理への応用例について述べる。

2. メディアプロセッサとは

2.1 命令セットアーキテクチャに対する新しい要求

メディアプロセッサは図-1に示すようなマルチメディア時代に要求されるビデオ、オーディオ、データ通信、2次元/3次元グラフィクス処理を

ソフトウェアで行うマイクロプロセッサである。マルチメディア処理を効率的に行うには従来のマイクロプロセッサをそのまま高速化しただけでは不十分である。

動画処理などのデジタル信号処理の多くでは16ビットあるいはそれ以下の長さの整数で表せる演算精度で十分な場合が多く、16ビット以下の整数演算性能が非常に重要になる。また、演算がオーバーフローした場合は最大数に丸める飽和演算やレジスタ中の4つの16ビットデータの有効桁部8ビットをパックして1つの32ビットデータとしてメモリにストアしたり、その逆の操作であるアンパックしてメモリからレジスタにロードする機能も重要になる。これらの機能は従来のマイクロプロセッサには備わっていない。近年、いくつかのマイクロプロセッサではマルチメディア処理向けにこれらの処理を行う命令を追加している(表-1)^{1),2)}。

この中で最も重要な拡張機能は1つの命令で複数個のサブワード長(16ビットあるいは8ビット)整数演算を並列に行うサブワード演算機能である。サブワード演算機能は1つの命令で複数の演算をするSIMD (Single instruction multiple data) アーキテクチャの1つである。

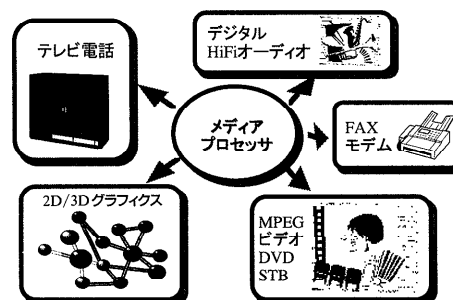


図-1 メディアプロセッサのアプリケーション

表-1 マルチメディア命令を拡張したマイクロプロセッサ

| | Intel MMX | Sun VIS | MIPS V/MDMX |
|-----------|-------------------|--------------------|--------------------|
| サブワード演算 | 8×8ビット 4×16ビット | 4×16ビット 2×32ビット | 8×8ビット 4×16ビット |
| 積和演算 | 16×16→32 | 8×16→16 | 8×8→24 16×16→48 |
| 飽和演算 | あり | なし | あり |
| パック／アンパック | あり | あり | あり |

積和演算は DSP (Digital signal processor) で広く用いられているもので、デジタル信号処理を行う上での基本機能である。従来のマイクロプロセッサでは乗算前後で演算精度を同じにすることが多いが、デジタル信号処理では乗算により演算精度を拡張し、累積加算は倍精度で行うことが必要である。

デジタル信号処理では演算結果が正や負に最大絶対値を超えた場合に演算結果を絶対値が最大の正や負の値にする飽和演算機構が必要である。演算がオーバーフローした場合、あふれたデータを無視すると演算結果が演算精度とは無関係に大幅に小さくなったり、大きくなったりし、突然の雑音を引き起こす。オーバーフローを防ぐためのガードビットを備えたり、例外処理機構によりオーバーフローの有無を調べる時間をゼロにする機構があれば、飽和演算が必ずしも必要とはいえない。しかし、従来のマイクロプロセッサでは整数演算のオーバーフローを無視するのが一般的であった。

標準規格に従うデータを扱うマルチメディアア

プリケーションの多くは、データメモリや通信データの量を少なくするために外部とデータを入出力するときパックしたデータを扱う。一方、演算時にデータ精度を確保するためにパックしたデータを展開する。このため、マルチメディア処理ではデータのパック／アンパックを高速に行う機能が重要になる。

これらのマルチメディア対応機能の多くは従来のハードウェアをわずかに変更するのみで実現できるものである。マルチメディア対応の新規機能はテクノロジーの発達に従いありあまったハードウェアを活用するために導入されたのではなく、マルチメディア時代の新しい要求に応じて実現されたものである。

2.2 メディアプロセッサの登場

従来のマイクロプロセッサの命令を拡張してマルチメディア処理を行う場合、マルチメディア処理には不要で既存機種との互換性を保つための機能が高性能化の妨げとなる。たとえば、メモリ保護機能や倍精度浮動小数点演算機能はマルチメディア処理には必ずしも必要でない。また、オーディオや動画処理など多くのマルチメディア処理では単精度の浮動小数点演算機構も不要である。

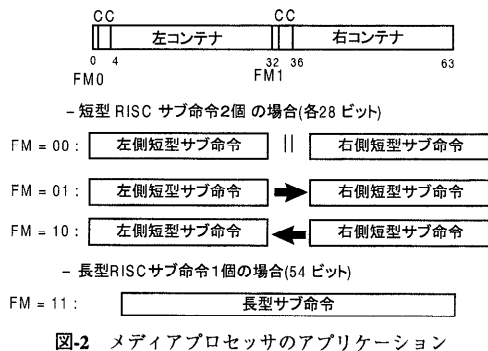
従来との互換性をすてて、真っ白な新しい紙の上にマルチメディア処理を最初から意識した命令セットアーキテクチャを定義すれば、従来のマイクロプロセッサの機能を拡張するより小さくて性能のよいプロセッサができることは明らかである。

そこで登場したのがメディアプロセッサである。マルチメディア社会がマイクロプロセッサに新しい流れを引き起こした。25年あまりのマイクロプロセッサの歴史でアプリケーションに依存して新しいプロセッサ設計されたのは1980年代のはじめに DSP が登場して以来といえる。メディアプロセッサは従来のマイクロプロセッサでも DSP でもない。強いて

表-2 代表的なメディアプロセッサ

| | Chromatic M pact | Philips TriMedia | Samsung MSP | 富士通 MMA | 三菱電機 D30V |
|------------------|------------------------------|-----------------------------------|-----------------------------------|-----------------------|-----------------------|
| アーキテクチャ | 2-way VLIW | 5-way VLIW | RISC+ベクトル | 2-way VLIW | 2-way VLIW |
| サブワード演算 (SIMD) | 8×9ビット 4×18ビット 2×36ビット | 詳細不明 | 32×9ビット 16×16ビット 8×32ビット | 2×16ビット | 2×16ビット |
| クロック周波数 | 62.5MHz | 100MHz | 100MHz | 180MHz | 250MHz |
| 演算の並列度* | 48 | 38 | 64 | 6 | 4 |
| ピーク整数性能 (その時の精度) | 3.0GOPS (9ビット) | 3.8GOPS (8ビット) | 6.4GOPS (8ビット) | 1.08GOPS (16ビット) | 1.0GOPS (16ビット) |
| 浮動小数点性能 | n/a | 0.5GFLOPS | 1.6GFLOPS | n/a | n/a |
| 主な応用分野 | ビデオ オーディオ データ通信 | ビデオ オーディオ データ通信 3Dグラフィクス | ビデオ オーディオ データ通信 3Dグラフィクス | ビデオ オーディオ データ通信 | ビデオ オーディオ データ通信 |

n/a = not applicable, * = 同一条件での比較ではない



例えば DSP の性能とマイクロプロセッサの汎用性を兼ね備えたプロセッサである。

メディアプロセッサを用いれば、マルチメディア時代の高級デジタルオーディオや高速データ通信のソフトウェア処理は軽々と行え、TV 会議用や MPEG-1 (Moving Picture Expert Group Phase 1) 規格の動画、さらに高画質の MPEG-2 (Moving Picture Expert Group Phase 2) 規格の動画のリアルタイム伸張処理もソフトウェアで処理することが可能になる。さらに一部のメディアプロセッサでは 3 次元グラフィックスのソフトウェア処理も可能になる。

代表的なメディアプロセッサを表-2 に示す^{3)~7)}。マルチメディア処理ではデジタル信号処理での命令レベルの並列度が高いため、どのプロセッサも並列処理機能を積極的に取り入れたものになっている。すべてのプロセッサが 1 つの命令で複数のデータに対する演算を行う SIMD アーキテクチャを採用している。また、多くのプロセッサが MIMD (Multiple instruction multiple data) アーキテクチャの一種である VLIW (Very Long Instruction Word) アーキテクチャをあわせて採用している。表-1 に示したマイクロプロセッサは既存の機種との互換性が必要であるため、スーパースケラアーキテクチャを採用しているが、新規に命令セットを定義したメディアプロセッサの多くはハードウェア構成のより単純な VLIW アーキテクチャを採用している。MSP は VLIW アーキテクチャは採用せず、並列度の大きい SIMD アーキテクチャを採用したベクトルプロセッサとそれを制御する汎用 RISC の 2 つのプロセッサコアを備えている。

Mpact や MSP ではサブワードの単位として

9 ビットのデータを扱う。MPEG ビデオの処理では 8 ビットデータの加算が多数行われる。9 ビットデータを扱うことは汎用性を失う面はあるが、8 ビットデータの加算をオーバーフローなしで行う上では有効である。

クロック周波数と演算の並列度はプロセッサにより大幅に異なる。表-2 では演算の並列度を高くしてクロック周波数を低くするものと演算の並列度をあまり高くせずにクロック周波数を高くするものにわかれているが、いずれの場合もサブワード演算でのピーク性能が高いことに大きな特徴がある。

浮動小数点数を扱うかどうかプロセッサにより判断が分かっている。オーディオや動画像処理に注目するプロセッサは浮動小数点数を扱わない。3 次元グラフィックスを主な応用分野とするプロセッサは浮動小数点数を扱う。表-2 に示したすべてのプロセッサはデジタルオーディオと MPEG-2 ビデオデコードやテレビ電話などの動画像処理が可能であるが、3 次元グラフィックスを処理するための単精度浮動小数点演算機能を備えるのは 5 つ中 2 つのプロセッサである。

3. VLIW 型メディアプロセッサ D30V

ここでは筆者の所属する三菱電機システム LSI 開発研究所が開発した VLIW 型メディアプロセッサ D30V を例にメディアプロセッサの特徴を説明する。

D30V はデジタル動画像処理を行う家電製品やパソコンの付加カードなどのマルチメディア処理に適した VLIW 型メディアプロセッサである^{7),8)}。0.3 ミクロン CMOS プロセスを採用した D30V は動作周波数 250MHz で 1.0GOPS (Giga operations per second) のピーク性能を有するため、MPEG-2 のリアルタイムデコード処理をソフトウェアで実現することを可能にする。マイコンの使いやすさと専用ハードウェアや DSP と同じ高性能を兼ね備え、低消費電力 (約 1.2W : 2V 250MHz 動作時) を実現したメディアプロセッサである。

3.1 D30V の命令セットアーキテクチャ

D30V のアーキテクチャ概要を表-3 に示す。D30V はマルチメディア処理を効率的に行うため、1 つの命令中に 2 種類の演算を指定する

VLIW アーキテクチャと1つの演算で2組のデータに同一演算を行う SIMD アーキテクチャを採用している。命令は64ビットの固定長フォーマットをもち、汎用レジスタは64個と従来のマイクロプロセッサの2倍備える。デジタル信号処理を高速に行うため、従来のDSPで広く用いられているハードウェアループ機能とモジュロアドレッシング機能も備える。ハードウェアループ機能はブロックリピート命令によりハードウェア制御で一連の命令群を分岐命令なしで規定回数繰り返す機能で分岐の実行時間を実質的にゼロにする。モジュロアドレッシングはオートインクリメントまたはオートデクリメントアドレッシングにおいてデータアドレスの更新をループさせる機能で、サーキュラバッファのアクセスに非常に有効である。

D30Vの命令は図-2に示すように2ビットのフォーマットフィールド(FM)、2つの条件フィールド(CC)、2つのコンテナをもつ固定長命令のVLIW命令である。FMビットは従来のVLIWアーキテクチャの最大の欠点であった命令コード長が増大する問題を解決するためにD30Vで新たに導入した技術である。従来のVLIWでは2つのコンテナのサブ命令を常に並列に実行するため、データ依存関係のある2つのサブ命令を1つの命令の2つのコンテナに格納することができず、一方のコンテナをNOP(No Operation)コードにする必要があった。このNOPはC言語などの高級言語で記述された並列度の低いプログラムでは無視できない数に及び、命令コードが増大する問題を招く。D30Vは図-2に示すようにFMビットにより2つのコンテナのサブ命令を並列に実行すること以外に順方向または逆方向に直列実行することも指定し、NOP挿入による命令コード増大の問題を解決した。また、FMビットを「11」にすることにより32ビットの即値データや32ビットのアドレス変位値をもつ長型フォーマットのサブ命令を分割して2つのコンテナに格納することも許し、命令の種類を豊富にした。

MPEG-2ビデオ処理など並列度の高いマルチメディア信号処理プログラムではFMビットを「00」にして2つの演算を並列に実行することにより高性能を発揮し、システム制御など並列度の低いプログラムではFMビットを「10」や「01」

表-3 D30Vのアーキテクチャ

| | |
|-----------|--|
| ・命令フォーマット | : 64ビット固定長(含:2コンテナ) |
| ・命令数 | : 102サブ命令(条件つき実行) |
| ・並列処理 | : 2ウエイVLIW+2ウエイSIMD |
| ・レジスタファイル | : 32ビット汎用レジスタ64本, 64ビットアキュムレータ2本, 32ビット専用レジスタ10本 |
| ・DSP強化機能 | : ハードウェアループ, モジュロアドレッシング |

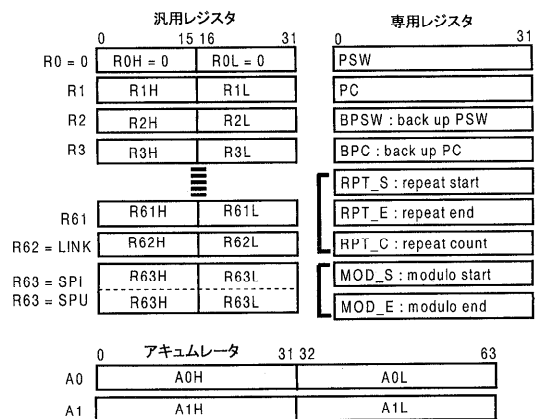


図-3 サブワード演算例

にしてコンパクトな命令コードを得る。

マルチメディア処理ではデータ精度が16ビットで十分な場合が多く、16ビット固定小数点の算術演算が多用される。D30VのSIMDアーキテクチャはこの16ビット固定小数点演算を効率よく実行するために導入されたものである。D30Vの各演算器は1つの32ビット演算または2つの独立な16ビット演算を行うように設計されているため、1つのサブ命令で2組の16ビット演算を並列に実行することができる。このSIMDアーキテクチャによる2倍の性能向上とVLIWアーキテクチャによる2倍の性能向上により、D30Vでは周波数の4倍の演算性能を実現し、250MHz動作で1000MOPSのピーク性能を達成する。

VLIWおよびSIMDによる並列実行機能とあわせてD30Vでは全サブ命令を条件つき実行とした。すべてのサブ命令は図-2に示すそのサブ命令に付属するCCフィールドで指定された条件の判定結果が「真」の場合にのみ実行結果が有効となる。条件の判定結果が「偽」の場合、そのサブ命令はNOPと同じ動作をする。CCフィール

- ・ ALU 演算
 - － ADD2H, SUB2H, AVG2H, SAT2H, SATZ2H
例： ADD2H ra, rb, rc → raH = rbH + rcH
raL = rbL + rcL
- ・ 乗算
 - － MUL2H, MULX2H
例： MUL2H ra, rb, rc → raH = rbH * rcH
raL = rbL * rcL
- ・ シフト演算
 - － SRA2H, SRL2H, ROT2H
例： SRA2H ra, rb, 3 → raH = rbH >> 3
raL = rbL >> 3

図-4 サブワード演算例

ドで指定された条件の判定はプロセッサ状態語 (PSW: Processor Status Word) のユーザフラグの値に依存して行われる。

多くのコンピュータでは分岐命令のみを条件つき実行にし、そのほかの命令はすべて無条件実行としている。このため、たとえば C 言語の IF 文により特定の条件が成立したときのみに演算を実行する場合、まず条件分岐命令で条件を判断して分岐し、分岐先で演算命令を実行する必要があるため、条件分岐命令の実行頻度が高くなる問題があった。演算自体を条件つきで行えば、条件分岐命令による分岐が不要になる。D30V ではすべてのサブ命令を条件つき実行として、高速プロセッサの性能向上を妨げる条件分岐命令の実行頻度を少なくした。命令レベルの並列処理を行うプロセッサでは並列度の増大に比例して分岐によるオーバーヘッドが増大するため、分岐命令の実行頻度を減らすことが非常に重要となる。

図-3 に D30V のレジスタモデルを示す。レジスタは 32 ビットの汎用レジスタ 64 本、制御レジスタ 9 本、64 ビットのアキュムレータ 2 本から構成される。サブワード演算を効率よく実行するため各汎用レジスタは 32 ビットのレジスタ 1 本あるいは 16 ビットのレジスタ 2 本としてアクセスできる。レジスタ R0 は常にゼロであり、レジスタ R62 はサブルーチンコールのためのリンクレジスタとして使用される。また、レジスタ R63 はスタックポインタとして使用され、割り込み用スタックポインタ SPI とそれ以外のときのスタックポインタ SPU が PSW によりモード切り替えされるようになっている。

制御レジスタはプログラムカウンタ PC と PSW、それらの更新前の値でオペレーティングシステムが使用する BPC と BPSW のほか、

- ・ Four byte data load with unpacking (LD4BH)
- ・ Four byte data store with packing (ST4BH)
- ・ Two half-word data load with unpacking (LD2H)
- ・ Two half-word data store with packing (ST2H)
例：LD4BH ra, @(rb, rc)

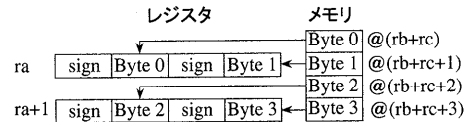


図-5 パック/アンパックつきロード・ストア

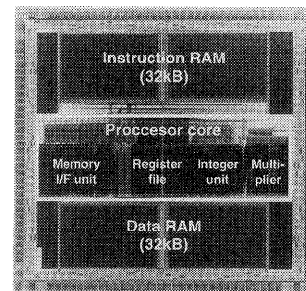


図-6 D30V サンプルチップ

D30V の DSP 強化機能が使用する 5 本のレジスタからなる。RPT_S, RPT_E, PT_C はハードウェアループにおいて使用され、それぞれハードウェアループの開始アドレス、終了アドレス、ループ回数を保持する。MOD_S と MOD_E はモジュロアドレッシングで使用され、それぞれサーキュラバッファの開始アドレスと終了アドレスを保持する。アキュムレータは積和演算や精度拡張をともなう乗算で使用する。

マルチメディア処理において有効なサブワード演算の例を図-4 に示す。D30V は ALU 演算、乗算、シフト演算でサブワード演算を行う。サブワード演算では各命令でレジスタの上位側 16 ビットと下位側 16 ビットに独立な演算(ただし同一種類の演算)を行い各命令で 2 つの演算結果を得る。

D30V ではパック/アンパック演算をロード命令またはストア命令実行時に行う(図-5)。これらの処理はバイトデータとハーフワードデータ間またはハーフワードデータとワードデータ間で可能である。たとえば LD4BH 命令ではメモリ上の連続した 4 バイトの領域にある 4 つのバイトデータがそれぞれ 16 ビットデータに符号拡張され、2 つのレジスタの上位と下位の計 4 つの 16 ビット領域にロードされる。

表-4 D30V サンプルチップのテクノロジー

| | |
|-------------|--|
| ・プロセス | : 0.3 ミクロン CMOS4 層メタル配線 |
| ・動作周波数 | : 250MHz |
| ・ピーク性能 | : 1000MOPS |
| ・チップサイズ | : 6.0mm × 6.2mm |
| ・プロセッサコアサイズ | : 5.4mm × 1.5mm |
| ・トランジスタ数 | : 3.48M トランジスタ (総数) 300k トランジスタ (プロセッサコア) |
| ・内蔵 RAM | : 32kB (命令) + 32kB (データ) |
| ・電源電圧 | : 2.0V |
| ・消費電力 | : 1.2W (typ., 2V 250MHz 動作時) |
| ・パッケージ | : 135 ピン PGA |

表-5 MPEG-2 デコード処理における D30V の性能

| | |
|-----------------------------------|----------------|
| ・処理すべきビデオブロック数 | : 243k ブロック/秒 |
| ・8 × 8 ビデオブロックのデコード性能 (1 ブロックあたり) | |
| データロードと逆量子化 | : 174 サイクル |
| IDCT | : 500 サイクル |
| 動き補償と再構築 | : 80 サイクル |
| ・総ビデオブロック処理クロック数 | : 183M クロック/秒 |
| ・処理すべきオーディオブロック数 | : 1,125 ブロック/秒 |
| ・1 ブロックの 256 点 IFFT 性能 | : 9,100 サイクル |
| ・総 IFFT 処理クロック数 | : 10M クロック/秒 |

3.2 D30V サンプルチップ

図-6 に D30V のサンプルチップのチップ写真を示す。D30V サンプルチップは D30V プロセッサコアと 32kB の命令メモリ、32kB のデータメモリより構成される。上部が命令メモリ、下部がデータメモリであり、中央部分がプロセッサコアである。命令メモリとデータメモリには SRAM を用いている。プロセッサコアには中央

部のレジスタファイルを含んで 2 つの演算部 (MU: Memory I/F unit と IU: Integer unit) があり、乗算器 (Multiplier) が IU 中で大きな面積を占めている。

表-4 に D30V サンプルチップのテクノロジーを示す。このチップは 0.3 ミクロン CMOS4 層メタル配線プロセステクノロジーで製造されており、電源電圧 2V で 250MHz の周波数で動作する。プロセッサコア部は 300k 個のトランジスタにより構成されており、面積は 8mm² である。64kB の SRAM をあわせたチップ全体ではトランジスタ数が 3.48M 個で面積が 37 mm² である。単相クロックによりクロック回路を単純化したことと電源電圧を 2.0V と低くしたことに加え、チップ面積、とくにプロセッサコア面積を小さくしたことにより、D30V では 250MHz 動作時で消費電力を 1.2W と非常に小さくできた。消費電力を小さくすることはメディアプロセッサを開発する上で必須の技術である。メディアプロセッサの多くは低価格システムに使用される。チップ全体の消費電力をプラスチックパッケージに格納可能な値にしないかぎり、チップコストをシステムが要求する値にすることはできない。

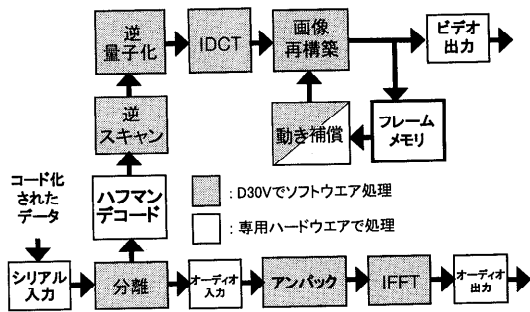


図-7 MPEG-2 デコード処理の流れ

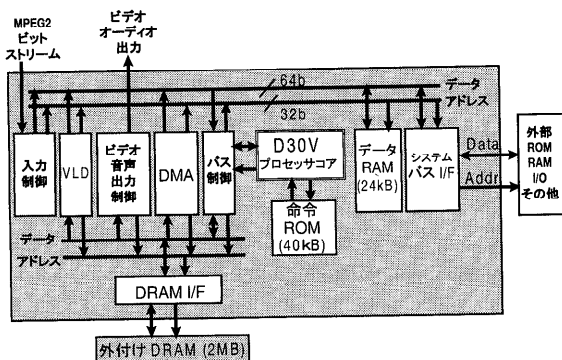


図-8 D30V を用いた MPEG-2 デコーダ構成図

4. MPEG-2 デコーディング

4.1 MPEG-2 デコードアルゴリズム

ここではマルチメディアアプリケーションの代表例である MPEG-2 デコーダを D30V 用いて実現する場合を考察する。

MPEG-2 ビデオとドルビー AC-3 デジタルオーディオを含む符号化された MPEG-2 ビット

ストリームをデコードする場合の処理の流れを図-7に示す。まず、符号化された MPEG-2 ビットストリームは符号化されたビデオストリームと符号化されたオーディオストリームに分離される。符号化されたビデオストリームは図-7の上側に示す処理の流れに沿ってデコードされる⁹⁾。符号化されたオーディオストリームは図-7の下側に示す処理の流れに沿ってデコードされる¹⁰⁾。D30Vを用いて MPEG-2 デコーダを実現した場合、図-7の網掛け処理をソフトウェアで処理し、白色処理を専用ハードウェアで処理する。チップ外部の入出力(ビットストリームの入出力と動き補償のためのチップ外部の DRAM アクセス)およびビットシリアル処理となる可変長ハフマン符号のデコードは専用ハードウェアで行う。IDCT(Inverse Discrete Cosine Transform, 逆離散コサイン変換)やIFFT(Inverse Fast Fourier Transform, 逆高速フーリエ変換)など高度な算術演算を含むそのほかの処理はすべて D30V コアによりソフトウェアで実行される。動き補償についてはフレームメモリのアクセスを DMA(Direct Memory Access)回路で行い、予測フレームの構築と差分データの加算を D30Vで行う。

4.2 D30V による MPEG-2 デコード処理

MPEG-2 デコーダシステムの構成例を図-8に示す。このシステムは D30V をコアとしたデコーダチップと 2MB の SDRAM により構成される。デコーダチップは D30V のプロセッサコア、命令用 ROM、データ用 RAM、図-7の白色処理を実行するための MPEG-2 デコード専用周辺回路からなる。

DVD プレーヤやデジタル衛星放送で使用されている MP@ML(Main Profile at Main Level)の MPEG-2 ビデオストリームの処理では 8×8 エレメントのビデオブロックを 1 秒間に 243k 個デコードする必要があり、このビデオブロックのデコード処理が処理量のほとんどを占める。最悪条件の 8×8 エレメントのビデオブロック 1 つを D30V がデコード処理するためには $174+500+80 = 754$ クロックサイクルを要す(表-5)。最悪条件のデータが連続した場合、D30V はビデオブロックのデコードのために 1 秒間に $754 \times 243k = 183M$ クロックサイクルの演

算を行う必要がある。

オーディオストリームの処理はビデオストリームの処理に比べて負荷が非常に小さいといえる。たとえば DVD プレーヤに使用されている 5.1 チャンネルのドルビー AC-3 デジタルオーディオの場合、デコード処理の主要な部分を占める IFFT の処理に D30V は 1 秒間に $1,125 \times 9,100 = 10M$ クロックサイクルの演算を行うのみである(表-5)。

以上の演算量から考え、250MHz で動作する D30V をコアに用いた図-8に示すデコーダチップは MPEG-2 ストリームをリアルタイムでデコードすることが十分可能である。このデコーダチップを 0.3 ミクロンの CMOS プロセスで製造する場合のチップ面積は 40mm^2 以下と見積もられ、現在開発されているハードウェアデコーダより製造コスト面でも有利である⁸⁾。

5. メディアプロセッサの将来

従来は専用ハードウェアを用いなければならなかった MPEG-2 ストリームのリアルタイムデコード処理をメディアプロセッサを用いればソフトウェアで行うことが可能となる。メディアプロセッサを用いた処理のソフトウェア化は MPEG 分野に限らず、さまざまな分野で可能である。

ソフトウェアで処理することはハードウェアで処理することに比べ、フレキシビリティの点で比べものにならない程大きな利点をもつ。ソフトウェアは製品設計の最終段階あるいは出荷後でも変更可能である。日々テクノロジーが進歩する今日ではメーカーにとって製品開発時間の短縮が大きな価値をもつ。また、ソフトウェアはハードウェアより再利用性がよく、Intellectual property としての価値が高い。メディアプロセッサはマルチメディア処理にソフトウェアソリューションを提供するキーデバイスである。

現在考えられるメディアプロセッサの応用範囲は大きく分けて 2 つある。1 つはパソコン分野であり、もう 1 つはデジタル家電分野である。パソコン分野では高性能なメディアプロセッサが求められるであろう。一方、家電分野ではコストが安いメディアプロセッサが求められる。オーディオに続いてビデオがデジタル化され、これからは今までアナログ信号で処理されていた TV 受像機や

ビデオデッキの内部処理がデジタル化される。世の中のデジタル化が進むほどにメディアプロセッサの応用範囲はますます広がる。テクノロジーがさらに進歩し、メディアプロセッサが家電製品の部品として十分安価に生産される時代になれば、今日の 1 チップマイコンのように生活のいたる所にメディアプロセッサが使用されるだろう。

6. おわりに

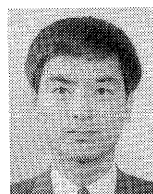
マルチメディアの代表である動画像をデジタル処理により圧縮伸張する MPEG ビデオの標準化をきっかけとして、マイクロプロセッサに新しい機能が要求され、メディアプロセッサが登場した。音声処理のデジタル化によって 15 年程前に生まれた DSP はマイクロプロセッサとは別の道を歩んで、今日まで専用プロセッサの域を出ていない。浮動小数点演算プロセッサはコプロセッサとして開発されたがテクノロジーの進歩とともにホストプロセッサと同一シリコン上に実現され、いまやホストプロセッサの一部となった。メディアプロセッサが専用プロセッサとなるのか、マルチメディア命令を拡張したマイクロプロセッサがメディアプロセッサを融合するのか、あるいはメディアプロセッサがマイクロプロセッサの中で主流を築くのか、現在のところまだ判断できる段階にはない。1 つははっきりしていることは DSP と同じデジタル信号処理を多く実行するメディアプロセッサのプログラムをアセンブラで記述するのか高級言語で記述するのかがメディアプロセッサ発達の上で大きな分かれ目になるということである。

現在の高級言語は固定小数点の演算精度を正確に管理するシンタックスをもたないため、メディアプロセッサのプログラムを記述するには不向きである。また、デジタル信号処理においてアセンブラによるプログラミングと同等な性能をもつコンパイラもまだ存在しない。メディアプロセッサ発達のためにも、マルチメディア社会の発達のた

めにも高級言語によるデジタル信号処理を行うソフトウェア技術の発達が期待される。

参 考 文 献

- 1) Gwennap, L. : Digital, MIPS Add Multimedia Extensions , Microprocessor Report, Vol.10 , No.15, pp.24-28 (1996).
- 2) Weiser, U. : Trade-off Considerations and Performance of Intel's MMX Technology, Hot Chips VIII, pp.147-155 (1996).
- 3) Glaskowsky, P. N. : First Media Processors Reach the Market, Microprocessor Report, Vol. 11, No. 2 (1997).
- 4) Slavenburg, G. A. et al. : The Trimedia TM-1 PCI VLIW Media Processor, Hot Chips VIII, pp.171-177 (1996).
- 5) Kalapathy, P. : Hardware/Software Interactions on the Mpaact Media Processor, Hot Chips VIII, pp.179-191 (1996).
- 6) Yao, Y. : Samsung Launches Media Processor, Microprocessor Report, Vol. 10, No. 11 (1996).
- 7) Holmann, E. et al. : A VLIW Processor for Multimedia Applications, Hot Chips VIII, pp.193-202 (1996).
- 8) Yoshida, T. et al. : A 2V 250MHz Multimedia Processor, ISSCC Digest of Technical Papers, pp.266-267 (1997).
- 9) Holmann, E. et al. : Real-Time MPEG-2 Software Decoding with a Dual Issue RISC Processor, VLSI Signal Processing IX, pp.105-114 (1996).
- 10) Digital Audio Compression Standard (AC-3), Advanced Television System Committee (1995). (平成 9 年 3 月 31 日受付)



吉田 豊彦

1957 年生。1981 年京都大学工学部電子工学科卒業。1983 年同大工学研究科電子工学専攻修了。同年三菱電機(株)入社。以来、汎用マイクロプロセッサ、メディアプロセッサの設計、とくにアーキテクチャ設計に従事。1993～1994 年 MIT 客員研究員。ACM, IEEE Computer Society, 電子情報通信学会各会員。