

特集「高速プロセッシングデータバス技術」の編集にあたって

柏山 正 守¹¹ (株)日立製作所オフィスシステム事業部

高性能マイクロプロセッサのマシンサイクルは年々短縮しており、この結果SPECなどのベンチマークによる性能値は急激に上昇している。プロセッサの優劣はこのようなベンチマーク結果のみで評価されるが、実際に計算機システムの性能を決定するのはキャッシュや主記憶の構成である。そこで、本特集では計算機をいくつかの代表的計算機カテゴリーに分類し、それぞれのカテゴリーに属する計算機の高性能化の方針を最新技術も含めて解説する。

本特集では、計算機システムをパーソナルコンピュータとワークステーション、サーバ、スーパーコンピュータなどに分類し、それぞれのデータ処理形態に応じてシステムバス、メモリバス、キャッシュインタフェースなどのプロセッシングデータバスがどのように設計されているかを示す。さらに、それぞれの計算機システムにおいて、性能とコストのバランスをどう決定しているか、また、このバランスが実効性能を支えるプロセッシングデータバスの構成にどのように反映されているかについて解説する。これにより、プロセッシングデータバスの技術課題およびその克服方法の理解を深めていただきたい。計算機開発に携わる技術者にとっても分野を超えて興味をもっていただけたらと考える。また一般読者にとっても最新の計算機技術の技術動向を理解していただくために有益であると考えます。

本特集では実際の計算機製品のプロセッシングデータバス技術を解説し、それらの実性能評価結果を明らかにするという視点から5編の製品解説をとりあげた。また、高性能と信頼性の両立という視点から1編のSMP(Symmetric Multi Processor)サーバのプロセッシングデータバス技術の解説をとりあげた。紙面スペースおよび実際の製品を解説していただいた都合上、すべての製品をとりあげることができなかった。ご容赦願いたい。

第1の解説では、最新の64bitマイクロプロセッサを搭載した高性能グラフィックワークステーションのシステムバス技術を解説していただいた。マルチプロセッサを支えるシステムバスに採用されているクロスバススイッチアーキテクチャの

実例をもとに、パーソナルコンピュータ(PC)のシステムバスと比較していただいている。最近のグラフィックワークステーションは、高性能化追及のため同じようなシステムバスアーキテクチャ採用の傾向にある。採用の背景とPCとの差別化が興味深い。

第2の解説では、SMP構成のサーバマシンで採用されているシステムバス技術について解説していただいた。複数のプロセッサの能力を十分に発揮させるために必要となるプロセッサ結合バスの、バス幅の拡大、バス動作周波数の高速化について解説していただいている。さらにサーバマシンとして要求される信頼性を確立する技術についても解説していただいた。

第3の解説では、ベクトルスーパーコンピュータで要求されるきわめて高いデータ供給能力を支えるデータバス技術に関して解説していただいた。この高度なデータバス技術は、共有主記憶から最大32プロセッサへの広いメモリバンド幅を実現する。メモリアクセスレイテンシの短縮方式が興味深い。

第4の解説では、ベクトルスーパーコンピュータのメモリデータバス技術について、とくにシンクロナスダイナミックメモリ(SDRAM)を採用したメモリサブシステム技術に関し解説していただいた。分散メモリ型ベクトルアーキテクチャにおけるデータバスのデザインに注目していただきたい。

第5の解説では、RISC型超並列スーパーコンピュータを例に、実効性能を支えるローカル記憶からのデータ供給技術について解説していただいた。大規模データ処理におけるキャッシュミスの解決方式に特徴がある。

第6の解説では、高性能マイクロプロセッサを採用した分散共有主記憶の並列コンピュータについて、プロセッサアーキテクチャ、メモリ周辺技術、各々のプロセッサ間を相互接続するクロスバススイッチ技術に関して解説していただいた。

個別の解説に入る前にメモリをベースとする現在の計算機デザインが抱える共通の問題点をここで簡単に説明する。プロセッシングデータバスのデザインにおいては、プロセッサとメモリの速度

ギャップと、バス幅に対する物理的な制限が支配的となる。

1. プロセッサとメモリのスピードギャップ

図-1は主記憶に用いられるダイナミックメモリ(DRAM)およびキャッシュメモリに用いられるスタティックメモリ(SRAM)のアクセスタイムのトレンドとマイクロプロセッサとベクトルスーパーコンピュータのコア・スピードのトレンドを比較したグラフである。最近のマイクロプロセッサ・コア・スピードの急激な上昇がベクトルスーパーコンピュータに匹敵する領域にきていることが理解できる。

従来、ベクトルスーパーコンピュータの主記憶には、DRAMではなく、よりアクセスタイムおよびサイクルタイムに優れたSRAMが用いられてきた。これはスーパーコンピュータでは、対象となる巨大なデータ処理を可能な限り高速に行いたいという要求背景があるからである。そのためベクトルレジスタを備え、すべての機能ユニット(浮動小数点演算器、ロード/ストアユニット)をパイプライン化させたベクトルアーキテクチャと呼ばれる計算機方式が導入されている。このアーキテクチャでは、主記憶にある巨大データを途切れなくプロセッサ・コア・スピードで供給することが必要であり、プロセッサの演算ピーク性能に相当する大きなメモリバンド幅を実現しなければならない。このような計算機のメモリシステムにDRAMを用いた場合、プロセッサが要求する性能とメモリが発揮できる性能の差が大きく、主記憶のマルチバンク化を図ったとしてもこのギャップを埋めることは困難であり、SRAMが用い

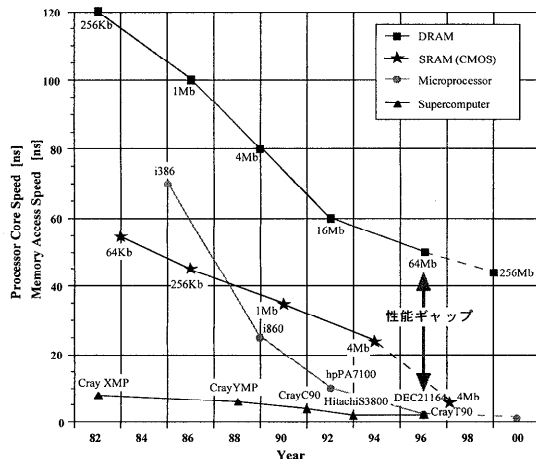


図-1 メモリ性能とプロセッサ性能の推移

られてきた。しかし、一般にSRAMはDRAMに比較しビット単価が高いことと記憶容量が小さいというディスアドバンテージをもっており、スーパーコンピュータのような目的をもった計算機の主記憶以外に採用することは、製品コストという点から難しい。スーパーコンピュータのメモリシステムに関しては、第3、第4および第5の解説に詳しく述べられている。参照していただきたい。

一方、最近のマイクロプロセッサは、アーキテクチャ的にもスーパーコンピュータの概念を取り入れ、データストリームのパイプライン化が行われている。その意味するところは、プロセッサスピードとDRAMを採用する主記憶アクセスの速度差が拡大していき、プロセッサが処理しようとする命令およびデータの主記憶からの供給能力が追いつかなくなり、プロセッサがストールするという点である。このことは、図-1からもみてとれる。このプロセッサ性能と主記憶アクセス性能のギャップを埋めるため、キャッシュメモリを設けて階層化し、平均メモリアクセス時間を短縮する。プロセッサが本来もっている性能を犠牲にしないためには、高速かつ大容量のキャッシュメモリを用意する必要がある。これを実現するため、一般には高速なオンチップキャッシュ(L1キャッシュ)と大容量なオフチップキャッシュ(L2キャッシュ)の記憶階層を構成する。

プロセッサコア内に設けるオンチップキャッシュでは、チップ内接続のためキャッシュバンド幅が大きくとれ、プロセッサ・コア・スピードでアクセスできるという利点がある。一方、キャッシュメモリの容量がプロセッサチップのダイサイズに制約され、基本的に低くならざるを得ない、ダイサイズを大きくし収納できたとしてもチップ製造歩留まり低下によるコスト上昇を招きかねないという問題がある。このため、現在のオンチップキャッシュ容量は64~128KB程度で設計されている。

プロセッサ外部に設けるオフチップキャッシュでは、オンチップキャッシュに比較し、よりキャッシュ容量を大きくできる。一方、アクセスレイテンシは増大する。これは複数の高速SRAMチップをプロセッサチップに隣接して実装しても、データ信号のI/Oゲートやピン通過時間が、大きいためである。より大きなキャッシュ容量化を図りSRAMチップの数を増やせば、信号配線の物理的な広がりによる伝搬遅延がさらに加算されることになる。また、SRAMのチップコストや電気性能に優れた実装コストの問題を解決しなけれ

ばならない。このため、現在の高速マイクロプロセッサのオフチップキャッシュ容量は、これらのトレードオフを考慮し、1～4MBが主流である。

キャッシュメモリ方式を導入し、メモリバンド幅拡大とメモリアクセスレイテンシ短縮を狙うというアプローチに関してメモリ素子技術をはじめとするいくつかの技術課題を克服しなければ、高速マイクロプロセッサの性能を生かすことができない。

キャッシュメモリ方式の計算機に関しては第1および第6の解説を参照していただきたい。

2. 広くて速いバスは難しい

システムバスのデータバンド幅は、チップ信号ピン数とバスサイクルスピードのオーバーヘッドで決まる。すなわち、データバンド幅を上げるには、バス幅を広くするか、バスのデータ転送スピードを速くすることが求められる。バス幅拡大にともなうチップの信号ピン数増加は、プロセッサのパッケージングコストばかりか、それに接続される周辺チップのパッケージングコストも押し上げる。さらに、データ転送スピードを上げることは、小振幅で高速なI/Oゲートの採用や、幅の広いバスではクロストークなどの電気的ノイズへの対策が重要になる。また、チップ間の信号スキューを考慮した高度なデザイン手法が要求され、チップ内と同じような高速サイクルを実現することは難しい。バスの物理的制約に関しては第2の解説の中でも述べられている。参照していただきたい。

参考までにマイクロプロセッサチップに使用されている信号ピン数のトレンドを図-2に示す。このトレンドから1997年現在のピン数は、約400信号ピンである。信号ピン数と電源ピン数の比率は、約2対1なので600ピンクラスのパッケージに収納されることになる。この信号ピン数を前提にした標準的なバスデザインとしては、L2キャッシュインタフェースを約200ピン(データ: $16B \times 9b = 144$ ピン+インデックスその他: 約50ピン)とし、システムバスを約200ピン(データ: $16B \times 9b = 144$ ピン+アドレス制御その他: 約50ピン)とすることが考えられる。また、このバスデザインから推測されるバンド幅は、L2キャッシュバンド幅4GB/sec($16B \times 250$ MHz)、システムバスバンド幅2GB/sec($16B \times 125$ MHz)というピーク性能に到達すると考えられる。ここで、動作周波数に関しては、図-1のトレンドより、現在最も高速なマイクロプロセッサのコア・スピード、500MHzを採用した。しか

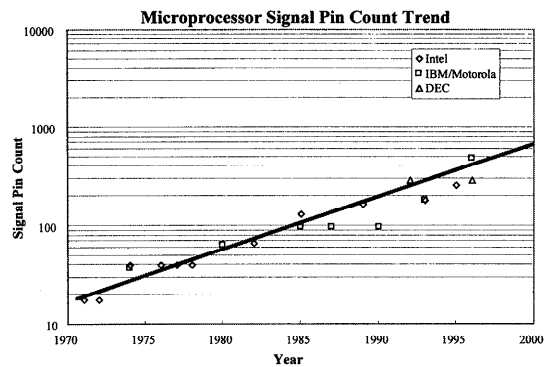


図-2 マイクロプロセッサチップ信号ピン数の推移

し、前述したように、チップ間接続を100MHz以上の周波数で動作させることは、高い実装技術とコストを必要とする。

プロセッシングデータバスは、大きなバンド幅と小さなメモリアクセスレイテンシを両立させることがデザインのポイントである。しかし、これを実現させるコストとのトレードオフで決まる。最終的なデザインは、その計算機が目的とするアプリケーションに左右されバスのバランスが決定される。

これらプロセッシングデータバスの高速化問題点解決の1つのソリューションとしてDRAMとプロセッサをワンチップに混載する“IRAM”や“PPRAM”が考案されている。前者は、カリフォルニア大学バークレー校のパターソン教授、後者は、九州大学の村上助教教授が提唱されている。今後、このような技術分野の解説もとりあげることができればと考えている。

また、マイクロプロセッサやキャッシュSRAMを含めたチップ実装技術は、低コストなMCM(マルチ・チップ・モジュール)や伝搬遅延を大幅に緩和するベアチップ実装が実現されようとしている。このような実装技術の進歩もプロセッシングデータバスの高速化問題解決を促す。

今回は、きわめて単純な比較を行った関係上キャッシュマシンの方式によるメモリレイテンシ隠蔽技術を考慮していない。キャッシュミスに起因する性能低下問題は、アウトオブオーダー実行やデータキャッシュプリフェッチ技術とコンパイラ技術の進歩により、一部のアプリケーションでは過去のものになりつつある事実をつけ加えたい。

最後に、執筆者の方々は各々の分野の第一線で活躍されている企業の方々であり、お忙しい中から時間を割いていただきました。感謝いたします。

(平成9年5月9日)