

nMOS レベルシフト回路の性能比較手法について

大津 誠[†] 高橋 真吾[†] 築山 修治[†] 橋本 昌宜^{**} 白川 功^{***}

[†] 中央大学大学院理工学研究科 〒112-8551 東京都文京区春日 1-13-27

^{**} 大阪大学大学院情報科学研究科 〒565-0871 吹田市山田丘 1-5

^{***} 兵庫県立大学大学院応用情報科学研究科 〒650-0044 神戸市中央区東川崎 1-3-3

E-mail: [†] {ohtsu,sint}@tsuki.elect.chuo-u.ac.jp, tsuki@elect.chuo-u.ac.jp

^{**} hasimoto@ist.osaka-u.ac.jp ^{***} sirakawa@ai.u-hyogo.ac.jp

あらまし 製造技術や要求仕様が変更された場合、同じ機能を持つ幾つかの回路のどれが最適かを見出す必要が生じることが多いが、回路性能を評価する基準は複数あるため、最適性の決定は困難な作業となる。本文では、回路の最適化手法を用いた回路評価手法を提案し、これを nMOS 単チャンネルレベルシフト回路に適用した結果を報告する。提案手法により、回路の特徴を把握することができ、新たな回路開発にも役立つ。

キーワード nMOS レベルシフト、液晶表示装置用駆動回路、回路性能、評価手法

On Evaluation Methods of nMOS Level Shifter Circuits

Makoto OTSU[†] Shingo TAKAHASHI[†] Shuji TSUKIYAMA[†]

Masanori HASHIMOTO^{**} and Isao SHIRAKAWA^{***}

[†] Graduate School of Science and Engineering, Chuo University, 1-13-27 Kasuga, Bunkyo-ku, Tokyo, 112-8551 Japan

^{**} Graduate School of Information Science and Technology, Osaka University, 1-5 Yamada-Oka, Suita, 565-0871 Japan

^{***} Graduate School of Applied Informatics, University of Hyogo, 1-3-3 Higashi-Kawasaki-cho, Chuo-ku, Kobe, 650-0044 Japan

Abstract When the process technology or required specification is changed, we face a problem of finding the optimum circuit among various circuits with the same functionality. The problem is not easy to solve, since there exist many metrics to evaluate the circuits. This paper proposes a method to compare circuits with the use of a circuit optimizer and applies the method to nMOS level shifter circuits. The experimental results show that the method helps capturing the circuit features and devising a new level shifter.

Keyword nMOS level shifter, driver circuit for LCD, circuit performance, evaluation method

1. はじめに

現在、液晶ディスプレイ (LCD) は、液晶テレビ・携帯電話・デジタルカメラ等の様々な機器の画像表示装置として需要が増加しており [1], LCD 駆動回路に関しても様々な有用な設計手法が考案されている [2-5]. 携帯情報機器等で使用する小規模 LCD 用駆動回路は、SoG (System on Glass) 技術を用いて LCD と同じガラス基板上に作成するが [1,6], 消費電力の低減だけでなく、製造コストの削減も重要な課題となっている。

この LCD 駆動回路を nMOS だけを用いて実現することができれば、pMOS 用プロセスを省くことができ、製造コストの削減が図れる。しかし、回路を nMOS のみで構成した場合、どの程度の性能を得ることができるのか、すでに提案されている回路のどれが最も適し

ているのかなど、解決すべき課題は多い。特に、レベルシフト [7-10] のような基本的な回路は、既に多くの回路が提案されており、新たな回路を開発する前に、それらの特徴を知ることは有用である。

製造技術や要求仕様が変更された場合、同じ機能を持つ幾つかの回路のどれが最適かを見出す必要が生じることが多いが、回路性能を評価する基準が複数あるため、最適性の決定は困難な作業となる。要求仕様が明確であるならば、その仕様の基に比較できるが、単に一つの仕様の下で優劣を付けただけで終わっていたのでは、仕様が変われば再度同じ比較をしなければならず、新たな回路開発に結びつかない。従って、回路性能を比較し、評価する手法は、統一的な基準に基づき、得られた比較結果が、回路の特徴を把握する上で

有用なものであることが好ましい。回路の特徴を把握することができれば、新たな回路開発にも繋がる。

そこで、本文では、回路シミュレータなどに備わっている最適化機能を利用した回路評価手法を提案し、これを nMOS 単チャネルレベルシフタ回路に適用した結果を報告する。この結果から、対象とした回路の特徴が分かる。

以下では、第 2 章において提案する評価手法を述べ、第 3 章で評価対象のレベルシフタを紹介する。第 4 章で最適化基準について述べ、第 5 章において実験結果を示した後、第 6 章で終わる。

2. 性能評価手法

レベルシフタ回路の性能を評価する指標には、遅延時間、遷移時間、回路面積、消費電力などがあり、さらにこれらが電圧、周波数、ばらつきに対してどのような変化をするかなども重要となる。ここでは、回路の評価によく用いられる回路面積、遅延時間、および消費電力の 3 つの指標に着目した評価手法を提案する。

通常、回路性能を決定するパラメータには、トランジスタのゲート長 L やしきい値電圧 V_{th} などもあるが、これらはその時点のテクノロジーによって決定されることが多いので、ここでは、これらは一定であるとし、トランジスタのゲート幅 W やキャパシタンス C の大きさを調整することにより、回路性能を変える。この場合、 L や V_{th} が変われば、再度性能比較しなければならないかもしれないが、得られた特徴は保存するものと期待できる。

提案手法は、回路面積の範囲を指定し、その範囲内で SmartSPICE[11] の最適化機能を用いて遅延時間最小化設計および消費電力最小化設計を行う。これにより、回路面積がほぼ等しい（指定された範囲内の）2 つの異なる回路が得られる。一方は、遅延時間最小化設計によって得られた回路で、以下ではこれを D_{min} 回路と呼ぶ。もう一方は、消費電力最小化設計によって得られた回路で、以下ではこれを P_{min} 回路と呼ぶ。

これらの回路の遅延時間および消費電力を回路面積に対して表示すると、図 1 のようになると考えられる。ここで、●は D_{min} 回路を、▲は P_{min} 回路を示す。遅延時間を表す図 1(a) においては、SmartSPICE の最適化が正常に機能していれば、●が▲より下にあるはずで、●より下の遅延時間は、その回路面積では達成困難であると考えられる。また、この 2 つの点に挟まれた範囲の遅延時間は、その回路面積において、 W や C を調整することにより達成可能であると言える。

これに対して、消費電力を示す図 1(b) においては、▲が●より下に来るはずで、▲より下の消費電力は、その回路面積では達成困難であると考えられる。また、

これらの点に挟まれた範囲の消費電力は、その回路面積で達成可能と言える。

性能比較を行いたい各回路に対して、図 1 のようなグラフを作成すれば、各回路の特徴を把握し、回路選択に対する適切な指標となる。本文では、このような手法をレベルシフタ回路に適用してみる。

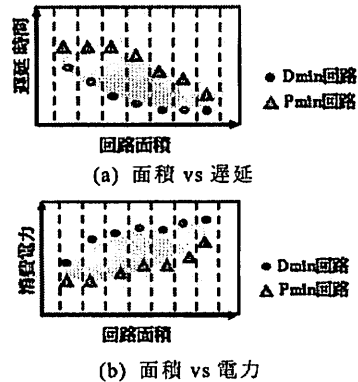


図 1. 遅延最小化設計回路と電力最小化設計回路

3. レベルシフタ

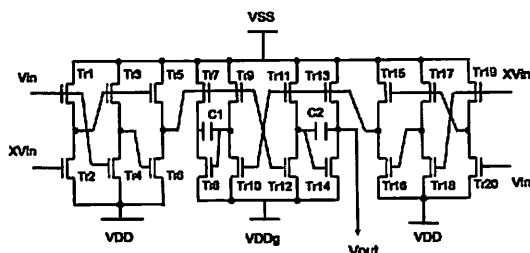
比較対象の nMOS レベルシフタ回路を図 2 に示す。これらのレベルシフタ回路は、 V_{in} に入力されたパルスが、高電位が $VDDg$ で低電位が VSS であるようなパルスに変換するが、 V_{in} のみで動作する nMOS レベルシフタを構成するのは困難であるため、 V_{in} を反転させたパルス XV_{in} も入力することになっている。

また、nMOS だけを用いているため、高電位が VDD よりしきい値電圧分降下し、出力電圧が VDD までフルスイングしない[12]。これを解決するため、出力トランジスタのゲート・ソース間に $VDD-VSS$ 間の電圧より高い電圧をかけ、ブートストラップ効果[12]を用いて、出力電圧が VDD になるようにしている。以下では、この役目をする nMOS をブートストラップ Tr 、ブートストラップ Tr に高電圧をかけるために用いるキャパシタンスをブートストラップキャパシタンスと呼ぶ。

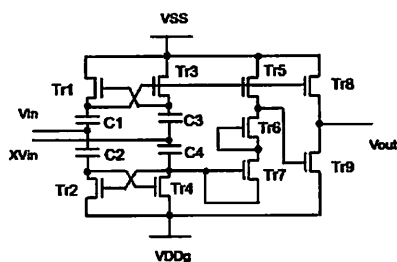
図 2 の (a)~(c) に示す 3 つの回路の内、図 2(c) の回路 LS3 は、nMOS 回路として提案されているが、同図 (a) および (b) の回路 LS1 および LS2 は、どちらも pMOS 回路として提案されている。図 2(a), (b) に示した回路は、提案回路の pMOS を nMOS に置き換えたものである。以下に、各回路の特徴を簡単に述べる。

図 2(a) の LS1[7] は、 VDD と $VDDg$ の 2 電源を持ち、 $Tr1 \sim Tr6$ および $Tr15 \sim Tr20$ の nMOS で構成された回路で入力パルスの高電位を $VDDg$ に昇圧し、 $Tr7 \sim Tr14$ で構成された回路で低電位を VSS に降圧する。この回

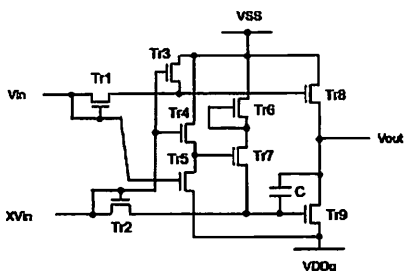
路の Tr7, Tr8 および Tr13, Tr14 は、最終段バッファ部を構成するトランジスタで、Tr8 および Tr14 がブートストラップ Tr であり、C1 および C2 がブートストラップキャパシタンスである。以下では、最終段バッファ部以外の部分を回路部と呼ぶ。



(a) LS1 [7]



(b) LS2 [8]



(c) LS3 [9]

図 2. nMOS レベルシフタ回路

図 2(b) の LS2[8]は、4つのキャパシタンスで節点電位を調整することにより、最終段バッファ部の Tr8 および Tr9 だけでなく、回路部の Tr2, Tr4, Tr7 および C4 によってもブートストラップ効果を生じさせ、電圧を昇圧している。また、他の回路と異なり、VDDg から VSS に貫通電流が流れにくい構造となっている。

図 2(c) の LS3[9]は、他の回路に比べて素子数が少なく、シンプルな回路構造になっている。最終段バッ

ファ部は Tr8 および Tr9 のトランジスタから成り、Tr9 がブートストラップ Tr で、C がブートストラップキャパシタンスである。

以上の回路は、液晶駆動用回路の仕様を満たすが、仕様を満たさないレベルシフタ回路も提案されている。例えば、文献[10]には、pMOS レベルシフタ回路が提案されているが、この回路の pMOS を nMOS に置き換えても仕様を満たすことができない。なぜなら、今回の仕様では、Vin の低電位が VSS 以上であり、その場合、文献[10]の回路の pMOS を nMOS に置き換えた回路では、幾つかのトランジスタが常に on 状態になってしまうため、高電位が VDDg にならない。そこで、ここでは、このような回路は比較対象から外した。

4. 評価関数

遅延最小化および消費電力最小化は、SmartSPICE の最適化機能を用いて行う。最適化を行う上で用いた評価関数は、満たすべき制約条件を表す制約関数と、最適化を行う指標となる目的関数から成る。

遅延最小化および消費電力最小化に用いた評価関数をそれぞれ式(1)および(2)に示す。

$$F_d = \text{Delay} + \text{Size} + \text{Slew} + \text{Volt} \quad (1)$$

$$F_p = \text{Power} + \text{Size} + \text{Slew} + \text{Volt} \quad (2)$$

ここで、Delay および Power は、それぞれ遅延時間および消費電力に関する目的関数であり、Size, Slew, および Volt は、それぞれ回路面積、遷移時間、出力電圧に関する制約関数である。評価関数 F_d および F_p は、これらの目的関数と制約関数の和であり、評価関数を最小化するように最適化を行う。

目的関数 Delay は、出力波形の立ち上がり遅延 tr_d および立下り遅延 tf_d の 2 乗和の平方根とする。

$$\text{Delay} = \sqrt{(\text{tr}_d)^2 + (\text{tf}_d)^2} \quad (3)$$

ここで、立ち上がり遅延 tr_d は入力波形の 50%立ち上がり時刻から出力波形の 90%立ち上がり時刻までの時間であり、立下り遅延 tf_d は入力波形の 50%立下り時刻から出力波形の 10%立下り時刻までの時間である。

目的関数 Power も同様な形の次式とする。

$$\text{Power} = \sqrt{(\text{vdd}_p)^2 + (\text{vss}_p)^2} \quad (4)$$

ここで、vdd_p は、VDDg (回路 LS1 の場合には VDDg と VDD) から流出する 2 入力パルス分の総電流量、vss_p は VSS に流入する 2 入力パルス分の総電流量である。従って、どちらも消費エネルギーに対応する。

これらの目的関数 Delay および Power では、2 つの値の 2 乗和を取ることで、両方の値が同程度に小さくなることを期待している。また、目的関数の値が、遅延時間あるいは消費電流の変化に対して、線形に近い変化をするよう、2 乗和の平方根を取っている。線形にした理由は、変化が単純で予測しやすく、次に述

べる制約関数との関係も分かりやすいためである。

制約関数は、制約を満たしている間、小さな値を取り、かつその変化も小さく、制約を外れると急激に増加するような関数にするため、指数関数とした。また、制約を満たしている間は、制約関数の値の変化(傾き)は、目的関数の値の変化(傾き)に比べて小さくなるようにする。これは、SmartSpiceの最適化機能が、評価関数の傾きが大きいものを優先して変更する傾向があるようにみえるからである。

制約関数 Size は、回路面積を指定した範囲内に収めるためのもので、回路面積の上限および下限に関する関数 S_max および S_min の和になっている。

$$\text{Size} = S_{\text{max}} + S_{\text{min}} \quad (5)$$

ここで、S_max および S_min はそれぞれ回路面積が上限値および下限値にどれだけ近づいているかを調べる関数で、次のような指数関数である。

$$S_{\text{max}} = \text{Exp} \left[\left\{ \frac{\text{area}}{(1-\text{margin}) \cdot \text{max_area}} - 1 \right\} \cdot \log_e(\text{base}) \right] \quad (6)$$

$$S_{\text{min}} = \text{Exp} \left[\left\{ 1 - \frac{\text{area}}{(1+\text{margin}) \cdot \text{min_area}} \right\} \cdot \log_e(\text{base}) \right] \quad (7)$$

これらの関数において、area は回路面積を表し、max_area および min_area はそれぞれ回路面積の上限値と下限値である。また、 $0 < \text{margin} < 1$ なる値を持つ margin を導入し、これらの上限値、下限値が満たされるように制約を厳しくしている。実験では、margin = 0.3 とし、指数部の底 base の値は 256 とした。

制約関数 Slew は遷移時間に関するもので、立ち上がり遷移時間に関する制約関数 Tr_slew と立下り遷移時間に関する制約関数 Tf_slew の和である。

$$\text{Slew} = \text{Tr_slew} + \text{Tf_slew} \quad (8)$$

ここで、Tr_slew および Tf_slew はそれぞれ次のような指数関数である。

$$\text{Tr_slew} = \text{Exp} \left[\left\{ \frac{\text{tr}}{(1-\text{margin}) \cdot \text{slew}_r} - 1 \right\} \cdot \log_e \left(\frac{\text{base}}{2} \right) \right] \quad (9)$$

$$\text{Tf_slew} = \text{Exp} \left[\left\{ \frac{\text{tf}}{(1+\text{margin}) \cdot \text{slew}_f} - 1 \right\} \cdot \log_e \left(\frac{\text{base}}{2} \right) \right] \quad (10)$$

ここで、tr および tf は、それぞれ出力波形の立ち上がり遷移時間(10%から90%まで立ち上がる時間)および立下り遷移時間(90%から10%まで立下る時間)であり、slew_r および slew_f は、それぞれ立ち上がり遷移時間および立下りの遷移時間に関する制約値である。これらはどちらも許容遷移時間の最大値で、出力パルスは $\text{tr} \leq \text{slew}_r$ および $\text{tf} \leq \text{slew}_f$ の制約を満たす必要がある。ここでは、指数部の底を base/2 とし、回路面積に関する制約より関数の変化率(傾き)を小さくしている。これは、面積制約の方を重視するためである。

制約関数 Volt は、出力が正しく出ていることを保証するためのもので、出力の高電位に関する関数 High と低電位に関する関数 Low の和になっている。

$$\text{Volt} = \text{High} + \text{Low} \quad (11)$$

ここで、High および Low はそれぞれ次のような指数関数である。

$$\text{High} = \text{Exp} \{ [\text{VDDg} - \text{vhigh}] \cdot \log_e(\text{base}) \} \quad (12)$$

$$\text{Low} = \text{Exp} \{ [\text{vlow} - \text{VSS}] \cdot \log_e(\text{base}) \} \quad (13)$$

ここで、vhigh および vlow は、それぞれ出力の最大の電位と最小の電位で、それぞれ VDDg および VSS になる必要がある。

今回調査を行った3つのレベルシフト回路では、 $\text{vhigh} \leq \text{VDDg}$ 、 $\text{vlow} \geq \text{VSS}$ であり、vhigh、vlow の制約値 VDDg、VSS との差 $\text{VDDg} - \text{vhigh}$ 、 $\text{vlow} - \text{VSS}$ の値は、遷移時間や回路面積に関する制約式の指数部と同程度の値で変化する。また、この制約値との差(絶対誤差)を、その差の制約値に対する比(相対誤差)よりも重視したため、この形の制約式にしている。これを、式(6)、(7)、(9)、(10)のように、相対誤差に関する形にすることも可能であるが、そうすると、vhigh、vlow に関する絶対誤差が同程度でも、相対誤差は制約値の小さい VSS で割り算する制約式 Low の方が大きな値になり、vlow を優先して変更される可能性がある。そこで、vhigh および vlow が均等に制約値に近づくよう、このような制約関数とした。なお、指数部の底は base とし、遷移時間の制約よりも重視している。

5. 実験結果

上述のレベルシフト回路 LS1、LS2、および LS3 に対して、提案手法を適用した結果を以下に示す。

実験では、各トランジスタのゲート幅は、 $W_{\text{min}} \sim 250 \times W_{\text{min}}$ の範囲で、LS1 および LS3 のブートストラップキャパシタンスは $C_{\text{min}} \sim 10 \times C_{\text{min}}$ の範囲で、LS2 の4つのキャパシタンスは $C_{\text{min}} \sim 100 \times C_{\text{min}}$ の範囲で変化させた。

また、入力 Vin には、入力遷移時間が 100 ns で、高電位期間および低電位期間がそれぞれ 34 μs および 42 μs の台形パルスを2周期分入れ、出力には配線負荷として、3段π型 RC 回路を接続した。

さらに、回路面積の範囲は、許容最大面積 A_{max} を5等分して区間を決めた。回路面積 area には配線は含まず、各トランジスタの面積を(ゲート長 L × ゲート幅 W)で、キャパシタの面積を(キャパシタンス/単位面積当たりのキャパシタンス)で計算し、必要な個数のトランジスタとキャパシタを加算して area とした。

図3にLS1に関する結果を示す。ここで、(a)は回路面積と遅延時間の関係を示す。遅延時間は、立ち上がり遅延 tr_d と立下り遅延 tf_d の2乗和をとり、その平方根を取った値、すなわち目的関数 Delay の値である。また、(b)は回路面積と消費電力の関係を示す。消費電力は、VDDg、VDD、および Vin から流出する電流の2周期分の平均値に、VSS からの電圧を掛けた値である。

遅延時間および消費電力の計算方法は、以下の図においても同じである。同図(c)には、面積とPD積の関係を示した。

この回路の場合、素子数が多く、最小面積の範囲では解は得られなかった。また、消費電力最小化を行っても遅延があまり増加せず、面積の増大に伴って減少する遅延の割合が、消費電力の増加の割合よりも大きいため、PD積は回路面積が増大するにつれて減少する。

指定された面積の範囲において、消費電力最小化設計を行うと、トランジスタサイズを小さくしようとするが、目的関数には遅延時間の制約を与える制約関数 Slew も入っているため、バッファ部のトランジスタサイズを小さくするには限界がある。そのため、消費電力最小化を行っても遅延が大きく増加することはない。消費電力の最小化は回路部のサイズの変更によって行われる。従って、LS1は遅延を一定値に保ったまま、消費電力を下げ易い回路であると言える。

図4にLS2の結果を示す。キャパシタが4個もあるため、この回路も最小面積の範囲では解は得られなかった。

図4(a)および(b)から分かるように、各面積範囲において、Dmin回路とPmin回路は、遅延においても消費電力においても差が小さい。すなわち、遅延最小化を図っても、消費電力の増加は少ない。これは、この回路の各トランジスタのサイズ比や各キャパシタのキャパシタンス比が適切な値から外れると、SlewやVoltの制約を満たさなくなるため、どちらの場合にも生成

される回路のサイズが同程度になり、違いがでないからである。これから、LS2は、回路パラメータの許容変動幅の小さい、ばらつきに弱い回路であるということができる。

また、LS1と同様、Dmin回路とPmin回路の両方共、PD積は回路面積の増大に伴って減少する。これは面積の増大に伴う遅延の減少効果が大きいためである。

図5にLS3の結果を示す。この回路は素子数が少ないため、最小の面積範囲でも解が得られている。しかし、Dmin回路の消費電力がPmin回路に比べて大きく、その差は回路面積が大きくなるほど大きくなる。これは次のような理由による。

LS3の遅延は、最終段バッファ回路のサイズだけでなく、回路部のTr4、Tr5でも変化し、これらのトランジスタには貫通電流が流れる。従って、遅延最小化設計では、許容面積範囲内であれば遅延が改善される限り、これらのトランジスタのサイズを大きくするため、Dmin回路の消費電力が増大する。

一方、Pmin回路では、最終段バッファ部のサイズはSlewの制約があるので小さくできない。ちなみに、面積の範囲が最大のところでは、Pmin回路の最終段バッファ回路のサイズは指定したゲート幅の最大値になってしまっている。そのため、Dmin回路と差の少ない遅延値が得られている。すなわち、回路部のサイズの変更による遅延の改善は小さいということである。

図6に全回路を纏めて示す。これより、遅延最小化を行えば、LS3が各面積範囲において最小遅延を与え

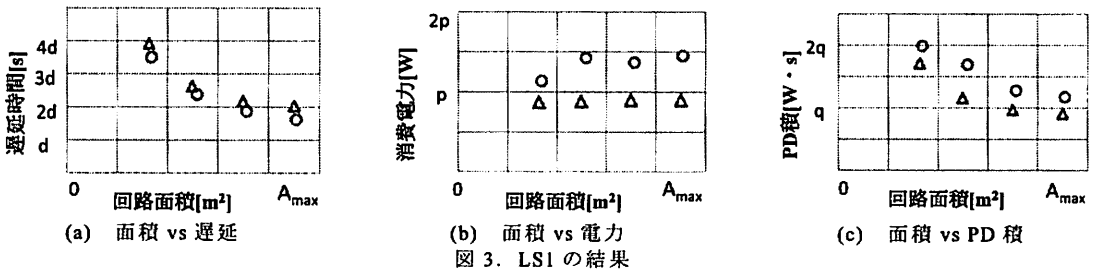


図3. LS1の結果

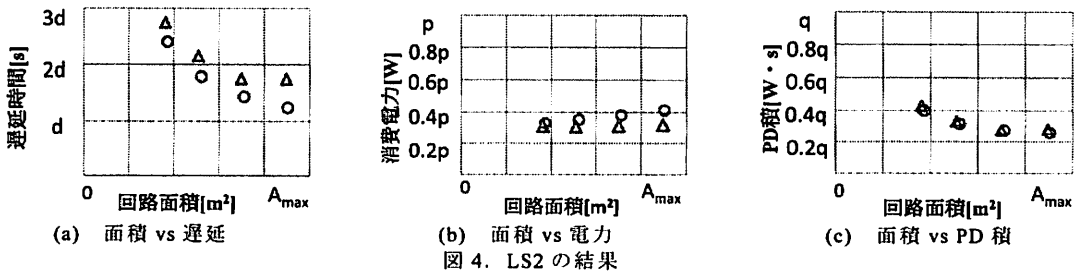
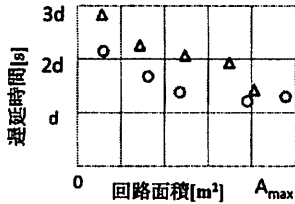
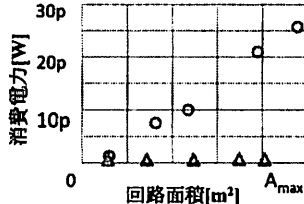


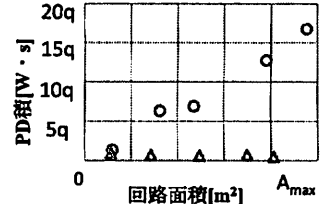
図4. LS2の結果



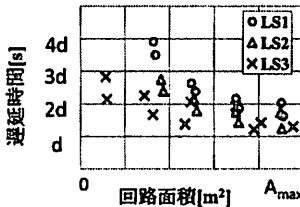
(a) 面積 vs 遅延



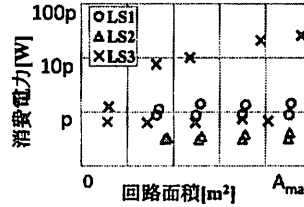
(b) 面積 vs 電力
図 5. LS3 の結果



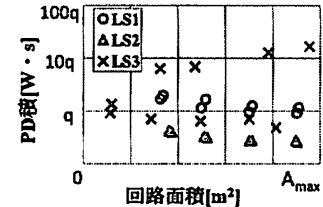
(c) 面積 vs PD 積



(a) 面積 vs 遅延



(b) 面積 vs 電力



(c) 面積 vs PD 積
図 6. 全回路の比較

ることが分かるが、そのときの消費電力は他に比べてはるかに大きい。また、LS2 は消費電力において優れ、その良さは、PD 積も小さくしている。

6. むすび

本文では、SmartSPICE の最適化機能を用いて、遅延最小化および消費電力最小化設計を行うことにより、面積が同程度の 2 つの回路を得、これを基に回路を比較する手法を提案した。また、この手法を nMOS シフトレジスタに適用した結果を示した。それより、各回路には以下の特徴があることが分かった。

LS1 は遅延をある値に保ちつつ消費電力を小さくすることができる。LS2 は貫通電流を流さないため、消費電力は小さいが、ばらつきに弱い。LS3 はバッファ部だけでなく、回路部も遅延最小化に寄与するため、消費電力に対する配慮が重要である。

レベルシフタの評価には、これらの他に、遅延時間や消費電流の電圧依存性、動作電圧や消費電流の周波数依存性、さらにばらつき耐性など、多くの指標がある。ここで得られた Dmin 回路と Pmin 回路のこのような特性を調べることなどが、今後の課題である。

謝辞： 本研究を進めるに当たり、日頃より有益なご議論を賜わるシャープ（株）の久保田靖氏、永井知幸氏、西修司氏、辻野幸生氏に深謝します。

文 献

[1] E.Lueder, Liquid Crystal Displays: Addressing Schemes and Electro-Optical Effects, John Wiley & Sons, 2001.

[2] J.Ohwada, M.Takabatake, Y.A.Ono, A.Mimura, K.Ono, N.Konishi, "Peripheral circuit integrated polySi TFT LCD with gray scale representation", IEEE Trans. Electron Devices, vol.36, no.9, pp.1923-1928, 1989.

[3] L.G.Lewis, D.D.Lee, and R.H.Bruce, "Polysilicon TFT circuit design and performance", IEEE J. Solid-State Circuits, vol.27, no.12, pp.1833-1842, 1992.

[4] S.Takahashi, S.Tsukiyama, M.Hashimoto, I.Shirakawa, "A sampling switch design procedure for active matrix liquid crystal displays," IEICE Trans. Fundamentals, vol.E89-A, no.12, pp.3538-3545, 2006.

[5] M.Hashimoto, T.Ijichi, S.Takahashi, S.Tsukiyama, I.Shirakawa, "Transistor sizing of LCD driver circuit for technology migration," IEICE Trans. Fundamentals, vol.E90-A, no.12, pp.2712-2717, Dec. 2007.

[6] J.H.Atherton, "Integrating electronics into active matrix liquid crystal displays", Proc. IEEE Conf. AMLCD, pp.58-65, 1995.

[7] W-J.Nam, S-H.Jung, J-H.Lee, H-J.Lee, M-K.Han, "A low-voltage P-type poly-Si integrated driving circuits for active matrix display," SID 05 DIGEST, pp.1046-1049, 2005.

[8] S-H.Yeh, W-T.Sun, C-C.Pai, H-S.Chou, C-S.Yang, "System-on-glass LTPS LCD using P-type TFTs", SID 06 DIGEST, pp.1177-1181, 2006.

[9] 伊藤大亮, 甚田誠一郎, 猪野益充, "バッファ回路及び表示装置", 特開 2005-123865, 2005-05-12.

[10] W-J.Nam, J-H.Lee, B-H.You, H-J.Lee, M-K.Han, "Low power driving scheme of PMOS integration in active-matrix displays", AMLCD'04, 2004

[11] SmartSPICE, <http://www.silvaco.co.jp/index.html>

[12] J.Streensgaard, "Bootstrapped low-voltage analog switches," Proc. Int. Symp. Circuits and Systems, vol.II, pp.II-29-II-32, 1999.