

電子系DAに於いて部品配置を同時に行う概略配線問題の定式化について

白石洋一、平澤知久¹

群馬大学 工学部 情報工学科

電子系レイアウトDA (Design Automation) の1処理であるフロアプラン問題を対象とした超大規模組合せ最適化問題を取り扱う。フロアプラン処理では部品間の概略配線径路と部品の配置を同時に決定する必要がある。ここで概略配線径路とは、レイアウト領域全体を小領域に分割し、部品の端子間を結合する配線径路を概略径路、即ち小領域の系列、として求める問題である。目的関数は、配線径路長の合計最小化、レイアウト領域面積最小化、電気的特性最適化、等である。本稿では特に部品の相対配置を入力として、それをもとに概略配線径路を決定し、同時に部品の絶対配置をも決定する問題を目標計画問題として定式化する。目的関数は配線径路長の合計最小化、レイアウト領域面積最小化、とした。まず概略配線問題を平面多種フロー問題として定式化する。次にレイアウト領域サイズの推定式を求め、それらを平面多種フロー問題に追加して目標計画問題とする。実際のフロアプラン問題を対象としてこの目標計画問題の規模のオーダを推定した。その結果、変数の個数 10^6 個、制約行列サイズ (10^5 、 10^6) であった。

A Mathematical Formulation of a Global Routing Problem Concurrently Placing Components in an Electronic Design Automation

Yoichi SHIRAIISHI, Tomohisa HIRASAWA
Department of Computer Science
Gunma University, Kiryu, Gunma 376, Japan

This report deals with the very large combinatorial optimization problem formulated from a "floor planning" problem encountered in the Electronic Design Automation. In the floor planning design, the locations of components and the global routes of wires must be determined simultaneously. Here, a global route connecting the source and sink pair is defined as a sequence of channels, the fragments obtained by dividing the whole layout area. The objective functions are the minimization of the total wire length, the minimization of the layout area or the optimization of the electric performances. In this report, the mathematical formulation of floor planning problem with the input of relative placement of components is discussed. Objective functions are temporarily restricted to the minimization of the total wire length and the minimization of the layout area. A global routing problem is first formulated as a multi-commodity network flow problem. Then, the linear expressions estimating the layout area are added to this problem and finally, a goal programming problem is obtained. The orders of the size of this goal programming problem are estimated against comparatively large actual floor planning problems. Then, the order of the number of variables is 10^6 and that of the size of constraint matrix is (10^5 , 10^6).

¹376 桐生市天神町1-5-1 群馬大学工学部情報工学科
Tel:0277-30-1854, 1855, Fax:0277-30-1801
E-mail:{siraisi, hirasawa}@keim.cs.gunma-u.ac.jp

1. 緒言

電子系DA (Design Automation) とは、年々大規模化、複雑化するVLSI (Very Large Scale Integrated circuit) チップの設計を計算機を用いて自動化することである。これは半導体産業において基幹となるソフトウェアシステム、且つ技術であると同時に、超大規模組合せ問題の重要な例題でもある。近年の計算機の急激な能力増大、パーソナル化、及びネットワークの高速化により、従来は実行不可能と考えられて来た超大規模計算が可能となりつつある。このため電子系DAに於いては、従来の実用化を意識した発見的アルゴリズムベースのアプローチとは異なり、少なくとも最適解を得られる定式化を行い、問題を最適に解くアプローチ (以下、最適化アプローチと呼ぶ) を採るべきであると考えられる。これは、問題の複雑さとシステムの巨大化から、いずれ発見的アルゴリズムの設計開発が困難になるであろうとの危惧にも因っている。

我々はこの考え方にに基づき、電子系DAの特にレイアウトDAを対象として、最適化アプローチの下で問題の定式化を行い、それを解く手法を検討して来ている^{[1][2][3]}。レイアウトDAの問題は、部品を配置し部品間を配線する問題からなるが、我々はまず処理時間の多くを占める配線問題の一部を対象として最適化アプローチを適用している。配線問題は概略配線問題と詳細配線問題とからなる。前者は配線領域全体を対象として概略の配線径路を決定し、後者は概略径路に従って限定された小領域内の配線径路を決定する問題である。

以下では概略配線問題を平面多層フロー問題、即ち0-1線形計画問題として定式化する^[1]際の線形計画問題を目標計画問題^[4]に拡張して、レイアウトサイズに関する目的関数を導入する。これにより、部品の相対配置をもとに概略配線径路を求めつつ、同時に部品の配置を調整してレイアウトサイズを最小化する問題を作成することができる。以下では特にこの定式化について述べる。

2. レイアウトモデル

図1にビルディングブロック方式によるVLSIチップのレイアウトモデルを示す。Block, Macro, Core, RAM, Manually Designed Blockは各々特定の機能を持つ部品である。これらの部品辺上、又は内部に配線径路で同電位にすべき「端子」の集合が与えられている。以下ではこのレイアウトモデルに於いて部品の端子間の配線径路を決定する問題を取り扱う。配線径路を作成できる領域は、通常、部品

上及び部品間のチャンネルと呼ぶ領域である。

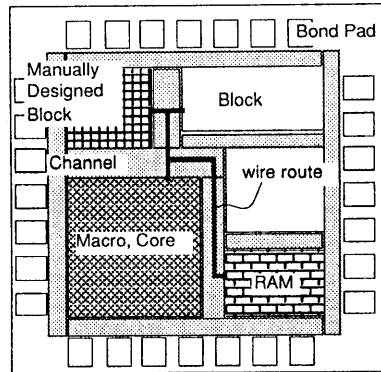


図1 ビルディングブロック設計方式レイアウトモデル

3. VLSIチップ設計

VLSIチップの全自動設計フローを図2に示す。VLSIチップの方式設計完了後、論理設計を行う。実装設計は論理設計結果である部品端子間の接続関係 (以下ネットリストと呼ぶ) と製造条件とを入力として、チップ面積最小化、電気的特性最適化、等の目的関数の下で部品を配置配線する設計である。

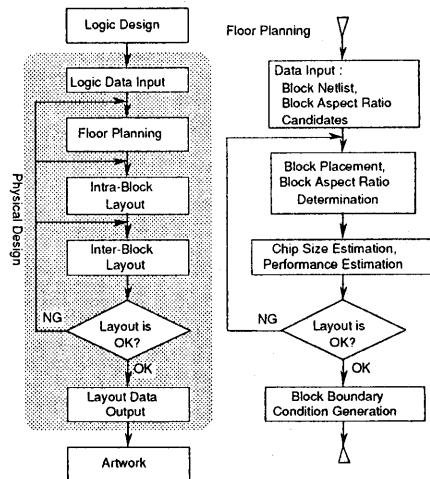


図2 VLSI自動設計フローとトップレベル処理フロー

実装設計内では設計を階層的に行う。即ち、ブロック (自動設計、人手設計、の各ブロック、及びマクロ、コア、RAM等) と呼ぶ機能の一纏まりをブラックボックスとして取り扱うブロックレベルのレイアウト、その後境界条件と共に各ブロック内を独

立にレイアウトするブロック内レイアウトである。ここでブロックの境界条件を決定するために、フロアプラン¹⁵⁾が必要になる。フロアプランとは、ブロックレベルのネットリストと各ブロックのアスペクト比を入力としてブロック絶対配置とブロックの形状、ブロックの端子位置とを決定する処理である。

4. フロアプランに於ける問題点

フロアプラン処理は現状対話処理が一般的である。何故なら、ブロック数が人手で取り扱える範囲内である、面積以外に電気的特性、等の最適化項目が複雑である、自動処理の性能が不十分である、ためである。従って人手指定されたブロック配置をもとにチップサイズを高精度で推定する処理が非常に重要になる。現状のチップサイズ推定処理は図3(a)に示すように、まず全概略配線径路を決定して各チャンネルのサイズを決定し、続いてそれをもとにブロックの配置を修正する処理である。即ち図4に示すように、チャンネル内配線の混雑度(配線本数/チャンネルサイズ*100)のピークに基づいて隣接ブロックの配置を決定していることになる。しかしこれでは推定精度が低い。このためチップサイズ縮小が重要な時にはブロック配置、即ちチップサイズを固定して概略配線を実行する処理を配線率100%になる迄繰り返すことが必要である。これは設計時間の増大と設計者に1格子座標レベルのブロック配置調整を強いることになる。

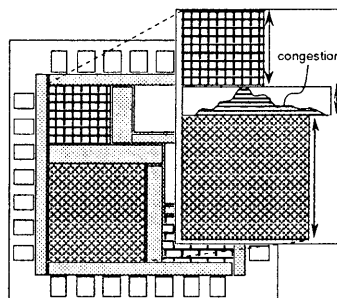


図4 従来のブロック配置決定方法

この問題点の原因は概略配線とブロック配置の各処理が分離し、概略配線径路を決定してからブロックを配置していることにある。本稿では概略配線径路とブロック配置とを同時に行う処理(図3(b))を最適アプローチに基づいて定式化し、チップサイズ推定を高精度で行う。

5. 概略配線

概略配線処理は、あるブロックの端子から他のブロックの端子への配線径路を、チャンネルの系列として求める処理である。

定義1 概略配線問題

入力: ブロックレベルネットリスト、ブロック相対配置、配線条件(配線を実現するための製造条件)、電気的特性(遅延、クック、等、あれば)
 出力: 各ネット毎のチャンネル系列としての配線径路、ブロック配置絶対座標
 目的関数: チップサイズ最小化、電気的特性最適化(あれば)

概略配線径路を決定するにはチャンネルの混雑度が必要であるがブロック配置可変の場合混雑度は求められない。従来は概略配線を実行する前にブロック配置を一旦固定していたが、これを正確に行うには概略配線後のチャンネル内混雑度が必要で、精度を上げるには限界がある。高精度で上記の問題を解くためにはブロック配置と概略配線処理とを同時に行う以外にはない。

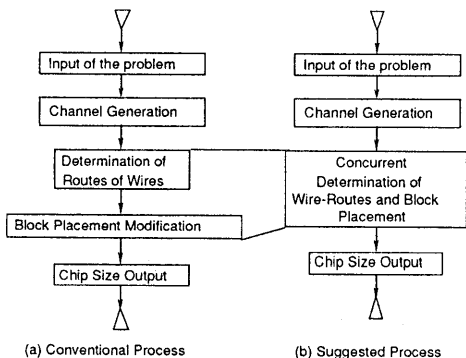


図3 チップサイズ推定処理フロー

6. ネットワークフローを用いた概略配線

我々は概略配線問題を最適に解くために平面多層フローに基づく0-1整数計画問題による定式化を行い、その解法を検討している^{11) 12) 13)}。特に0-1整数計画問題にチップサイズ最小化の目的関

数を追加することで目標計画問題を定義し、それを解くことにより先の概略配線問題を最適に解ける可能性を示した¹²⁾。以下ではその後の検討により、この定式化を細部まで明確にし、目標計画問題が解ければ先の概略配線問題を解くことができることを述べる。

6. 1 チャンネル隣接グラフ

定義2 チャンネル隣接グラフ (図5)

チャンネル隣接グラフとは無向グラフ $G = (V, E, \Phi)$ 、 V 、 E 、 Φ は各々頂点集合、辺集合、及び辺の隣接関係である。頂点はチャンネルに対応し、辺は境界を共有するチャンネル間に作成する。各辺には重みとして隣接チャンネル中心間距離を与える。

各ブロックの端子は、対応する頂点上に存在すると見做す。概略配線径路はこのグラフ上のパスとして表す。

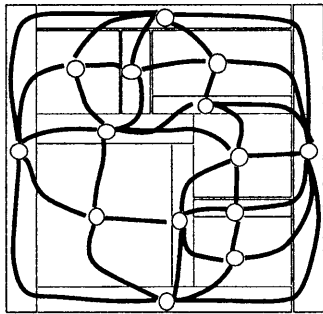


図5 チャンネル隣接グラフ

6. 2 平面多種フロー問題としての定式化

図6を例題として、概略配線問題の目標計画法による平面多種フロー問題としての定式化を述べる。配線は2端子からなるとし、チャンネル隣接グラフの各辺は2本の有向辺として表す。

ネットリスト: $P_1 = (v_5, v_{11})$, $P_2 = (v_9, v_4)$

フロー変数:

$$x_{ij}^k = \begin{cases} 0: \text{ネット } k \text{ が辺 } ij \text{ を通過する} \\ 1: \text{ネット } k \text{ が辺 } ij \text{ を通過しない} \end{cases}$$

目的関数: リグレットの最小化

$$R(d_1^+, d_1^-, d_2^+, d_2^-, d_3^+, d_3^-) = P_1(d_1^+ - d_1^-) + P_2(d_2^+ - d_2^-) + P_3(d_3^+ - d_3^-) \rightarrow \text{最小}$$

d_1^+ : 配線長合計の目標値超過値、

d_1^- : 配線長合計の目標値不足値、

d_2^+ (d_3^+): チップ横 (縦) サイズの目標値超過値、

d_2^- (d_3^-): チップ横 (縦) サイズの目標値不足値

$$d_1^+, d_1^- \geq 0$$

P_i : 配線長合計最小化とチップサイズ最小化との優先順位

制約条件:

(1)フロー保存則 チャンネル隣接グラフの各頂点において、その頂点に流れ込むフロー、その頂点から流れ出るフロー間に保存則が成立する。流れ出るフローを正、流れ込むフローを負で表す。頂点 v_i において、配線 k に対してのフローの総和

$$\sum_j (x_{ij}^k - x_{ji}^k)$$

は、 v_i が配線 k の始点の時1、終点の時-1、通過点の時0となる。

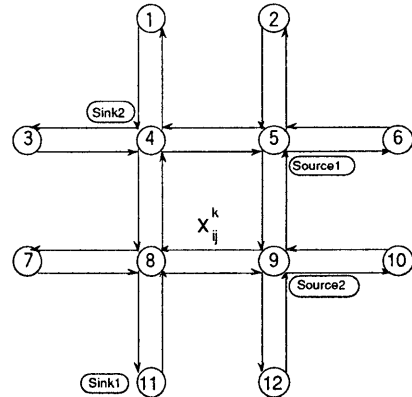


図6 概略配線問題の例

(2)配線長合計 下式で与えられる。

$$\sum_{k=1}^{12} r_{ij}(x_{ij}^1 + x_{ji}^1) + \sum_{k=1}^{12} r_{ij}(x_{ij}^2 + x_{ji}^2) + d_1^+ - d_1^- = L$$

r_{ij} はチャンネル中心間距離とする。

(3)チップサイズ 線形とするために下式とする。詳細は次節以降で説明する。

$$(\text{チップ横サイズ}) + d_2^+ - d_2^- = S_x$$

$$(\text{チップ縦サイズ}) + d_3^+ - d_3^- = S_y$$

ここで、 S_x 、 S_y は最小化目標値のため、任意の値である。

6.3 チップ横縦サイズ計算

図5のチップの縦サイズ計算を例題として説明する。まずチャンネルとチャンネル内配線の関係を述べる。チャンネルは図6(a)のブロック間チャンネルと(b)のブロック上チャンネルの2種類からなる。ブロック間チャンネル縦サイズはその縦辺を横断する配線本数によって決定される。ブロック上チャンネル縦サイズは同配線本数とブロック縦サイズの最大値として決定される。何故ならこのチャンネルはブロックサイズ以下には縮小不可能であるからである。

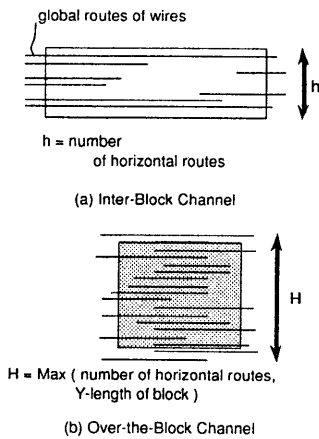


図7 チャンネル縦サイズの決定

チップ縦サイズの計算方法を述べる。図8(a)は例題のチャンネル隣接グラフである。このグラフ上のフローから各チャンネルの縦サイズを計算し、それらをもとにチップ縦サイズを計算する。今(a)のようにある辺を通過するフロー数を n とすると、(b)に示すように左下ブロック上対応するチャンネルの縦方向辺横断配線本数が n 本となる。更に(c)の有向グラフの対応する辺長が $n * (\text{配線間隔})$ となる。ここで注目辺を i, j とするとその通過配線本数は

$$n = \sum_{k=1}^n (x_{ij}^k + x_{ji}^k)$$

与えられる。以上よりチップ縦サイズは(a)のフローをもとにした(c)の有向グラフの最長パス長になる。

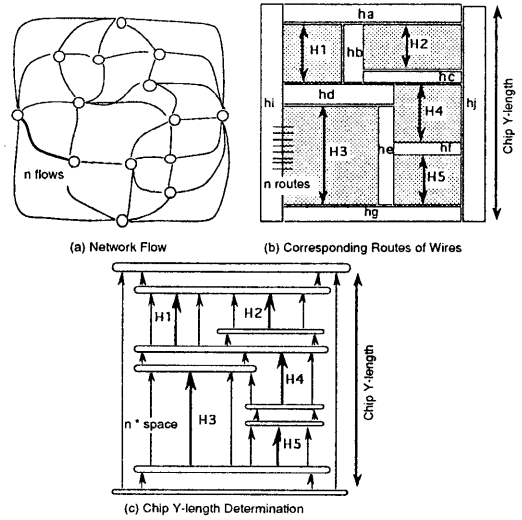


図8 チップ縦サイズ決定方法

6.4 ブロック配置決定

以上で定式化した目標計画問題の得られた解をもとにブロック配置を調整する方法を述べる。ここではブロックの相対配置を変更しないこととする。図9に図5の例を定式化して得られた解をもとにブロック配置を縦方向に調整した例を示す。(a)の網掛け部分のパスは先の目標計画問題を解いた結果として得られた実際の縦方向最長パスである。この例では最下ブロック間チャンネルからチャンネル H_5 、 h_f 、 H_4 、 h_c 、 H_2 、 h_a の系列がチップ縦方向長を決定している。従ってまずこれらのチャンネル順に下方から配置し、チップ縦方向長を決定する。残りのチャンネルをそれらの相対位置を保存しつつ縦方向に配置する。ここでブロック上チャンネルに関して縦方向相対位置を調整するには、例えば H_3 のように上下、又は上/下の一方にスペースを確保する。これは通常、無効領域 (dead space) と呼ばれるものである。一方ブロック間チャンネルの場合には、例えば h_e のようにチャンネルの縦方向長を延長する。

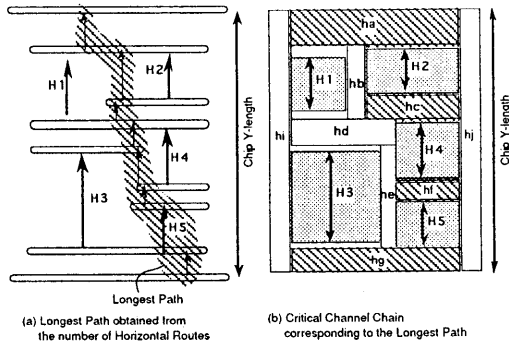


図9 ブロック配置調整

7. 問題規模の推定と解法の検討

6で定式化した目標計画問題の規模を推定すると下記になる。

- ・フロー変数の個数：(配線本数) * (チャンネル隣接グラフの辺数)
- ・フロー保存則の式数：(チャンネル隣接グラフの頂点数)
- ・チップ縦サイズ推定式数：(図8の(c)有向グラフのパス数)
- ・チップ横サイズ推定式数：(横方向の図8(c)に対応する有向グラフのパス数)
- ・配線長合計計算式数：1

実際の規模のフロアプラン問題に対するこれらの推定オーダは下記になる。

- ・フロー変数の個数： $(10^4) * (10^2)$
- ・フロー保存則の式数： (10^2)
- ・チップ縦サイズ推定式数： (10^5)
- ・チップ横サイズ推定式数： (10^5)
- ・配線長合計計算式数：1

解くべき目標計画問題は、フロー変数(0/1)の個数 10^6 個、制約行列サイズ $(10^5, 10^6)$ の規模となる。この目標計画問題を最適に解くことができれば理想的であるが、現状、実用時間内(例えば8時間)で解くことは困難であると思われる。

本目標計画問題に於いてフロー変数、保存則の各個数を最適性を崩さずに削減することは困難と思われる。一方、チップ縦横サイズ推定式数は削減可能性を残している。本稿の定式化では図8(c)に於いて、全てのパスを最長可能性パスとして抽出した。実際この例でのパス数は1058である。パスを詳細

に分析することにより、最長可能性パス数を削減可能かも知れない。チップサイズを求める線形式は、本来(チップ縦サイズ) + (チップ横サイズ)と和で制約式を立てるべきであるが、この時の組合せの制約式数は 10^6 程度、実際規模の問題では 10^{10} 程度と推定されるため、縦横サイズ独立に制約式としている。例えば近似的に、simulated annealing, genetic algorithm等で上記目標計画問題を解く場合を考える。この時、一つの解ベクトルに対してチップ縦横サイズを決定するパスは各々一意に決定可能である。従ってこの解法ではチップサイズ推定式の線形性も不要になり、この推定式を(チップ縦サイズ) * (チップ横サイズ)と表し、精度を上げることも可能である。

8. 結言

- ・VLSIチップのレイアウトDAに於けるフロアプラン問題を対象として、ブロック配置を同時に行う概略配線問題を平面多種フロー問題として定式化した
- ・実際のフロアプラン問題を対象に概略問題の規模を推定した
- ・チップサイズ推定式数を削減して概略配線問題の規模を削減すること、概略配線問題の解法を検討すること、が今後の課題である

参考文献

- [1] Y. Shiraishi, et al.: "A Global Routing Algorithm based on the Multi-Commodity Network Flow Method," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E76-A, No.10, 1993
- [2] 白石、他: "平面多種フローに基づく概略配線アルゴリズム"、電子情報通信学会、VLD、1993
- [3] 平澤、他: "電気系レイアウトDAに於ける概略配線問題を対象とした超大規模整数計画問題について"、情報処理学会、95-MPS-2-6、1995
- [4] 福川、他: "目標計画法とその発展"、日本経営工学会誌、Vol.36, No.1, 1985
- [5] E.S.Kuh, et al.: "Global Routing," Layout and Verification, edited by T.Ohtsuki, Elsevier Science Publishers, North-Holland, 1986